

Fondamenti di Elettronica

Tutorato Dicembre 2024/Gennaio 2025

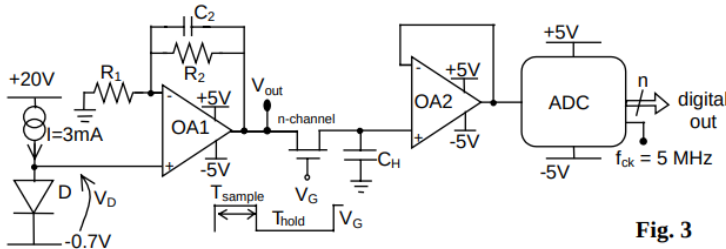
Quarto incontro

17 Dicembre 2024 ore 16:00 Aula 2.2.1 D.I. (edificio 2)

Dr. Maurizio Ghisetti

Esercizio 1

Si consideri il circuito riportato nella Fig. 3, che sfrutta la dipendenza dalla temperatura della tensione ai capi di una giunzione pn ($-1.8\text{mV}/^\circ\text{C}$) per misurare la temperatura. Si assuma $V_D=0.7\text{V}$ per una temperatura di 0°C .



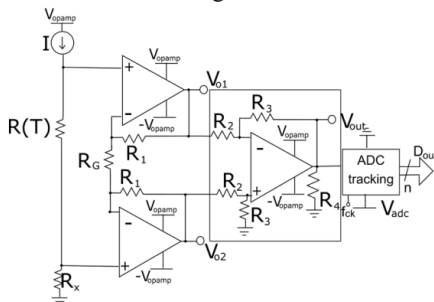
$$\begin{aligned}
 R_1 &= 1\text{k}\Omega \\
 R_2 &= 30\text{k}\Omega \\
 C_2 &= 10\text{pF} \\
 V_T &= 1.2\text{V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox} (W/L) = 5\text{mA/V} \\
 C_H &= 10\text{nF}
 \end{aligned}$$

Fig. 3

- Scrivere l'espressione della tensione di uscita V_{out} in funzione della temperatura a bassa frequenza.
- Determinare il numero minimo di bit dell'ADC necessario per garantire una risoluzione di $\pm 0.5^\circ\text{C}$.
- Determinare l'errore dovuto al droop (espresso in LSB) se l'amplificatore operazionale 2 e' caratterizzato da una corrente di bias $I_b = 500\text{nA}$ e la fase di Hold ha una durata pari a $T_{hold} = 18\mu\text{s}$.
- Determinare la tensione di comando V_G da applicare al gate dell'interruttore NMOS per garantire una resistenza virtualmente infinita durante la fase di Hold ed una resistenza non superiore a $R_{ds,on} = 10\Omega$ nella fase di Sample se la temperatura varia nell'intervallo $\pm 50^\circ\text{C}$.
- Determinare per via grafica l'andamento in frequenza del trasferimento reale V_{out}/V_D se l'amplificatore operazionale 1 e' caratterizzato da $GBWP = 30\text{MHz}$.

Esercizio 2

Si consideri la catena di acquisizione per la misura di temperatura tramite un sensore resistivo $R(T) = R_0 + \alpha T(^\circ\text{C})$ con $R_0 = 100\Omega$ e $\alpha = 0.39\Omega/^\circ\text{C}$, mostrata in Fig. 2. L'ADC sia del tipo tracking. Gli amplificatori operazionali saturino alle tensioni di alimentazione e I sia un generatore di corrente DC.



$$\begin{aligned}
 R_G &= 1\text{k}\Omega & R_X &= 1\text{k}\Omega \\
 R_1 &= 10\text{k}\Omega & I &= 100\mu\text{A} \\
 R_2 &= 2\text{k}\Omega & V_{adc} &= -6\text{V} \\
 R_3 &= 20\text{k}\Omega & V_{opamp} &= 18\text{V} \\
 R_4 &= 1\text{k}\Omega & n &= 13\text{bits}
 \end{aligned}$$

Fig. 2

- Determinare l'espressione letterale e con i coefficienti numerici della tensione V_{out} in funzione della temperatura T espressa in gradi centigradi ($^\circ\text{C}$).
- Determinare la variazione di temperatura erroneamente misurata se tutti gli amplificatori operazionali sono caratterizzati da una tensione di offset pari a $\pm 0.2\text{mV}$.
- Con solo riferimento al circuito nel riquadro tratteggiato, determinarne il margine di fase, se fosse presente una capacita' di carico pari a 80pF in parallelo alla resistenza di carico R_4 e se l'amplificatore operazionale fosse caratterizzato da una resistenza di uscita ad anello aperto $r_o = 10\Omega$ e da un prodotto guadagno larghezza di banda $GBWP = 20\text{MHz}$.
- Determinare la minima frequenza di clock (f_{ck}) che possa garantire una risoluzione di 0.1°C e possa seguire una variazione di temperatura pari a 10°C/s per temperature nell'intervallo $[0^\circ\text{C}, 100^\circ\text{C}]$.

Esercizio 3

Si consideri la catena di acquisizione per segnali sinusoidali, mostrata in Fig. 3. L'ADC sia del tipo ad approssimazioni successive (SAR). Gli amplificatori operazionali saturino alle tensioni di alimentazione e V_{in} sia un generatore di tensione di segnale sinusoidale.

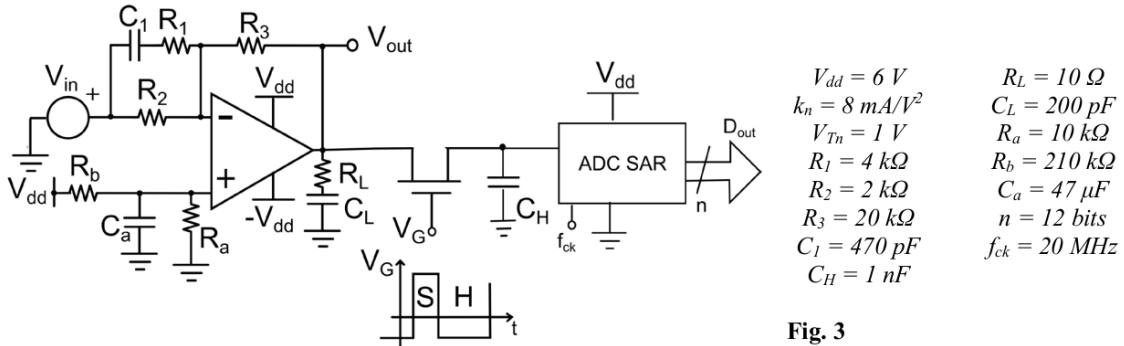


Fig. 3

- Determinare l'espressione ed il valore del trasferimento V_{out}/V_{in} a bassa frequenza ed il valore in DC della tensione di uscita, assumendo l'amplificatore operazionale ideale.
- Determinare il minimo valore che deve possedere il guadagno ad anello aperto (A_0) dell'amplificatore operazionale, per garantire un errore statico di guadagno minore di 10^{-4} .
- Determinare la tensione di comando necessaria per il Gate del nMOS in fase di Sample che sia compatibile con un errore massimo di $LSB/4$ e con una durata del tempo di Sample $T_{Sample} = 50 ns$.
- Determinare il margine di fase del circuito amplificatore, se l'amplificatore operazionale fosse caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 70 MHz$.

Esercizio 4

Si consideri la catena di acquisizione mostrata in Fig. 2, in cui V_{in} e' un generatore di segnali sinusoidali di ampiezza massima $200 mV$ e frequenza $200 kHz$. Gli amplificatori operazionali saturino alle tensioni di alimentazione.

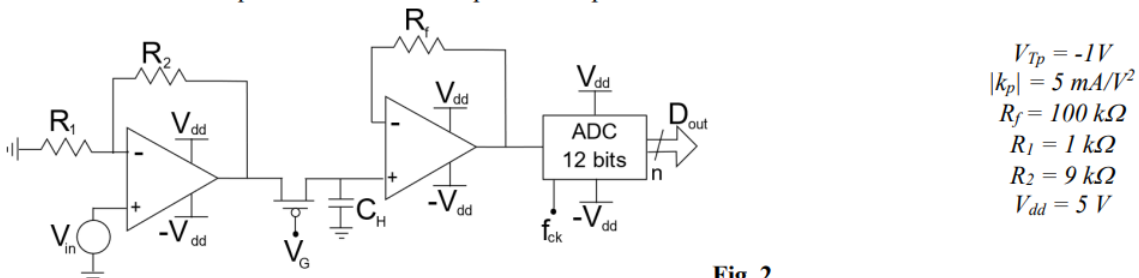


Fig. 2

- Determinare la risoluzione ottenibile in ingresso espressa in mV . Quale sarebbe il valore ottimale della resistenza R_f ? Motivare la risposta.
- Determinare le tensioni di comando del gate del pMOS che garantiscano una resistenza $R_{ds,on}$ minore di 10Ω in fase di Sample e pMOS spento con $2 V$ di margine in fase di Hold.
- Assumendo una durata del tempo di Sample pari a $T_{Sample} = 200 ns$ e la frequenza di campionamento pari a $1 MHz$, determinare il minimo valore che deve assumere la frequenza di clock, f_{ck} , dell'ADC, supposto ad approssimazioni successive, che sia compatibile con il corretto funzionamento della catena.
- Assumendo che gli amplificatori operazionali siano caratterizzati da un valore medio delle correnti di bias uscenti dall'amplificatore operazionale pari a $I_B = 200 nA$, determinare quali valori puo' assumere la capacita' di Hold. Si assuma una tensione di comando al gate pari a $V_G = -6 V$ ed una frequenza di clock pari a $30 MHz$.
- Determinare il minimo valore dello Slew-Rate che deve possedere il secondo amplificatore operazionale per non incorrere in limitazioni da Slew-Rate. Si assuma una capacita' di Hold $C_H = 122 pF$ ed una tensione di comando al gate pari a $V_G = -6 V$.