

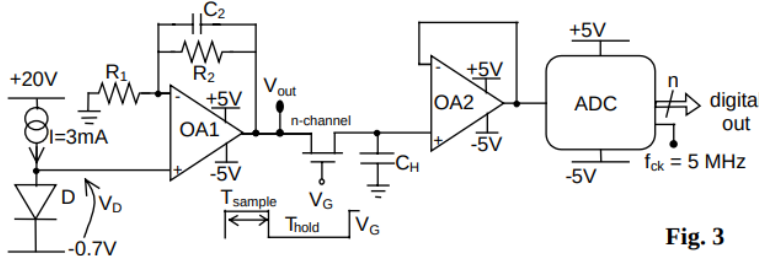
Fondamenti di Elettronica - Tutorato Dicembre 2023/Gennaio 2024

Quinto incontro - 18 Gennaio 2024 - Dr. Maurizio Ghisetti

Aula Alpha – ore 17:00

Esercizio 1

Si consideri il circuito riportato nella Fig. 3, che sfrutta la dipendenza dalla temperatura della tensione ai capi di una giunzione *pn* ($-1.8\text{mV}/^\circ\text{C}$) per misurare la temperatura. Si assuma $V_D=0.7\text{V}$ per una temperatura di 0°C .



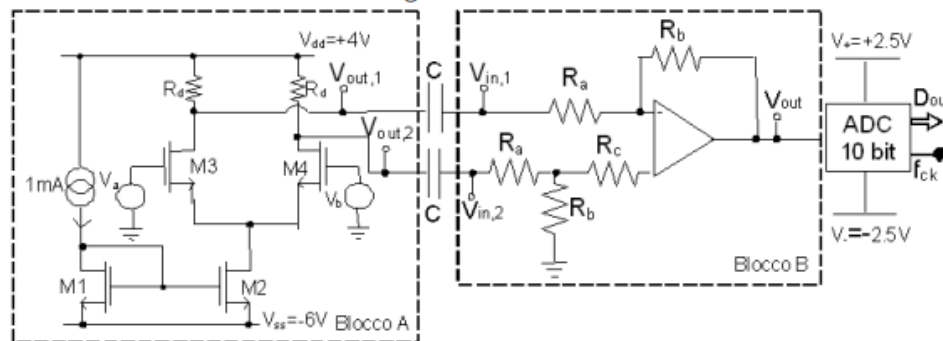
$$\begin{aligned}
 R_1 &= 1\text{k}\Omega \\
 R_2 &= 30\text{k}\Omega \\
 C_2 &= 10\text{pF} \\
 V_T &= 1.2\text{V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L) = 5\text{mA/V} \\
 C_H &= 10\text{nF}
 \end{aligned}$$

Fig. 3

- Scrivere l'espressione della tensione di uscita V_{out} in funzione della temperatura a bassa frequenza.
- Determinare il numero minimo di bit dell'ADC necessario per garantire una risoluzione di $\pm 0.5^\circ\text{C}$.
- Determinare l'errore dovuto al *droop* (espresso in LSB) se l'amplificatore operazionale 2 e' caratterizzato da una corrente di *bias* $I_b = 500\text{nA}$ e la fase di *Hold* ha una durata pari a $T_{hold} = 18\mu\text{s}$.
- Determinare la tensione di comando V_G da applicare al *gate* dell'interruttore *NMOS* per garantire una resistenza virtualmente infinita durante la fase di *Hold* ed una resistenza non superiore a $R_{ds,on} = 10\Omega$ nella fase di *Sample* se la temperatura varia nell'intervallo $\pm 50^\circ\text{C}$.
- Determinare per via grafica l'andamento in frequenza del trasferimento reale V_{out}/V_D se l'amplificatore operazionale 1 e' caratterizzato da $GBWP = 30\text{MHz}$.

Esercizio 2

Si consideri il circuito mostrato in Fig. 1.

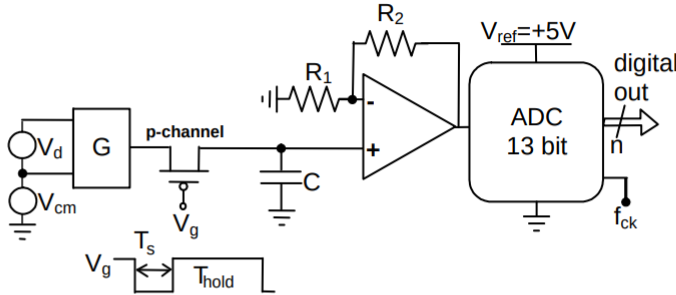


$$\begin{aligned}
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L) = 0.25\text{mA/V}^2 \\
 V_{Tn} &= 1\text{V} \\
 R_d &= 8\text{k}\Omega \\
 R_a &= 2.5\text{k}\Omega \\
 R_b &= 25\text{k}\Omega \\
 R_c &= 1\text{k}\Omega \\
 C &= 10\text{nF} \\
 f_{ck} &= 5\text{MHz}
 \end{aligned}$$

- Determinare le tensioni a tutti i nodi e le correnti in tutti i rami per il circuito del blocco A.
- Determinare il guadagno differenziale $v_{out}/(v_{in,2}-v_{in,1})$ del circuito racchiuso nel blocco B, ipotizzando le capacita' C dei circuiti aperti.
- Determinare il guadagno differenziale di piccolo segnale $(v_{out,2}-v_{out,1})/(v_a-v_b)$ del circuito racchiuso nel blocco A, ipotizzando le capacita' C dei circuiti aperti.
- Se il segnale differenziale applicato in ingresso al circuito del blocco B ($v_{in,2}-v_{in,1}$) fosse una sinusoide di ampiezza pari a 200mV e frequenza pari a 200kHz , determinare il minimo valore che deve avere lo *slew-rate* dell'amplificatore operazionale per non incorrere in distorsioni del segnale di uscita.
- Determinare il *CMRR* dell'amplificatore differenziale racchiuso nel blocco A, se il MOSFET M2 e' caratterizzato da una resistenza di uscita $r_o = 50\text{k}\Omega$. Si ipotizzino le capacita' C dei circuiti aperti.
- Si supponga che il segnale in ingresso all'ADC (v_{out}) sia sinusoidale, di ampiezza pari a meta' del *FSR* dell'ADC. Si determini la massima frequenza di tale segnale che garantisca di non avere errori nella conversione, nel caso in cui l'ADC sia a gradinata o ad approssimazioni successive. (Si ricordi che non e' presente un circuito di *sample & hold*).
- Determinare il margine di fase del circuito racchiuso nel blocco B, ipotizzando le capacita' C dei cortocircuiti, se $A(s) = \frac{A_0}{(1+s\tau_1)(1+s\tau_2)}$, dove $A_0 = 80\text{dB}$, $\tau_1 = 10\text{ms}$, $\tau_2 = 2\mu\text{s}$.

Esercizio 3

Si consideri la catena di acquisizione mostrata in Fig. 2, in cui i segnali differenziali (V_d) hanno ampiezza compresa tra 5 mV e 50 mV e il disturbo di modo comune è pari a $V_{cm} = 2$ V.



$$|V_{Tp}| = 1V$$

$$\frac{1}{2}\mu_p C_{ox}(W/L) = 3mA/V^2$$

$$C = 1nF$$

$$R_1 = 1k\Omega$$

$$R_2 = 9k\Omega$$

Fig. 2

- Determinare il minimo valore del guadagno differenziale G che garantisca una risoluzione pari al 5% sul segnale di minima ampiezza. Determinare, inoltre, il massimo valore ammesso per il guadagno differenziale, motivando la risposta.
- Determinare la massima durata del tempo di *Hold* che garantisca che l'errore dovuto al *droop* sia minore di $\frac{1}{2}$ LSB nel caso di segnali che coprano la massima dinamica dell'ADC, nel caso in cui l'amplificatore operazionale sia caratterizzato da una resistenza di ingresso differenziale $R_{id} = 10$ M Ω e da un guadagno ad anello aperto in continua $A_0 = 80$ dB.
- Si supponga che il segnale sia una sinusoide con frequenza $f_{sin} = 1$ kHz, determinare la frequenza di clock (f_{ck}) richiesta dall'ADC se del tipo a doppia rampa per campionare correttamente il segnale.
- Determinare il CMRR richiesto al blocco G perché il contributo della tensione di modo comune in ingresso all'ADC sia minore di $\frac{1}{2}$ LSB. Si precisi il valore del guadagno differenziale G considerato.
- Se l'ADC è caratterizzato da un rapporto segnale-rumore $SNR = 77$ dB, determinare il numero di livelli di quantizzazione effettivamente utili per la conversione.

Esercizio 4

Si consideri la catena mostrata in Fig. 2 per l'amplificazione, il campionamento e la conversione del segnale.

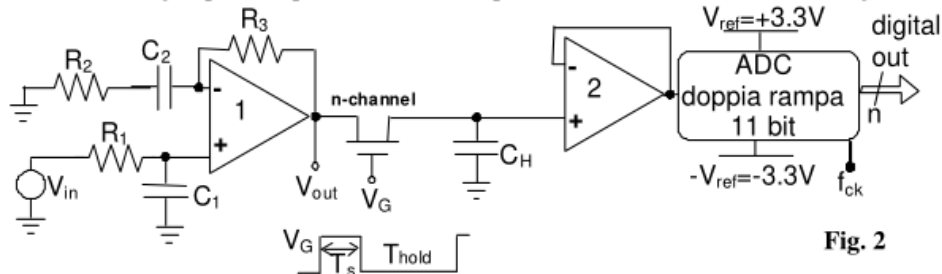


Fig. 2

$$R_1 = 50\Omega \quad R_2 = 2k\Omega \quad R_3 = 50k\Omega$$

$$C_1 = 100pF \quad V_{Tn} = 0.7V \quad f_{ck} = 5MHz \quad C_H = 5nF$$

$$C_2 = 200pF$$

- Disegnare, quotandone tutti i punti significativi, il diagramma di Bode del modulo del guadagno ideale V_{out}/V_{in} .
- Determinare il minimo valore della resistenza $R_{ds,off}$ che deve mostrare il transistor del circuito di *Sample&Hold*, perché il massimo errore causato dal *droop* sia minore di $\frac{1}{2}$ LSB. Si assuma il minimo tempo di *Hold* necessario.
- Determinare il minimo valore del guadagno ad anello aperto A_0 che deve possedere l'amplificatore operazionale 2, perché la tensione in ingresso all'ADC differisca al più di un fattore 2×10^{-5} dalla tensione memorizzata sulla capacità di *Hold*.
- Se il segnale di ingresso fosse una tensione costante pari a 300 mV, determinare i valori della tensione di comando V_G del gate del transistor che garantiscano una resistenza virtualmente infinita in fase di *Hold* e l'accensione del transistor in fase di *Sample*.
- Assumendo che l'amplificatore operazionale sia caratterizzato da un guadagno ad anello aperto pari a $A_0 = 80$ dB, determinare la costante di tempo del polo ad anello chiuso introdotto dalla capacità C_2 , nel guadagno reale.
- Determinare il margine di fase del primo circuito amplificatore, se l'amplificatore operazionale è caratterizzato da un guadagno in continua $A_0 = 70$ dB e da una frequenza del polo ad anello aperto $f_0 = 100$ Hz e commentare la stabilità del circuito.