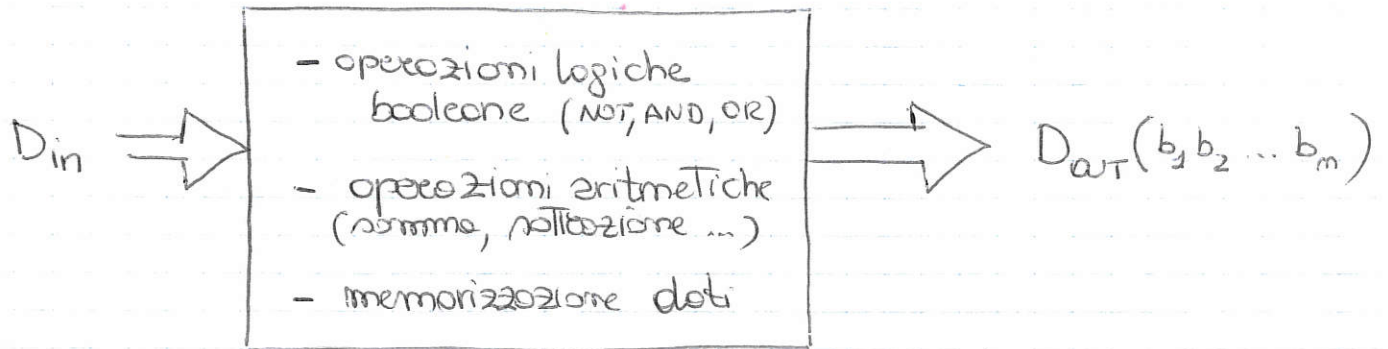


LOGICA CMOS

Un sistema digitale è un sistema che riceve in ingresso parole digitali, le elabora e fornisce in uscita altre parole digitali. Esso è costituito da diversi blocchi circuitali che svolgono alcune funzioni determinate.



PORTE LOGICHE (LOGIC GATES): realizzano operazioni logiche su variabili booleane.

Sono alla base della realizzazione di funzioni digitali complesse.

Al loro interno le porte logiche sono realizzate connettendo opportunamente transistori.

Storicamente le porte logiche sono state realizzate con diverse tecnologie \Rightarrow diverse FAMIGLIE LOGICHE, ognuna comprendente tutte le porte logiche "elementari".

TECNOLOGIA BIPOLARE (transistori bipolari) $\begin{cases} \rightarrow$ TTL (TRANSISTOR-TRANSISTOR LOGIC) \\ \rightarrow ECL (EMITTER-COUPLED LOGIC) \end{cases}

TECNOLOGIA MOS $\begin{cases} \rightarrow$ NMOS (N-channel MOSFET) \\ \rightarrow CMOS (complementary MOSFET) \end{cases}

Ci limitiamo alla famiglia CMOS: (trasparenza della tecnologia)

COME SI ANALIZZA UNA PORTA LOGICA?

1. funzione logica svolta

$$y = f(A, B, C, \dots)$$

2. Caratteristica Tensione di ingresso \neq Tensione di uscita

$$V_{OUT} = f(V_{IN})$$

- livelli logici: che cosa vuol dire '1' o '0' (V_L, V_H)
- soglia di commutazione (V_{TH})
- margini di rumore (Noise Margin)

3. Dissipazione di potenza } prodotto (ritardo \times consumo)

4. Velocità di risposta
(tempo di risposta, massima frequenza di commutazione)

* INVERTITORE LOGICO (NOT GATE)

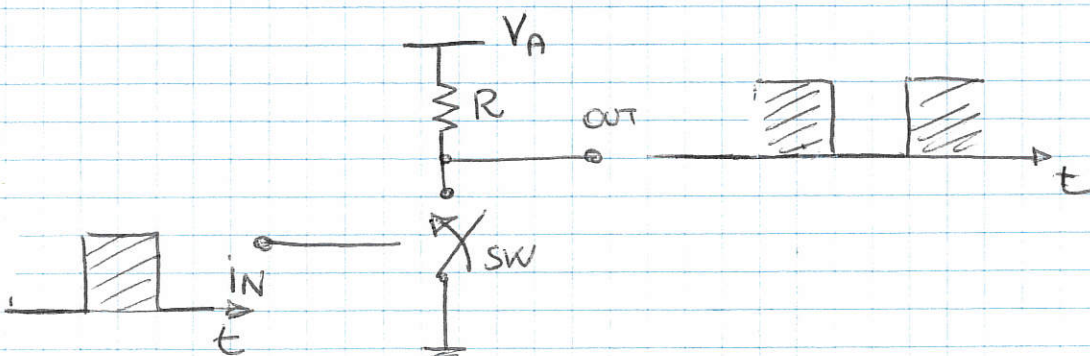


• simbolo

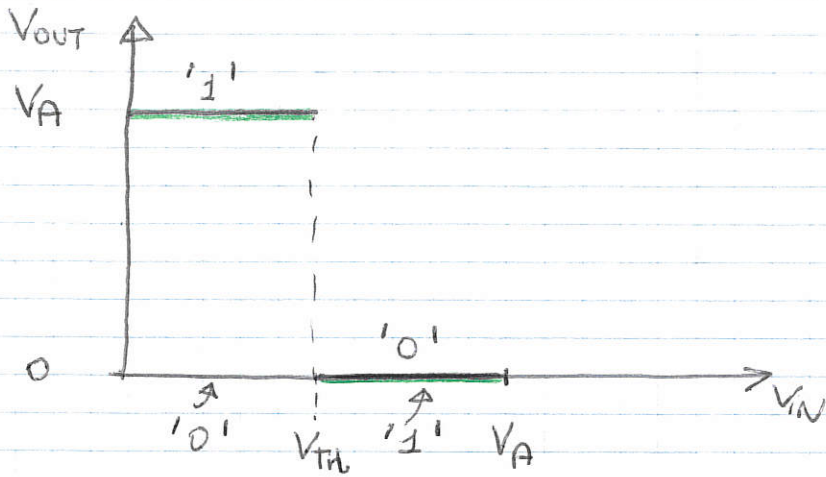
• Funzione logica

IN	OUT
0	1
1	0

• implementazione "ideale"



- CARATTERISTICA DI TRASFERIMENTO o caratteristica ingresso-uscita è la curva nel piano (V_{in}, V_{out}) che lega la tensione di uscita a quello applicato in ingresso



V_{TH} : SOGLIA DI COMMUTAZIONE

- $V_{IN} < V_{TH} \Rightarrow$ interruttore aperto, $I_H = 0$ (non c'è carico)

$$\hookrightarrow V_{OUT} = V_A - R I_R = V_A$$

- $V_{IN} > V_{TH} \Rightarrow$ interruttore chiuso \Rightarrow uscita cortocircuito

Tav e massa

$$\hookrightarrow V_{OUT} = 0$$

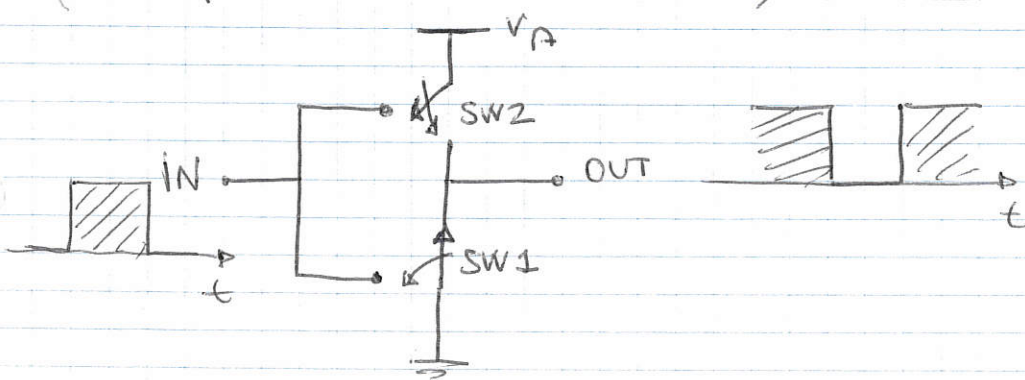
R limita la corrente assorbita dall'alimentazione

$$I_L = \frac{V_A}{R}$$

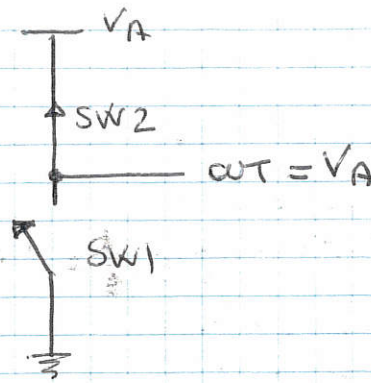
efficienza zero per un cortocircuito quando chiudo l'interruttore \Rightarrow DISSIPAZIONE DI POTENZA STATICA: $P_{STAT} = V_A \frac{I_H + I_L}{2} = \frac{1}{2} \frac{V_A^2}{R}$

$$P_{STAT} = V_A \frac{I_H + I_L}{2} = \frac{1}{2} \frac{V_A^2}{R}$$

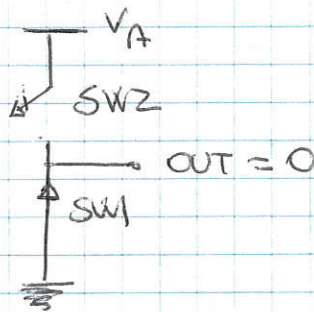
- implementazione con due interruttori (oscillatore e caricatore)



• $V_{IN} < V_{TH} \Rightarrow$ SW1 APERTO
SW2 CHIUSO



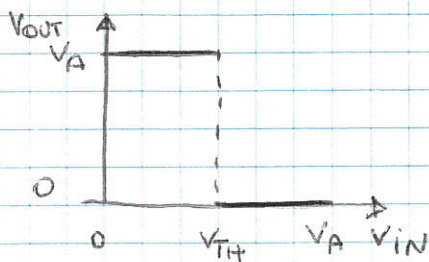
• $V_{IN} > V_{TH} \Rightarrow$ SW1 CHIUSO
SW2 APERTO



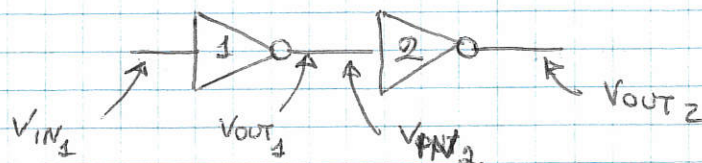
↳ in presenza di carico la corrente stazionaria passante è nulla perché c'è sempre un interruttore aperto \Rightarrow non dissipa potenza.

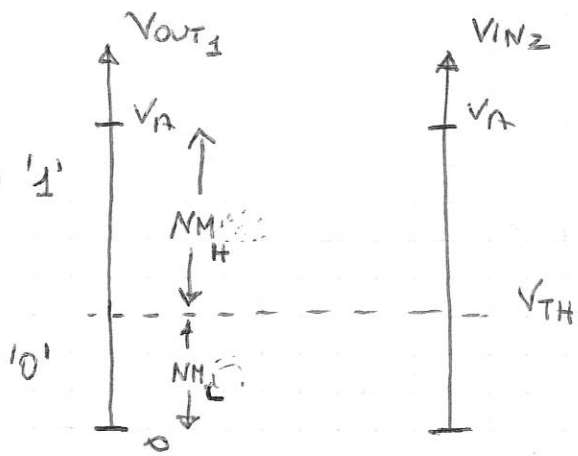
m.b. devo usare due tipi diversi di interruttori in modo che con un ingresso fatto uno sia aperto e l'altro chiuso e viceversa.

* CARATTERISTICA DI TRASFERIMENTO INGRESSO USCITA REALE



Due invertitori, identici in cascata, che cosa succede?





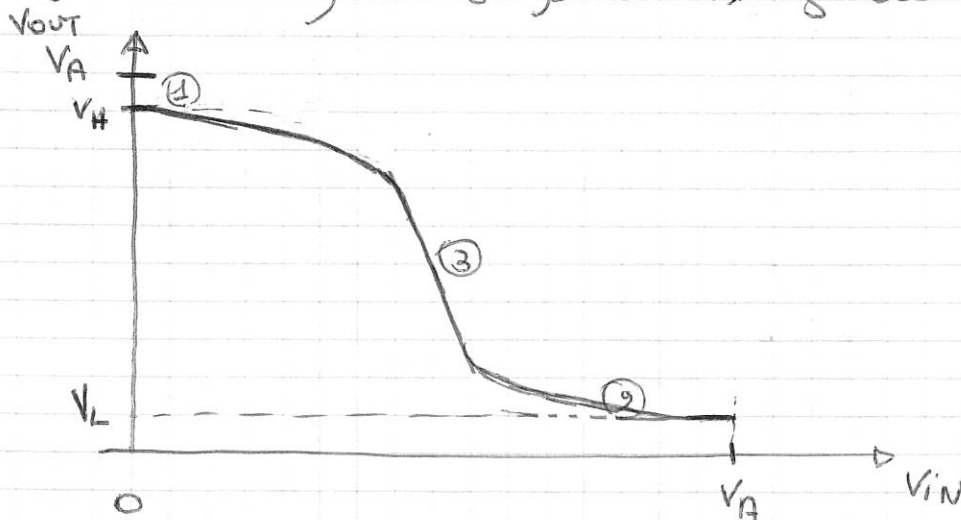
Se la porta Δ fornisce in uscita uno \emptyset , questo è correttamente interpretato finché eventuali disturbi presenti insieme al segnale non superino l'ampiezza data da NM_L

Si definisce MARGINE DI RUMORE, il margine di "sicurezza" che evita che una porta logica produca in uscita livelli logici errati in presenza di rumore sovrapposto al segnale di ingresso.

↳ se i disturbi possono essere sia positivi che negativi e di pari ampiezza sulle due polarità \Rightarrow voglio il massimo margine di rumore per entrambi i volti logici:

$$NM_L = NM_H = \frac{V_A}{2}$$

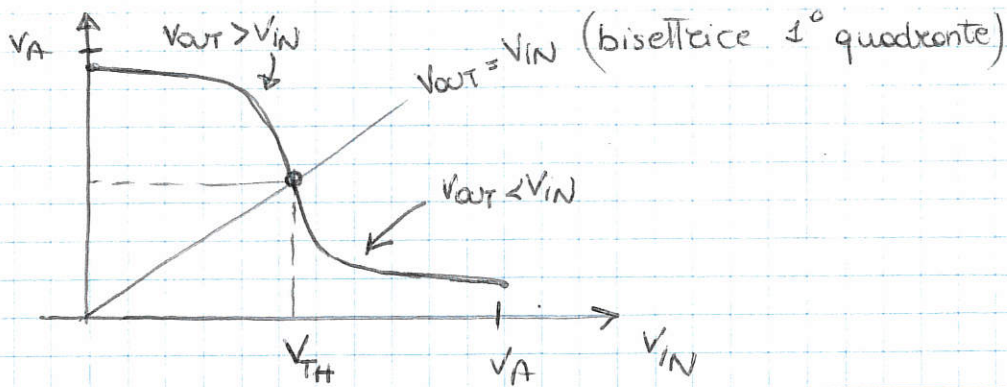
da caratteristico reale è diversa in generale



- ① • livello logico alto V_H non è uguale a V_A
- ② • livello logico basso V_L non è uguale a 0
- ③ • la regione di transizione ha pendenza finita
- ④ • le regioni non-di-transizione hanno pendenza non nulla

Calcolo, punti salienti della caratteristica

• TENSIONE DI SOGLIA



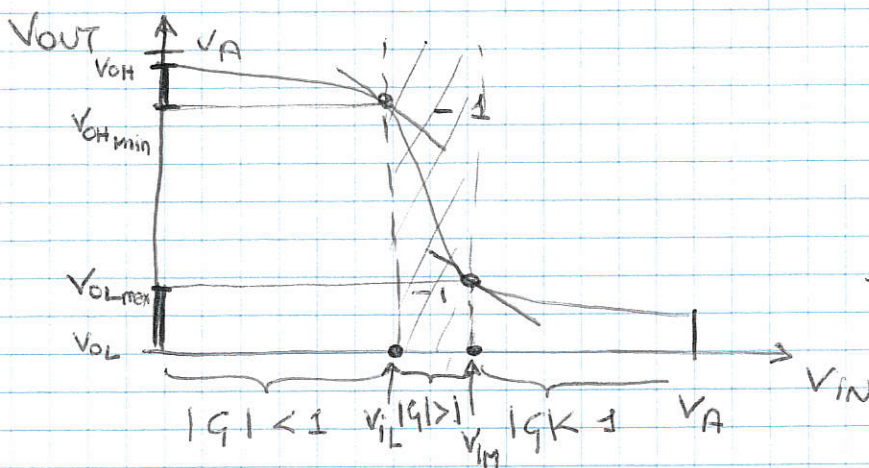
V_{TH} separa i valori "bassi" di V_{IN} da quelli "alti":

$$V_{IN} > V_{TH} \Rightarrow V_{OUT} < V_{IN}$$

$$V_{IN} < V_{TH} \Rightarrow V_{OUT} > V_{IN}$$

Si definisce SOGLIA DI COMMUTAZIONE la tensione di ingresso corrispondente all'intersezione tra la caratteristica dell'invertitore e la bisettrice del primo quadrante.

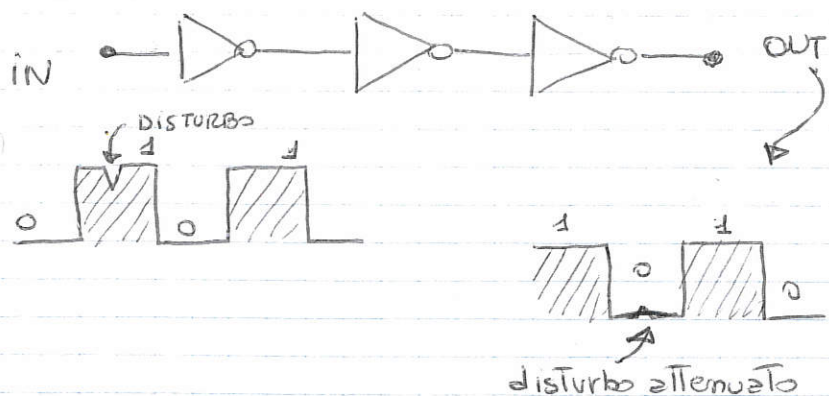
• MARGINI DI RUMORE



$$V_{OH} - V_{OL} = \text{SWING LOGICO}$$

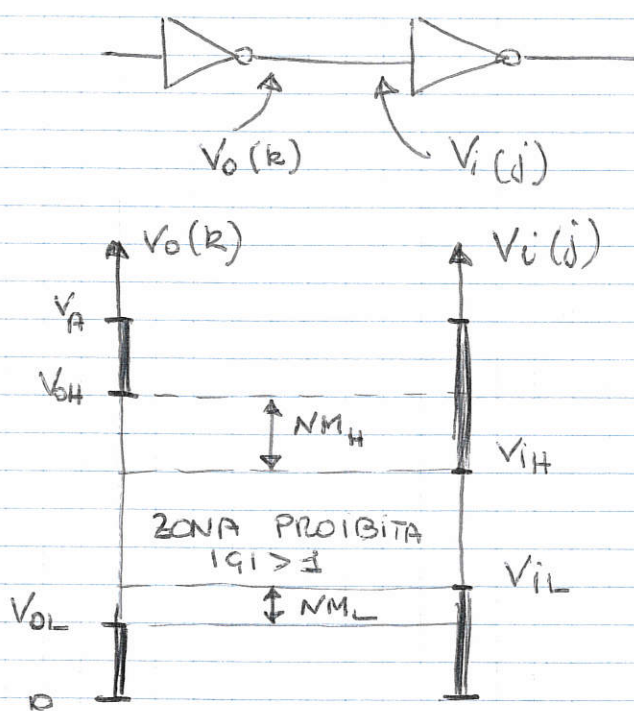
Più lo swing logico è ampio, più i voltaggi logici sono distinguibili e più è ridotto la possibilità di errore.

La pendenza dV_{OUT}/dV_{IN} della caratteristica di trasferimento rappresenta il "guadagno" di tensione dell'invertitore: nell'intorno della soglia tale guadagno deve essere maggiore di 1 in modo da garantire la RIGENERATIVITÀ DEI LIVELLI LOGICI (se in ingresso ad un invertitore abbiamo un segnale più ricco del solo stato della soglia,



Il corrispondente segnale in uscita sarà inferiore alla soglia, di una quantità maggiore e se questo è dato in ingresso ad un 3° invertitore, l'uscita si sposterà progressivamente verso la tensione associata all'uno logico.

Doti due invertitori:



NM_L : indice di quanto può crescere il valore di uscita basso V_{OL} a causa di un disturbo affinché all'ingresso dello stadio successivo sia interpretato come livello basso

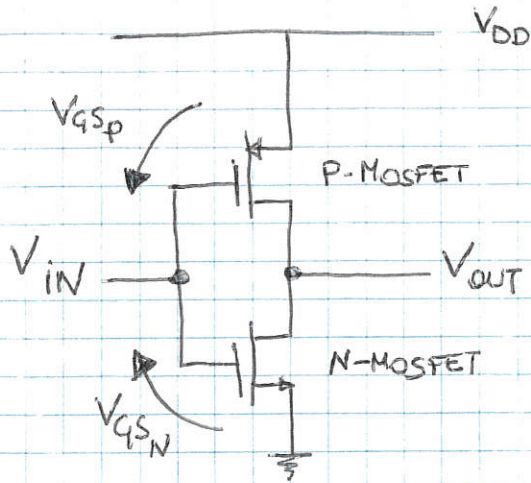
$$NM_L = V_{IL} - V_{OL}$$

NM_H : indice di quanto può decrescere il valore di uscita alto V_{OH} a causa di un disturbo affinché all'ingresso dello stadio successivo sia interpretato come livello alto

$$NM_H = V_{OH} - V_{IH}$$

* INVERTITORE CMOS

Vediamo come realizzare la porta NOT in tecnologia CMOS



- $V_{GSN} = V_{IN}$
- $V_{GSP} = V_{DD} + V_{IN}$

$$V_{DSn} = V_{out}$$

$$V_{DSP} = -V_{DD} + V_{out}$$

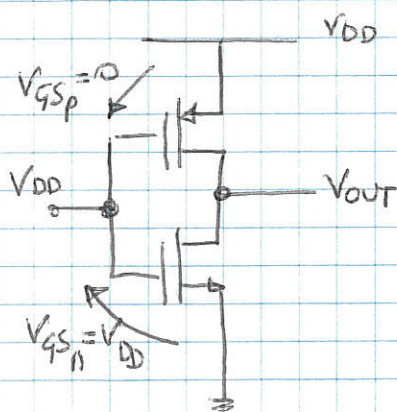


CASI LIMITE

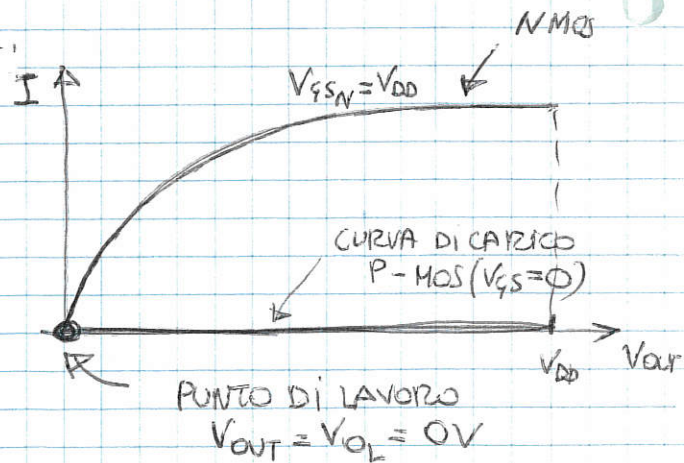
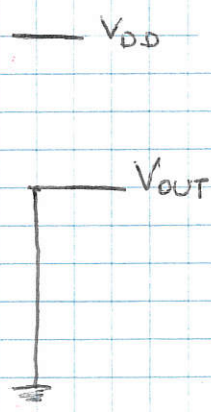
- $V_{IN} > V_{DD} + |V_{Tp}| \Rightarrow |V_{GSP}| < |V_{Tp}| \Rightarrow$ P-MOS interdetto
- $V_{IN} < V_{Tn} \Rightarrow V_{GSN} < V_{Tn} \Rightarrow$ N-MOS interdetto

In entrambi i casi la corrente circolante nell'invertitore è nulla e non si ha caduta di tensione sul Mos in conduzione.

(A) $V_{IN} = V_{DD}$

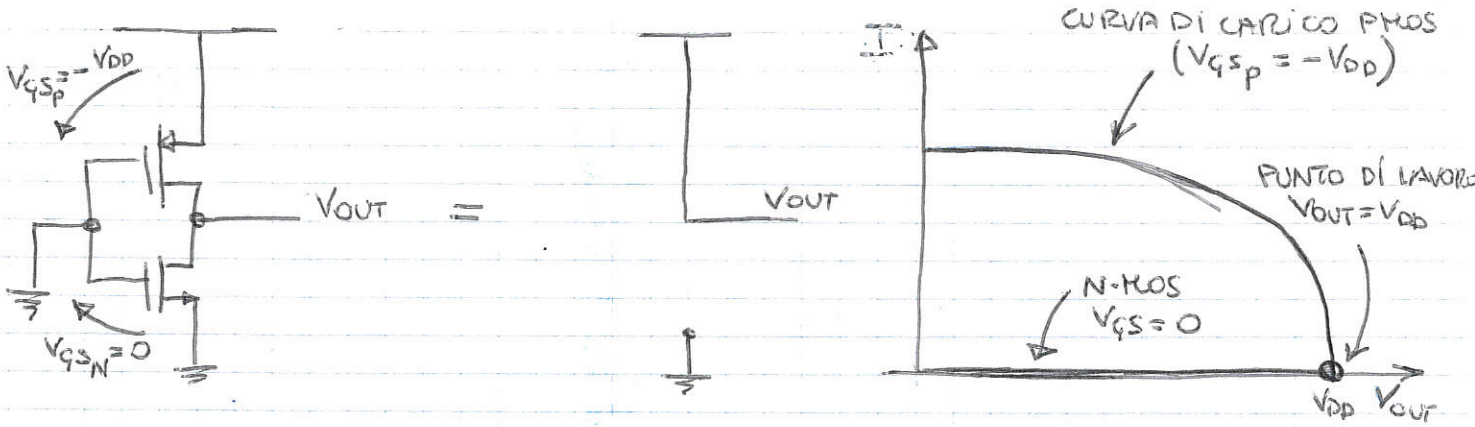


IDEALE



la corrente è pressoché nulla in questo stato (tutte le correnti di perdita delle giunzioni)

(B) $V_{IN} = 0V$

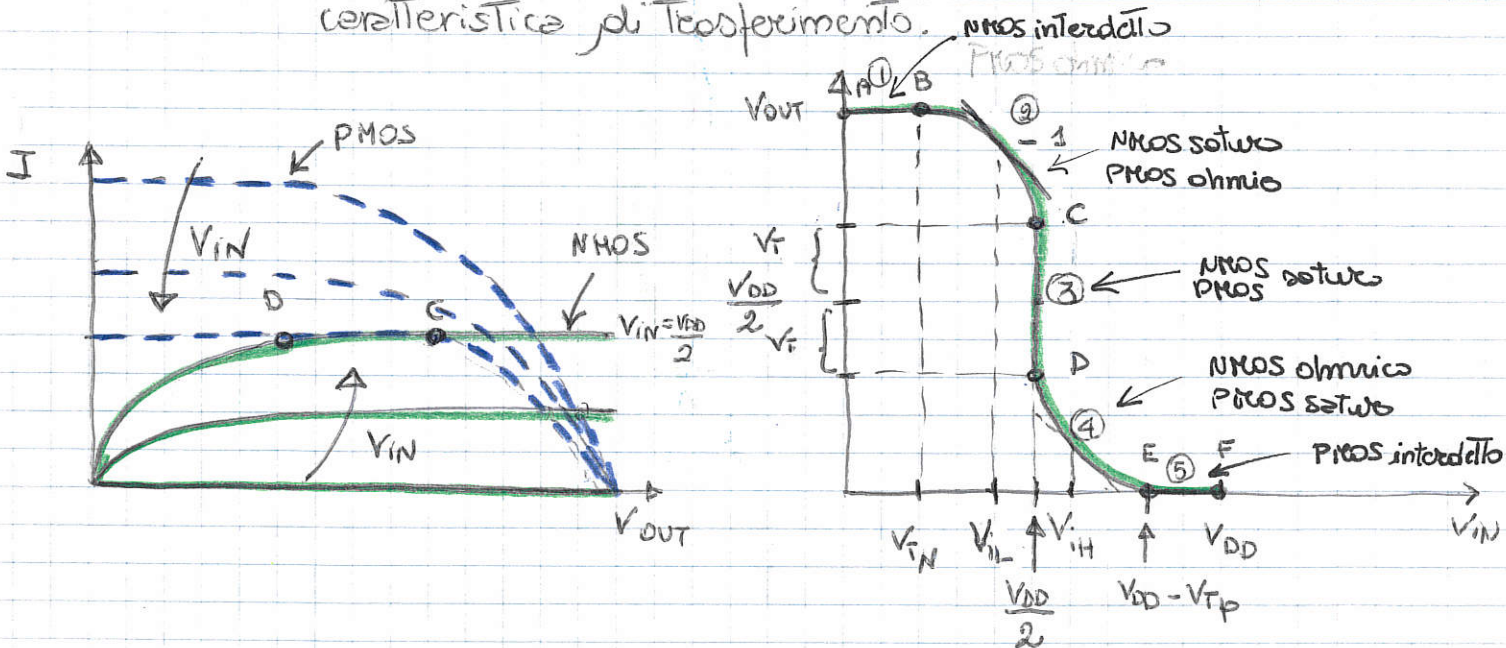


La corrente circolante anche in questo caso è nulla
 ↳ dissipazione di potenza circa uguale a zero.

* ANALISI STATICA E CARATTERISTICA DI TRASFERIMENTO

H_p : • $k_m = k_p \Rightarrow \left(\frac{W}{L}\right)_N / \left(\frac{W}{L}\right)_P = \frac{\mu_p}{\mu_n} \approx \frac{1}{2.5}$
 • $V_{TN} = |V_{TP}| = V_T$

↳ caratteristiche dei due MOS simmetriche rispetto alla tensione di ingresso $V_{IN} \Rightarrow$ ottimizzazione della caratteristica di trasferimento.



- ① A-B $V_{IN} < V_{TN} \Rightarrow$ N-MOS in interdizione
 P-MOS conduce (ma $I_D = 0$)
 ↳ $V_{OH} = V_{DD}$

② BC

NMOS comincia a condurre ed è in saturazione

↓
usata è data dall'intersezione delle caratteristiche dei due MOS con P-MOS in zona ohmica e N-MOS in zona di saturazione

In questa regione è collocato il punto a tangente (-d), detto V_{IL} .

Limite dello zona si ha quando PMOS va in saturazione

$$|V_{Dsp}| = |V_{Gsp}| - V_{Tp}$$

$V_{DD} - V_{out}$ $V_{DD} - V_{in}$

$$\Downarrow V_{out} = V_{in} - |V_{Tp}| = V_{in} + V_T \quad (*)$$

↳ NMOS è al limite della saturazione

NON FARE

$$V_{Dsn} = V_{Gsn} - V_{Tn}$$

V_{out} V_{in}

$$\Downarrow V_{out} = V_{in} - V_{Tn}$$

- Correnti nei due MOS in saturazione $I_{Dn} = I_{Dp}$

$$I_{Dn} = k_n (V_{in} - V_{Tn})^2$$

$$I_{Dp} = k_p (V_{DD} - V_{in} - V_{Tp})^2$$

V_{Gsp}

$$V_{in} - V_{Tn} = V_{DD} - V_{in} + V_{Tp} \Rightarrow V_{in} = \frac{V_{DD}}{2} \quad (**)$$

$$V_{out} = \frac{V_{DD} - |V_{Tp}|}{2} \Rightarrow \text{PMOS entra in saturazione}$$

NON FARE

③ CD

entrambi i MOS in saturazione ed hanno la stessa V_{gs}

$$V_{in} = \frac{V_{DD}}{2} \quad \text{SOGLIA LOGICA DELL'INVERTITORE}$$

$$|C| \quad V_{Dsp} = V_{Gsp} - V_T \Rightarrow V_{DD} - V_{out} = V_{DD} - V_{in} - V_T$$

$$\Rightarrow V_{out}|_C = V_{in} + V_T = \frac{V_{DD} + V_T}{2}$$

$$|D| \quad V_{Dsn} = V_{Gsn} - V_T \Rightarrow V_{out}|_D = V_{in} - V_T = \frac{V_{DD} - V_T}{2}$$

④ DE corrisponde ~~al~~ BC con NMOS in zona ohmica
PMOS in saturazione
Zui di trova V_{IH}

⑤ EF V_{IN} t.c. $|V_{IN} - V_{DD}| < V_T$

┌ Punti notevoli $V_{IL_{max}}$ $V_{IH_{min}}$ ~~si~~ ~~trova~~ ~~con~~ ~~la~~ ~~tecnica~~ ~~del~~ ~~pot~~ ~~di~~ ~~uno~~ ~~solo~~ ~~per~~
regioni di simmetria ~~da~~ ~~non~~ ~~fare~~

$V_{IH_{min}}$: NMOS in zona ohmica
PMOS in zona di saturazione

$$I_{Dn} = k \left[(V_{GS_N} - V_T) V_{DS_N} - V_{DS_N}^2 \right] = k \left[2(V_{IN} - V_T) V_{OUT} - V_{OUT}^2 \right]$$

$$I_{Dp} = k (V_{SG_p} - V_T)^2 = k (V_{DD} - V_{IN} - V_T)^2$$

$$I_{Dn} = I_{Dp}$$

$$k \left[2(V_{IN} - V_T) V_{OUT} - V_{OUT}^2 \right] = k (V_{DD} - V_{IN} - V_T)^2 \quad (*)$$

Derivo rispetto a V_{IN}

$$2 V_{OUT} + 2(V_{IN} - V_T) \frac{dV_{OUT}}{dV_{IN}} - 2 V_{OUT} \frac{dV_{OUT}}{dV_{IN}} = -2 (V_{DD} - V_{IN} - V_T)$$

$$V_{IN} = V_{IH} \Rightarrow \left. \frac{dV_{OUT}}{dV_{IN}} \right|_{V_{IN}=V_{IH}} = -1$$

$$2 V_{OUT} - 2(V_{IH} - V_T) + 2 V_{OUT} = -2 (V_{DD} - V_{IH} - V_T)$$

$$4 V_{OUT} - 2 V_{IH} + 2 V_T + 2 V_{DD} + 2 V_{IH} - 2 V_T = 0$$

$$V_{IH} = V_T + \frac{V_{DD}}{2} \quad (**)$$

$$(*) + (**) \Rightarrow V_{OUT} = \frac{1}{4} \left(\frac{V_{DD}}{2} - V_T \right)$$

$$\Downarrow V_{IH_{min}} = \frac{1}{4} \left(\frac{V_{DD}}{2} - V_T \right) + \frac{V_{DD}}{2} = \frac{5}{8} V_{DD} - \frac{V_T}{4}$$

$V_{IL_{max}}$ si ottiene con considerazioni di simmetria:

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL} \Rightarrow V_{IL} = \frac{1}{4} \left(\frac{3}{2} V_{DD} + V_T \right)$$

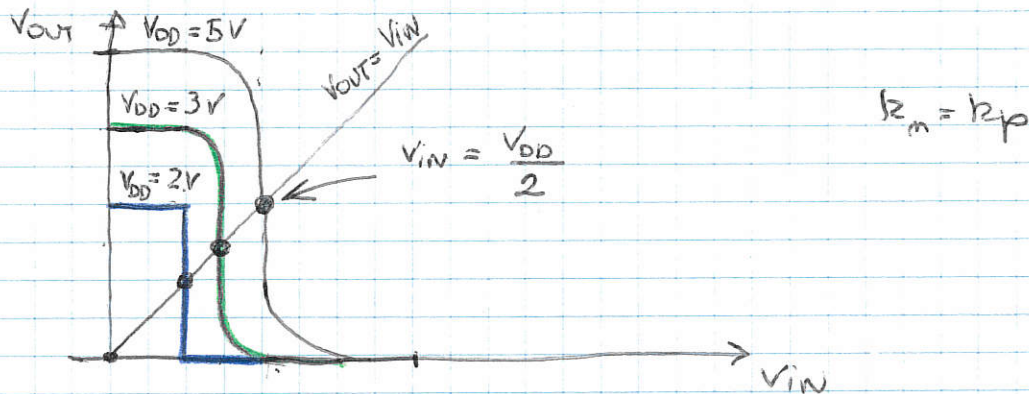
↓
Calcoliamo i margini di rumore

$$\rightarrow NM_L = V_{iL_{max}} - V_{OL} = V_{iL_{max}} - 0 = \frac{1}{4} \left(\frac{3}{2} V_{DD} + V_T \right)$$

$$\begin{aligned} \rightarrow NM_H &= V_{OH} - V_{iH_{min}} = V_{DD} - V_{iH_{min}} = V_{DD} - \frac{5}{8} V_{DD} + \frac{V_T}{4} = \\ &= \frac{3}{8} V_{DD} + \frac{V_T}{4} \quad \text{sim} \end{aligned}$$

↳ avendo fissato $V_{TN} = |V_{TP}| = V_T$ e $k_p = k_m$
i margini di rumore sono uguali e la caratteristica
dell'inverter è simmetrica.

* EFFETTI DELLA DIVERSA TENSIONE DI ALIMENTAZIONE

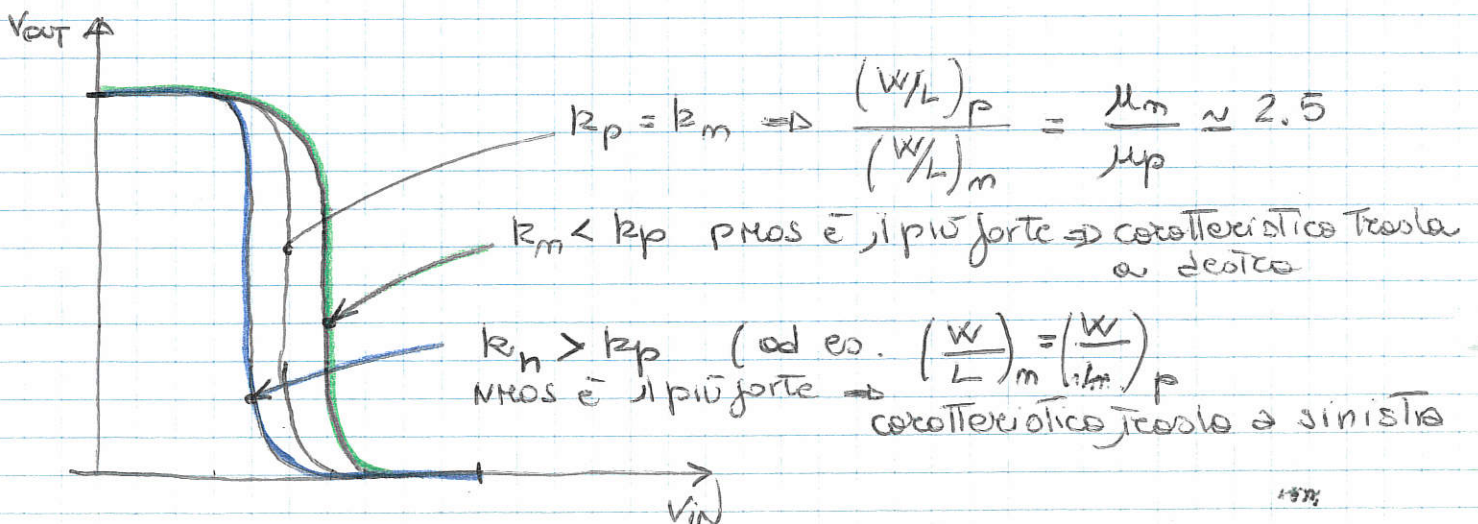


- uscita costante per $V_{IN} < V_{TN}$

$$V_{IN} > (V_{DD} - |V_{TP}|)$$

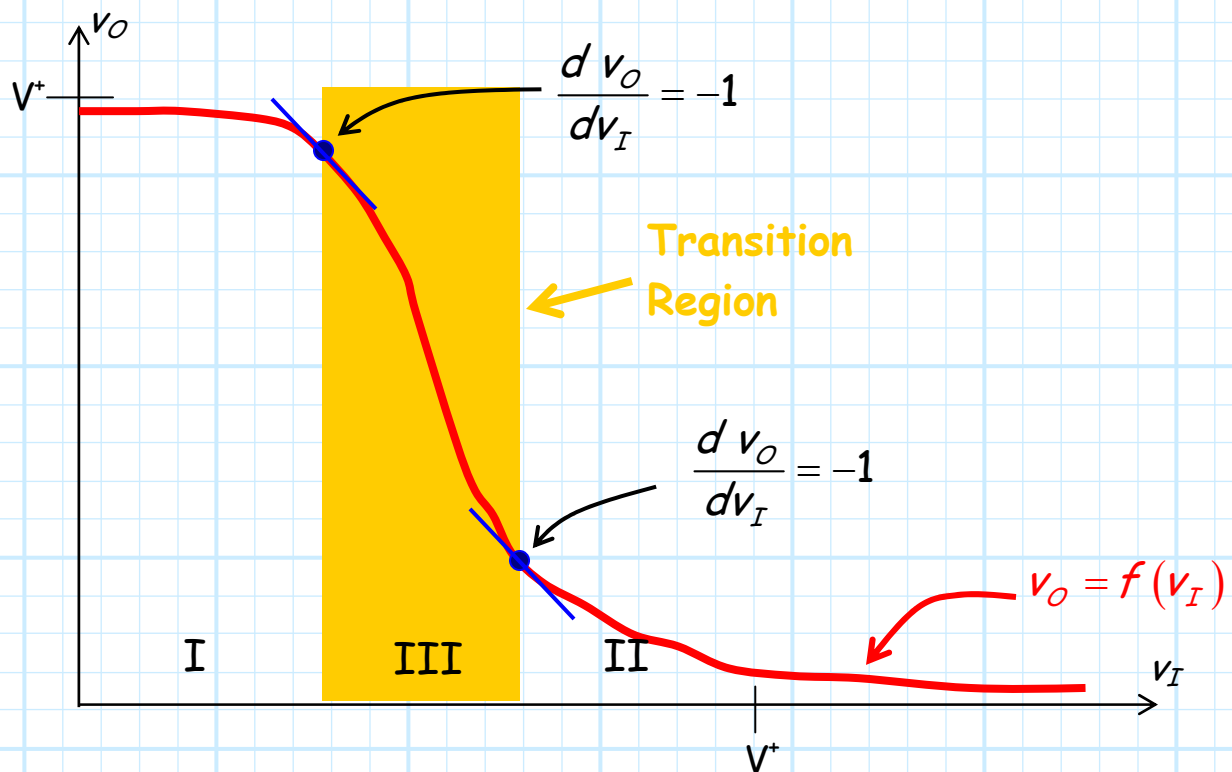
- Transizione tra V_{OH} e V_{OL} si ha per $V_{IN} = \frac{V_{DD}}{2}$

* EFFETTI DELLA DIVERSITÀ DI K



Noise Margins

The transfer function of a digital inverter will typically look something like this:



Note that there are essentially **three** regions to this curve:

- I.** The region where v_I is relatively **low**, so that the output voltage v_O is **high**.
- II.** The region where v_I is relatively **high**, so that the output voltage v_O is **low**.
- III.** The **transition region**, where the input/output voltage is in an **indeterminate state** (i.e., an **ambiguous** region between high and low).

Note that the **transition region** is rather **arbitrarily** defined by the points on the transfer function where the magnitude of the **slope** is **greater than one** (i.e., where $|dv_O/dv_I| > 1.0$).

Although this transfer function **looks** rather simple, there are actually **several parameters** that we use to **characterize** this transfer function—and thus characterize the digital inverter **as well!**

1. First of all, let's consider the case when $v_I=0$. The **output** of the digital inverter in this condition is **defined** as V_{OH} (i.e., OH \rightarrow "output high"), i.e.:

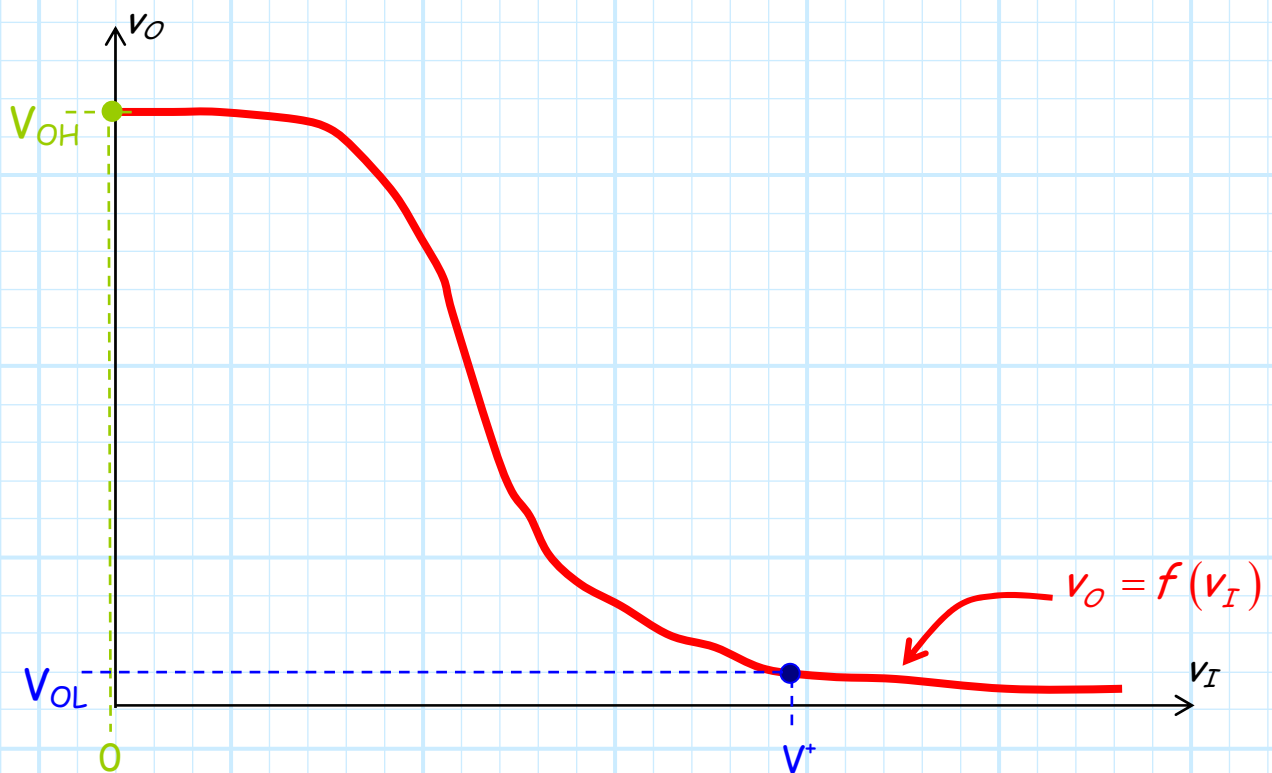
$$V_{OH} \doteq v_O \text{ when } v_I = 0$$

Thus, V_{OH} is essentially the "**ideal**" inverter **high** output, as it is the output voltage when the inverter input is at its ideal low input value $v_I=0$. Typically, V_{OH} is a value just **slightly** less than supply voltage V^+ .

2. Now, let's consider the case when $v_I=V^+$. The output of the digital inverter in this condition is **defined** as V_{OL} (i.e., OL \rightarrow "output low"), i.e.:

$$V_{OL} \doteq v_O \text{ when } v_I = V^+$$

Thus, V_{OL} is essentially the "ideal" inverter low output, as it is the output voltage when the inverter input is at its ideal high input value $v_I = V^+$. Typically, V_{OL} is a value just slightly greater than 0.



3. The "boundary" between region I and the transition region of the transfer function is denoted as V_{IL} (i.e., IL \rightarrow "input low"). Specifically, this is the value of the input voltage that corresponds to the first point on the transfer function where the slope is equal to -1.0 (i.e., where $dv_O/dv_I = -1.0$).

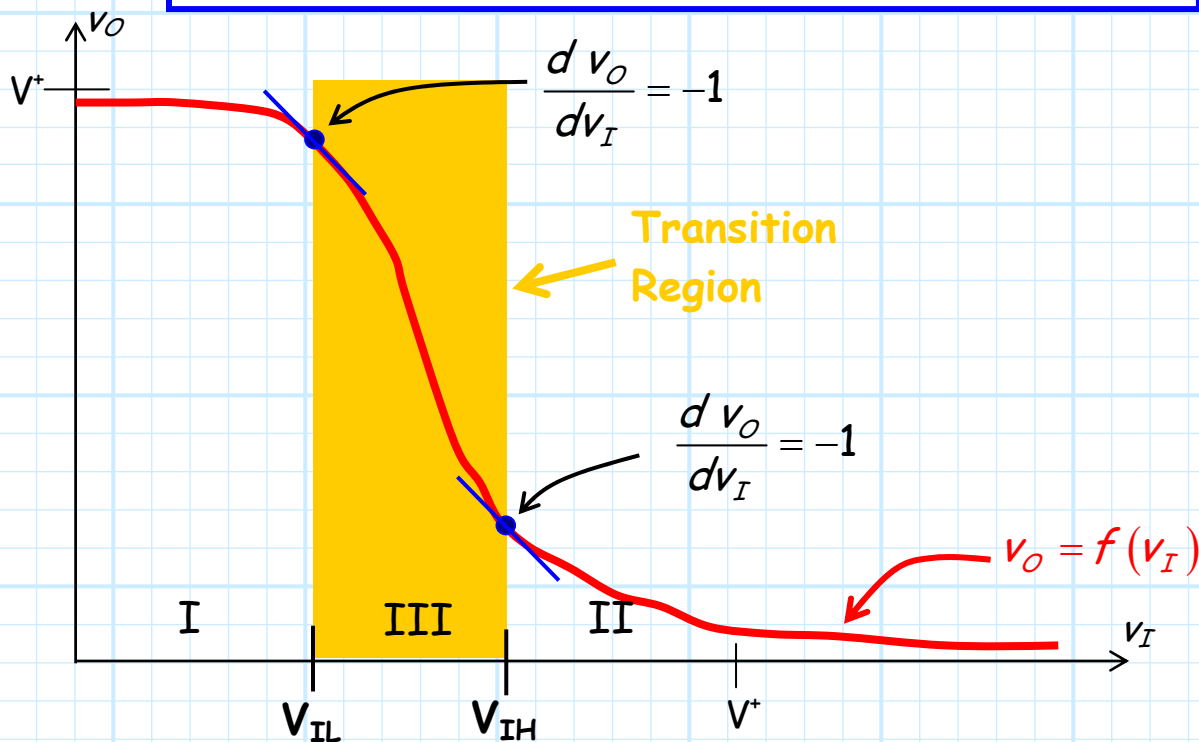
Effectively, the value V_{IL} places an upper bound on an acceptably "low" value of input v_I —any v_I greater than V_{IL} is not considered to be a "low" input value. I.E.:

v_I considered "low" only if $v_I < V_{IL}$

4. Likewise, the "boundary" between region II and the transition region of the transfer function is denoted as V_{IH} (i.e., IH \rightarrow "input high"). Specifically, this is the value of the **input** voltage that corresponds to the **second** point on the transfer function where the **slope** is equal to -1.0 (i.e., where $dv_o/dv_I = -1.0$).

Effectively, the value V_{IH} places a **lower bound** on an acceptably "high" value of input v_I —any v_I **lower** than V_{IH} is **not** considered to be a "high" input value. I.E.:

v_I considered "high" only if $v_I > V_{IH}$



Note then that the **input** voltages of the **transition region** (i.e., $V_{IL} < v_I < V_{IH}$) are **ambiguous** values—we **cannot** classify them as either a digital “low” value or a digital “high” value.

Accordingly, the **output** voltages in the transition region are both significantly less than V_{OH} and significantly larger than V_{OL} . Thus, the **output** voltages that occur in the transition region are **likewise ambiguous** (cannot be assigned a logical state).

Lesson learned → Stay away from the transition region!

In other words, we must ensure that an **input** voltage representing a logical “low” value is **significantly lower** than V_{IL} , and an **input** voltage representing a logical “high” value is **significantly higher** than V_{IH} .

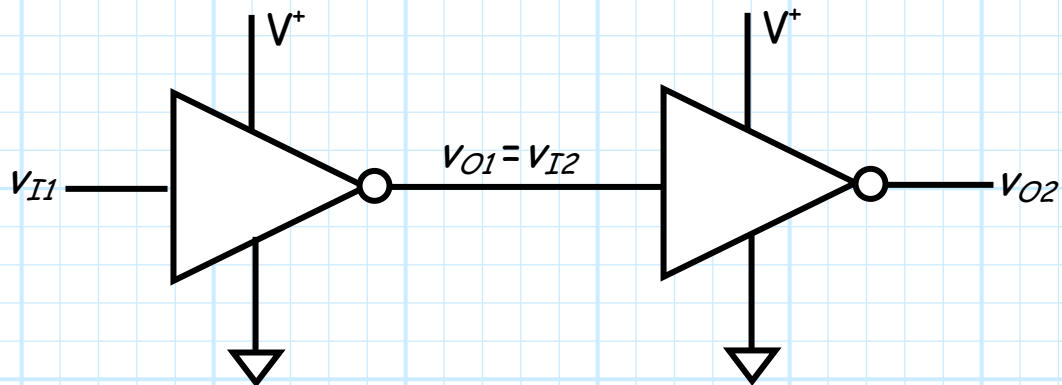


Q: *Seems simple enough! Why don't we **end** this exceedingly dull handout and **move on** to something more interesting!?*

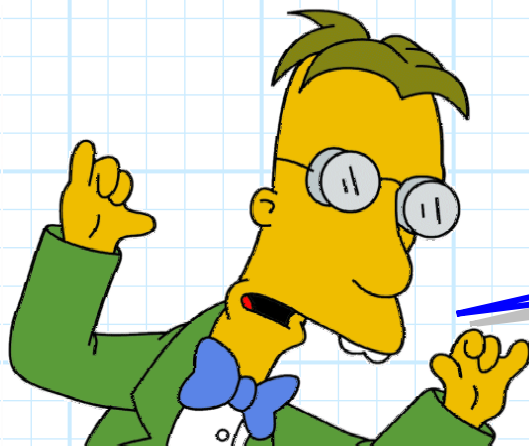
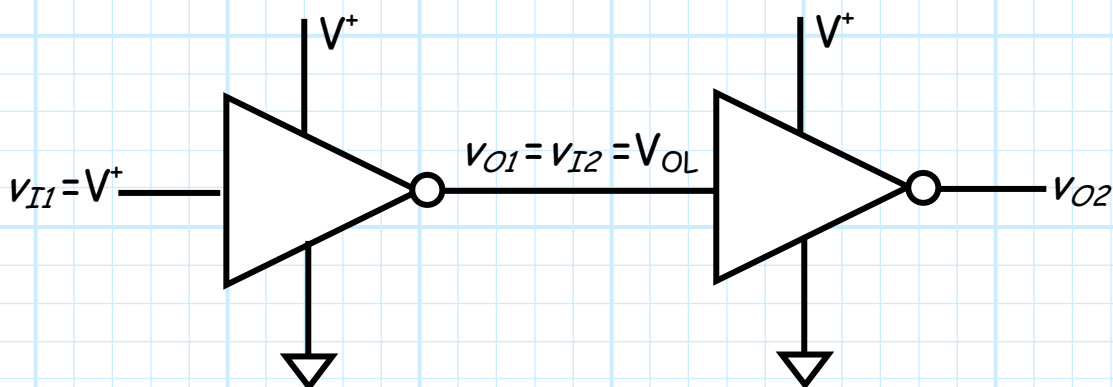
A: Actually, staying **out** of the transition region is sometimes **more difficult** than you might first imagine!

The reason for this is that in a **digital system**, the devices are **connected** together—the input of one device is the output of the other, and vice versa.

For example:



Say that the **input** to the **first** digital inverter is $v_{I1} = V^+$. The **output** of that inverter is therefore $v_{O1} = V_{OL}$. Thus, the **input** to the **second** inverter is **likewise** equal to V_{OL} (i.e., $v_{I2} = v_{O2} = V_{OL}$).



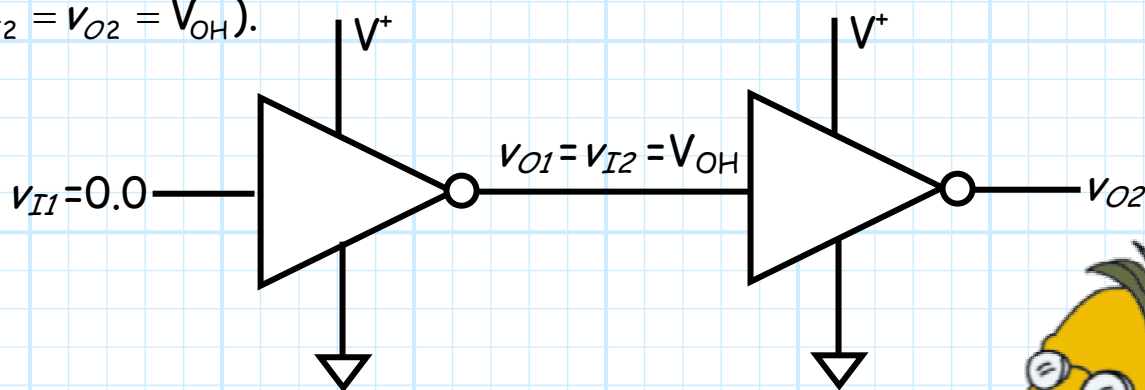
Q: *So? This doesn't seem to be a problem—after all, isn't V_{OL} much lower than V_{IL} ??*

A: True enough! The input $v_{I2}=V_{OL}$ is typically **well below** the maximum acceptable value V_{IL} . In fact, we have a specific name for the **difference** between V_{IL} and V_{OL} —we call this value **Noise Margin (NM)**:

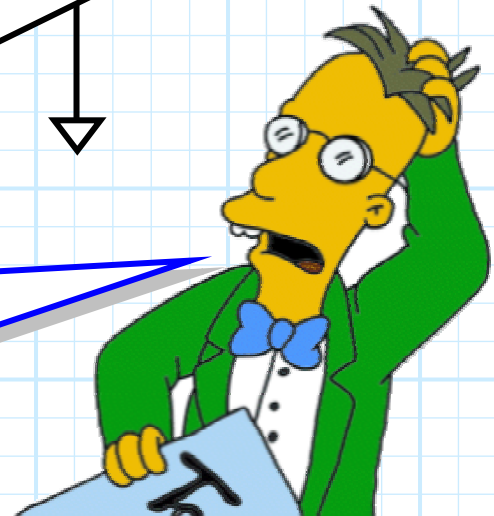
$$NM_L = V_{IL} - V_{OL} \quad [Volts]$$

The noise margin essentially tells us **how close** we are to the **ambiguous** transition region for a typical case where $v_I = V_{OL}$. Of course, we do **not** wish to be close to this transition region at all, so **ideally** this noise margin is **very large**!

Now, consider the **alternate** case where $v_{I1}=0.0$ V. The **output** of the **first** inverter is therefore $v_{O1} = V_{OH}$. Thus, the **input** to the **second** inverter is **likewise** equal to V_{OH} (i.e., $v_{I2} = v_{O2} = V_{OH}$).



Q: *This still doesn't seem to be a problem—after all, isn't V_{OH} much larger than V_{IH} ??*

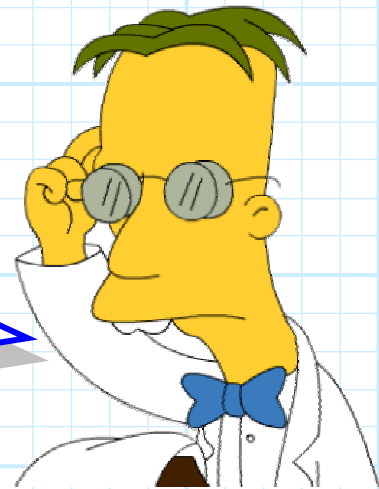


A: Again, this is **true** enough! The input $v_{I2}=V_{OH}$ is typically **well** above the minimum acceptable value V_{IH} . We can **again** specify the **difference** between V_{IH} and V_{OH} as a **noise margin** (NM):

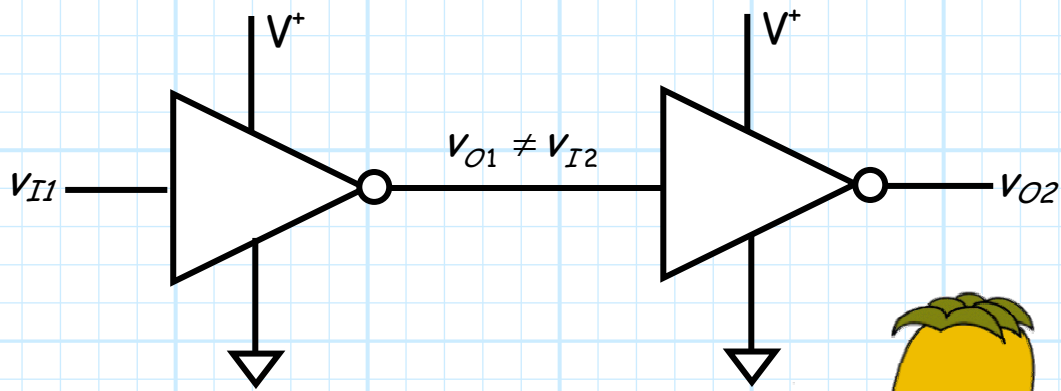
$$NM_H = V_{OH} - V_{IH} \quad [Volts]$$

This **noise margin** essentially tells us how **close** we are to the ambiguous **transition region** for a typical case where $v_I = 0.0V$. Of course, we do **not** wish to be close to this transition region at all, so ideally this noise margin is **very large**!

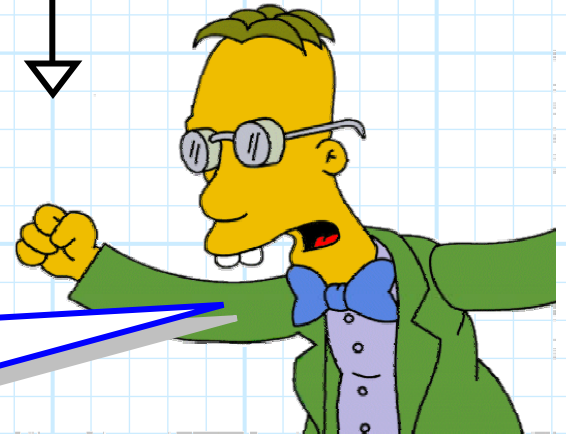
Q: *I don't see why we care about the values of these "noise margins". Isn't the simple fact that $V_{OL} < V_{IL}$ and $V_{OH} > V_{IH}$ sufficient?*



A: **Ideally** yes. However, in our example we have made one important **assumption** that in fact may **not** be true! It turns out that in a **real** digital circuit, v_{I2} may **not** be equal to v_{O1} !!



Q: *What! How can this be possible? It appears to me that v_{I2} **must** be equal to v_{O1} !?*

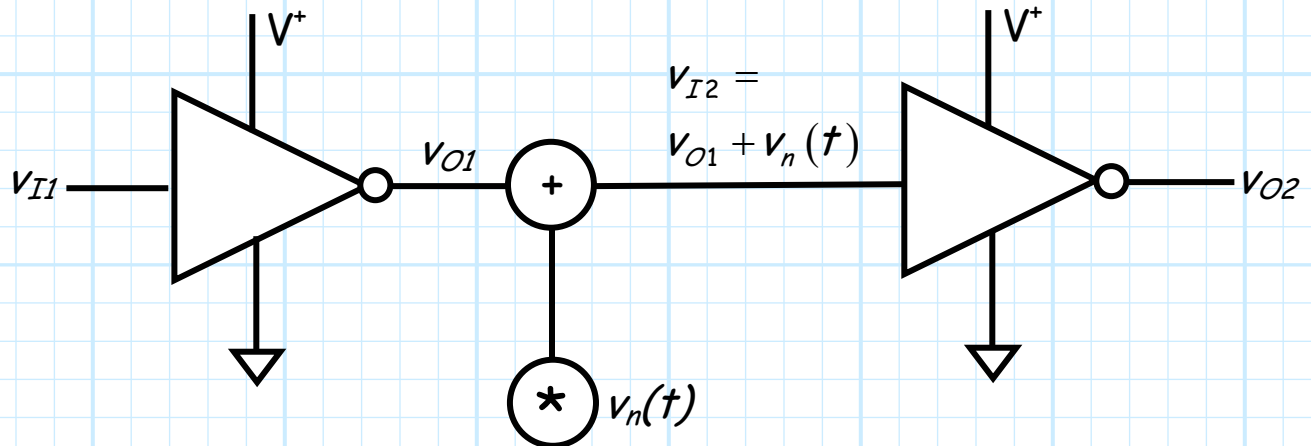


A: It turns out that for a **real** digital circuit, a lot can happen **between** the output of one device and the input to another. The voltage at the input of a device might be affected by **many** sources—**only one** of which is the output device connected to it!

Examples of these “**extra**” sources include:

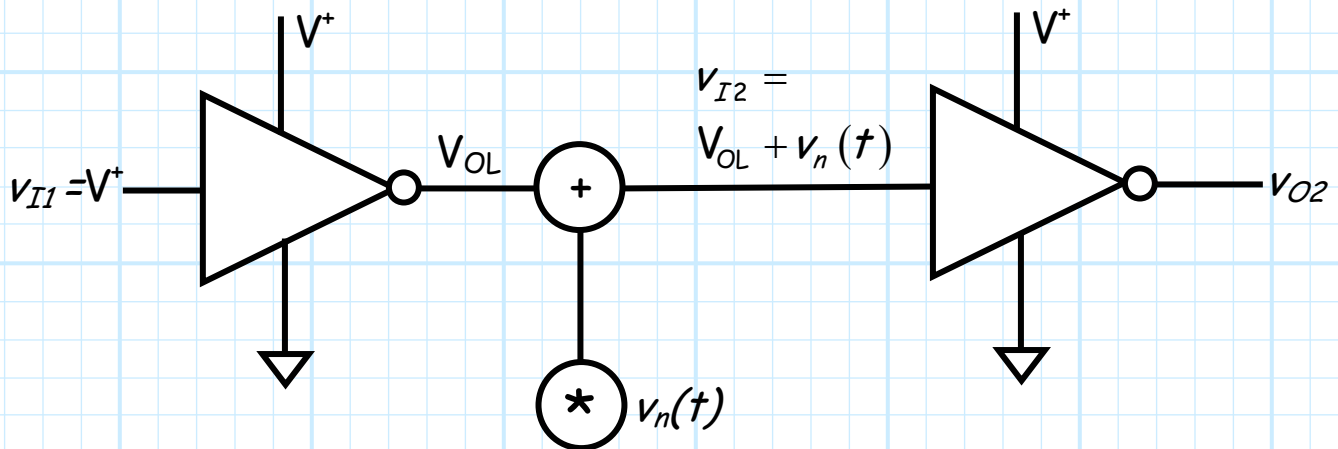
1. Thermal **noise**
2. Coupled signals
3. Power supply **transients**

We will **combine** the effect of **all** of these sources together into one “**noise**” source $v_n(t)$. Thus, a **better model** for our digital circuit example is:



Now, let's **reconsider** the case where $V_{IF} = V^+$. We find that the **input** to the **second** digital inverter is then

$$V_{I2} = V_{OL} + v_n(t):$$



Now we see the **problem!** If the **noise** voltage is **too large**, then the **input** to the **second** inverter will **exceed** the maximum low input level of V_{IL} —we will have entered the dreaded **transition region!!!!**

To **avoid** the transition region, we find that the **input** to the **second** inverter must be less than V_{IL} :

$$V_{OL} + v_n(t) < V_{IL}$$

$$v_n(t) < V_{IL} - V_{OL}$$

$$v_n(t) < NM_L$$

Look at what this means! It says to avoid the transition region (i.e., for the input voltage to have an unambiguously "low" digital level), the **noise** must be **less** than **noise margin** NM_L for **all time** !

Thus, if the **noise margin** NM_L is **large**, the noise $v_n(t)$ can be large **without** causing any deleterious effect (deleterious effect \rightarrow transition region). Conversely, if the noise margin NM_L is **small**, then the noise **must** be small to avoid **ambiguous** voltage levels.

Lesson learned \rightarrow **Large noise margins are very desirable!**

Considering **again** the example circuit, only this time with $v_I = 0.0$ V, we find that to **avoid** the transition region (verify this for yourself!):

$$V_{OH} + v_n(t) > V_{IH}$$

$$v_n(t) > V_{IH} - V_{OH}$$

$$v_n(t) > -NM_H$$

$$-v_n(t) < NM_H$$

Note that the noise $v_n(t)$ is **as likely** to be positive as negative—it is in fact **negative** valued noise that will send v_{I2} to a value **less** than V_{IH} !

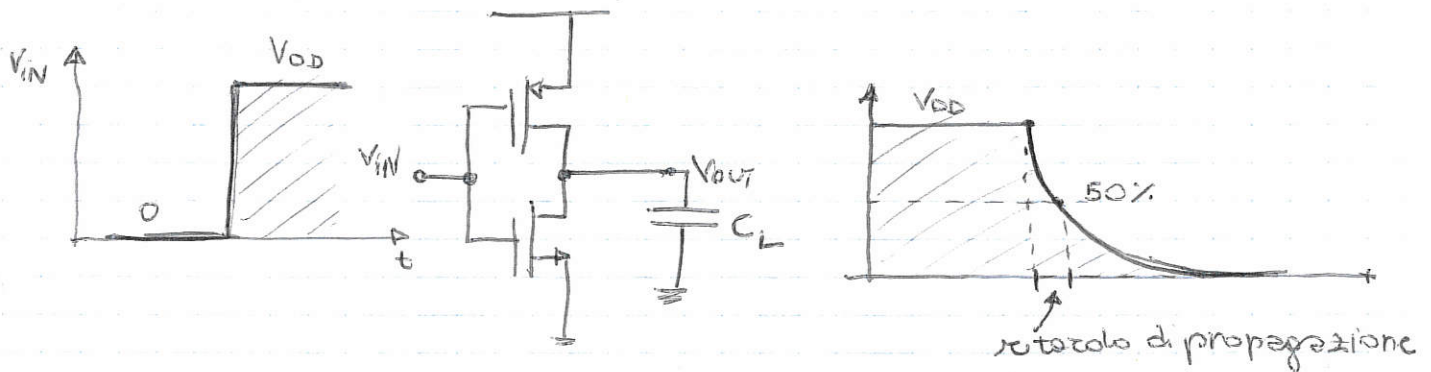
Thus, we can make the statement that the **magnitude** of the **noise** $v_n(t)$ must be **less** than the **noise margins** to avoid the ambiguous values of the disturbing **transition region**! I.E., make sure that:

$$|v_n(t)| < NM \quad \text{for all time } t$$

* COMPORTAMENTO DINAMICO DELL'INVERTITORE CMOS

- transizione uscita ALTO \rightarrow BASSO

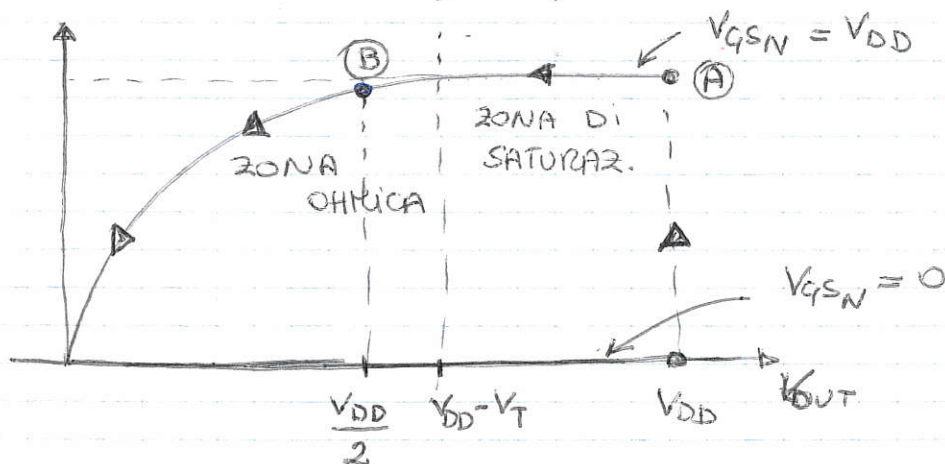
Definiamo TEMPO DI PROPAGAZIONE il ritardo T_{prop} , il segnale di ingresso e l'uscita corrispondente nel passaggio per il 50% dell'escursione logica $(\frac{V_{OH} + V_{OL}}{2})$



$t = 0^-$ NMOS in interdizione
PMOS in zona ohmica

$t = 0^+$ NMOS enter in conduzione ($V_{GSN} = V_{DD}$) in zona di saturazione ($V_{GD} = 0$)
PMOS in interdizione

Il NMOS si comporta da generatore di corrente costante e scarica la capacità C_L .



Il tempo di propagazione è il tempo di passaggio dal punto (A) al punto (B), in cui il NMOS è già in zona ohmica, dove il MOSFET è approssimabile con una resistenza non lineare.

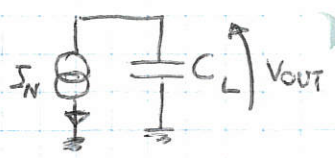
In primo approssimazione approssimiamo la corrente in

quel tratto con la corrente massima $I_N = k_n (V_{DD} - V_{TN})^2$



$$t_{PHL} \approx \frac{Q_{\text{condensatore}}}{I_N} = \frac{C_L (V_{DD} - \frac{V_{DD}}{2})}{I_N} = \frac{C_L (\frac{V_{DD}}{2})}{k_n (V_{DD} - V_{TN})^2}$$

che deve essere portato via



$$= \frac{C_L (\frac{V_{DD}}{2})}{2 k_n (V_{DD} - V_{TN})^2} = \frac{C_L V_{DD}}{2 k_n (V_{DD} - V_{TN})^2}$$

da portare via

$$I(V_{OUT}) C_L \frac{dV_{OUT}}{dt}$$

Per essere più precisi dobbiamo dividere il calcolo per le due zone di funzionamento del MOS a canale N.

— NMOS in saturazione

monitore

$$t_{PHL1} = \frac{Q_{\text{condensatore}}}{I_N} = \frac{C_L (V_{DD} - (V_{DD} - V_{TN}))}{k_n (V_{DD} - V_{TN})^2} = \frac{C_L V_{TN}}{k_n (V_{DD} - V_{TN})^2}$$

— NMOS in zona ohmica

$$\begin{cases} I_N = C_L \frac{dV_{OUT}}{dt} \\ I_N = k_n \left[(V_{DD} - V_T) V_{OUT} - V_{OUT}^2 \right] \end{cases}$$

$$\int_0^{t_{PHL2}} k_n dt = C_L \int_{\frac{V_{DD}}{2}}^{V_{DD} - V_{TN}} \frac{dV_{OUT}}{[2(V_{DD} - V_T) V_{OUT} - V_{OUT}^2]}$$

$$\int \frac{dx}{(a-x)x} = \int \frac{dx}{a(a-x)} + \int \frac{dx}{ax} = \frac{1}{a} \ln \left(\frac{x-a}{x} \right)$$

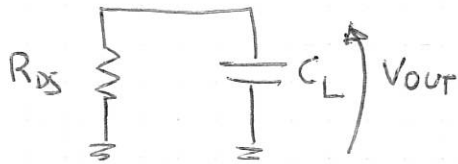
$$t_{PHL2} = \frac{C_L}{k_n} \frac{1}{2(V_{DD} - V_T)} \cdot \ln \left[\frac{V_{DD}/2 - 2(V_{DD} - V_T)}{V_{DD}/2} \cdot \frac{V_{DD} - V_{TN}}{(V_{DD} - V_{TN}) - 2(V_{DD} - V_T)} \right]$$

$$= \frac{C_L}{k_n} \frac{1}{2(V_{DD} - V_T)} \cdot \ln \left[\frac{-2}{V_{DD}} \left(\frac{V_{DD}}{2} - 2V_{DD} + 2V_{TN} \right) \right] =$$

$$= \frac{C_L}{k_n} \frac{1}{2(V_{DD} - V_T)} \cdot \ln \left[\frac{2}{V_{DD}} \left(\frac{3}{2} V_{DD} - 2V_{TN} \right) \right] =$$

$$= \frac{C_L}{2 k_n (V_{DD} - V_T)} \cdot \ln \left[\frac{3V_{DD} - 4V_{TN}}{V_{DD}} \right]$$

- altra approssimazione NMOS in zona ohmica



$$R_{DS} = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{\frac{\partial I_D}{\partial V_{DS}}} = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} \cdot [2(V_{GS} - V_T) - 2V_{DS}]} =$$

$$= \frac{1}{2k_N [V_{GS} - V_T - V_{DS}]} \quad \text{ma posso usare } R_{DS}|_{on} = \frac{1}{2k_N (V_{GS} - V_T)}$$

$$V_{OUT} = V_{DD} \left[\exp\left(-\frac{t}{R_{DS} C_L}\right) \right]$$

⇓

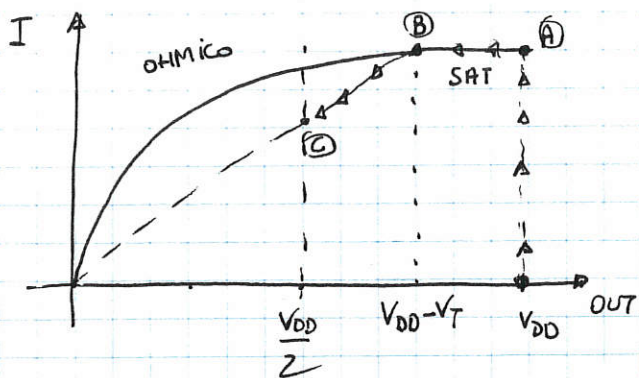
$$t_{PHL} \text{ \u00e8 tale che } V_{OUT} = \frac{V_{DD}}{2} \Rightarrow \frac{1}{2} = \exp\left(-\frac{t}{R_{DS} C_L}\right)$$

$$t_{PHL} = -R_{DS} C_L \ln\left(\frac{1}{2}\right) = R_{DS} C_L \ln 2 \approx 0.7 R_{DS} C_L$$

⇓

ho approssimato la corrente \Rightarrow il t_{PHL} \u00e8 ~~maggiore~~ ^{minore} di quello vero (me me devo ricordare...)

* approssimazione per eccesso



Suddivido la scoria in due tratti:

• da (A) a (B): MOS saturo, soluzione esatta

$$t_{PHL\text{SAT}} = \frac{Q_{VDD-(VDD-VT)}}{I_{D\text{sat}m}} = \frac{C_L (VDD - (VDD - VT))}{k_m (V_{GSm} - VT)^2} = \frac{C_L VT}{k_m (VDD - VT)^2}$$

• da (B) a (C): MOS ohmico, con resistenza variabile

↳ approssimo con una resistenza costante (retta congiungente B all'origine):

$$R_{eq} = \left(\frac{I_{D\text{sat}m}}{VDD - VT} \right)^{-1} = \frac{VDD - VT}{I_{D\text{sat}m}}$$

$$\tau = C_L R_{eq}$$

$$V_{out}(t) = (VDD - VT) \exp(-t/\tau)$$

devo calcolare il tempo necessario perché l'esponentiale raggiunga $\frac{VDD}{2}$

$$\frac{VDD}{2} = (VDD - VT) \exp\left(-\frac{t_{PHL\text{OHM}}}{\tau}\right)$$

$$t_{PHL\text{OHM}} = \tau \ln \frac{VDD - VT}{\frac{VDD}{2}} = \tau \ln \frac{2(VDD - VT)}{VDD}$$

↓

$$t_{PHL} = t_{PHL\text{SAT}} + t_{PHL\text{OHM}} = \frac{C_L VT}{k_m (VDD - VT)^2} + \tau \ln \frac{2(VDD - VT)}{VDD} =$$

$$= \frac{C_L VT}{k_m (VDD - VT)^2} + \left[\frac{C_L (VDD - VT)}{I_{D\text{sat}m}} \right] \ln \frac{2(VDD - VT)}{VDD} =$$

$$= \frac{C_L}{k_m (VDD - VT)^2} \left[VT + (VDD - VT) \ln \frac{2(VDD - VT)}{VDD} \right]$$

↳ il tempo di propagazione ALTO → BASSO sono la somma dei due contributi:

$$t_{PHL} = \frac{C_L}{k_N (V_{DD} - V_{TN})} \left[\frac{V_{TN}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{3V_{DD} - 4V_{TN}}{V_{DD}} \right) \right]$$

Analogo è il calcolo del tempo di propagazione BASSO → ALTO (t_{PLH}), ma questa volta l'NMOS è sempre in interdizione ed è il PMOS che carica la capacità C_L .

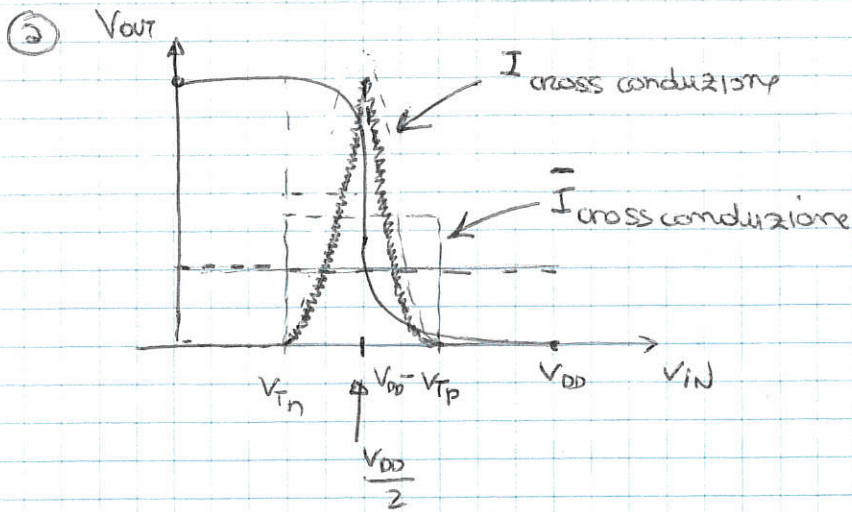
Noti i tempi di propagazione t_{PLH} e t_{PHL} si definisce RITARDO DI PROPAGAZIONE

$$\tau_p = \frac{t_{PLH} + t_{PHL}}{2}$$

→ Per aumentare o diminuire la velocità dell'invertitore CMOS occorre modificare $\frac{W}{L}$ dei transistori. Maggiore è $\frac{W}{L}$ maggiore risulta il k del transistor e quindi minore è il tempo di propagazione.

* DISSIPAZIONE DI POTENZA STATICA E DINAMICA IN UN INVERTITORE CMOS

- Sia per ingresso alto (V_{DD}) che per ingresso basso (0) la corrente nell'invertitore è nulla (pressoché...) ⇒ non c'è dissipazione di potenza statica (😊)
- Due sono i contributi alla potenza dinamica, cioè quello relativo alle transizioni TAO uno statico e l'altro.
 - ⓐ corrente che attraversa i MOS nella fase in cui sono entrambi in conduzione (POTENZA DI CROSS-COMDUZIONE)
 - ⓑ potenza spesa per la carica delle capacità



$$I_{\text{picco}} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left(\frac{V_{DD}}{2} - V_T \right)^2, \text{ limitato dal MOSFET che conduce meno}$$

$$\bar{I}_{\text{cross-conduzione}} = \frac{I_{\text{picco}}}{2} \frac{V_{DD} - V_{Tn} - |V_{Tp}|}{V_{DD}}$$

$$\begin{aligned} \Downarrow \\ \bar{P}_{c-c} &= \bar{I}_{cc} \cdot V = \left(\frac{I_{\text{picco}}}{2} \frac{V_{DD} - 2V_T}{V_{DD}} \right) \cdot \left(V_{DD} \frac{2 \cdot t_{\text{rise}}}{\pi} \right) = \\ &= \frac{I_{\text{picco}}}{2} (V_{DD} - 2V_T) f_{\text{ox}} t_{\text{rise}} \end{aligned}$$

i due fronti
↑
2 · t_{rise}
↑
periodo

③ non dipende dalla realizzazione dell'invertitore

$$E = V_{DD} \int I_{\text{cdt}} = V_{DD} Q_{C_L} = C_L V_{DD}^2$$

← C_L V_{DD}

per metà dissipato nell'invertitore e per metà immagazzinato nel condensatore e persa quando la capacità si scarica

$$\Downarrow \quad \leftarrow \text{frequenza di commutazione}$$

$$P_D = f \cdot E = f C_L V_{DD}^2$$

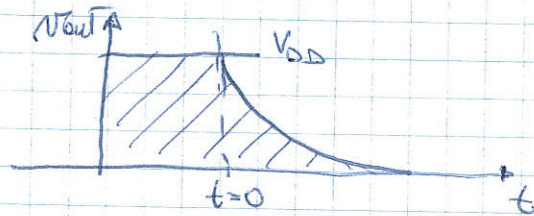
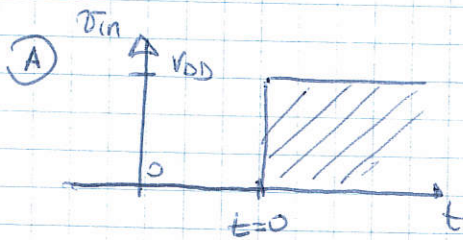
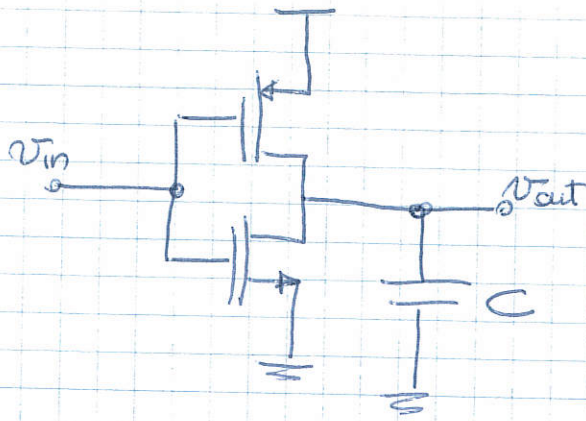
↓
POTENZA TOTALE DISSIPATA

$$P = \underbrace{I \cdot V_{DD}}_{\approx 0} + P_{c-c} + f C_L V_{DD}^2 (N_{\text{sw}})$$

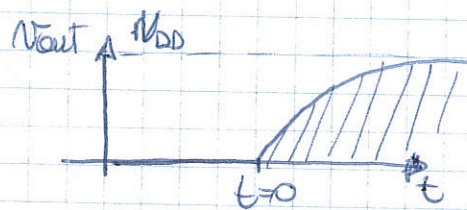
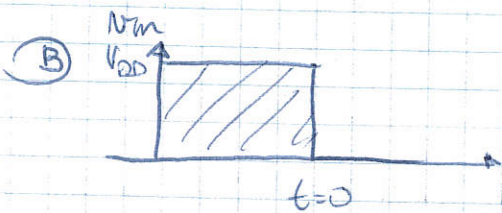
≈ 0
solo i leakage

in discrete che commutano, nelle hp. che tutte abbiano uguale capacità di carico.

5) potenza spesa per la carica della capacità



- $t=0^-$ $V_{out} = V_{DD}$ \Rightarrow Energia nel condensatore $= \frac{1}{2} C V_{DD}^2$
- $t=0$ $V_{in} = V_{DD}$ \Rightarrow pMOS off, nMOS on
 \Downarrow
 nMOS scarica la capacità fino a zero
 \Downarrow
 $\frac{1}{2} C V_{DD}^2$ è dissipato dall'nMOS e rimosso dalla capacità



- $t=0^+$ $\Rightarrow V_{in} = 0 \Rightarrow$ nMOS off, pMOS on
 \Downarrow
 pMOS carica la capacità con una corrente i proveniente dal alimentatore

\hookrightarrow energia prelevata dall'alimentatore:

$$E = \int V_{DD} \cdot i(t) dt = V_{DD} \int i(t) dt = V_{DD} Q = C V_{DD}^2$$

\Downarrow al termine della carica della capacità, la capacità è carica a $V_{DD} \Rightarrow$

- $\frac{1}{2} C V_{DD}^2$ è immagazzinata nel condensatore.

- $\frac{1}{2} C V_{DD}^2$ è dissipato dal pMOS nella fase di carica.



$\frac{1}{2} C V_{DD}^2$ per ogni ciclo è dissipata nel nMOS e $\frac{1}{2} C V_{DD}^2$ è dissipato per ogni ciclo dal pMOS

↳ $C V_{DD}^2$ è l'energia dissipata ad ogni ciclo



Potenza dissipata, $P = f C V_{DD}^2$

→ PRODOTTO RITARDO POTENZA

In generale $P_D < P_D$

Ritardo e potenze consentono di valutare il massimo livello di integrazione realizzabile e la massima velocità di operazione.

In generale il miglioramento di una delle due grandezze va a scapito dell'altra \Rightarrow problema di ottimizzazione per il progettista

$$P_D \equiv f C_L V_{DD}^2$$

$$t_p = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1}{2} \frac{C_L V_{DD}}{R} \left[\frac{2}{(V_{DD} - V_T)^2} \right]$$

$$\left. \begin{aligned} P_D \cdot t_p &= \\ &= f C_L^2 \frac{V_{DD}^3}{2k(V_{DD} - V_T)^2} \end{aligned} \right\}$$

Tale parametro è in generale un parametro di merito per le diverse famiglie logiche e si dice che più piccolo è più elevata sarà la velocità di operazione e parte di potenza dissipata o minore sarà il consumo e parte di velocità operative. Tipici valori (è un'energia!) sono di $1 - 10 \text{ pJ}$.

Come si può vedere, il prodotto ritardo-potenza può essere ridotto diminuendo la capacità di carico C_L e diminuendo la tensione di alimentazione (Tendenza a realizzare logiche CMOS alimentate a tensioni sempre più basse...)

→ FAN-IN E FAN-OUT

L'uscita di una porta logica deve essere in grado di pilotare più di una porta.

Il FAN-IN di una porta logica è il numero di ingressi che la porta presenta (\rightarrow numero di variabili in ingresso)

Il FAN-OUT di una porta logica è il numero di ingressi che possono essere pilotati dall'uscita di una porta logica. Dato che ogni porta logica connessa alla

precedente aggiunge un carico capacitivo alla porta logica che pilota le porte in uscita, quanto maggiore è il numero di porte che devono essere pilotate, maggiore è il valore della capacità di carico C_L e quindi maggiore è il tempo di propagazione.

↳ compromesso tra numero di porte "attaccate" ad una uscita di una porta logica e velocità di commutazione della porta.

* RICHIAMI DI ALGEBRA BOOLEANA

1849: G. Bode presento una formulazione matematica per controllare la logica del pensiero umano e del ragionamento

ALGEBRA BOOLEANA: algebra delle funzioni logiche binarie.

La funzione logica calcolata all'uscita di una porta è rappresentata da una variabile Y ed è funzione delle variabili logiche di ingresso

$$Y = f(A, B, \dots)$$

Per realizzare una qualsiasi funzione booleana, una famiglia logica deve fornire l'inversione (NOT) e una o almeno delle altre funzioni logiche (OR, AND)

La TABELLA DI VERITÀ riporta l'uscita Y per tutte le possibili combinazioni delle variabili di ingresso.

→ OPERAZIONI LOGICHE BOOLEANE FONDAMENTALI

• NOT

$$Y = \bar{A}$$



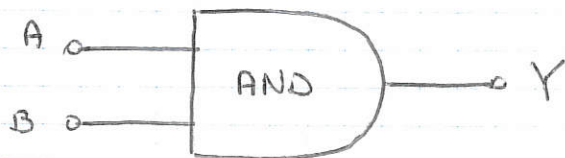
• OR

$$Y = A + B$$



• AND

$$Y = A \cdot B$$



• NOR

$$Y = \overline{A + B}$$

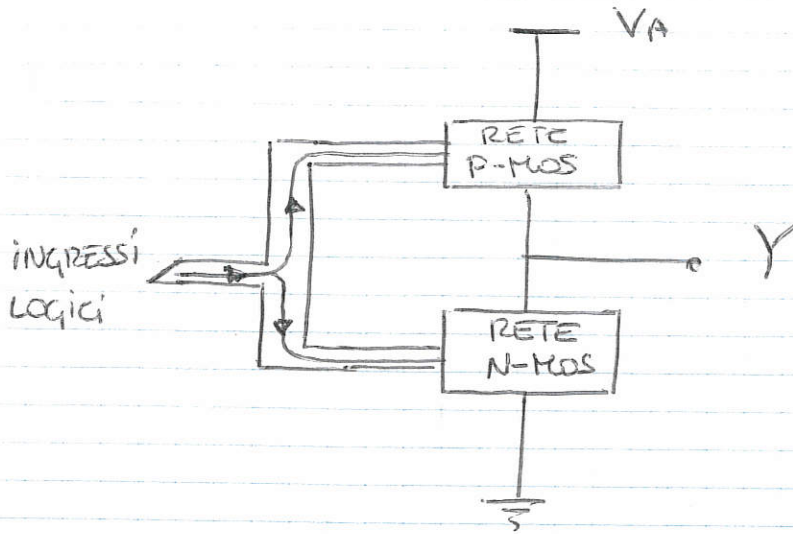


• NAND

$$Y = \overline{A \cdot B}$$



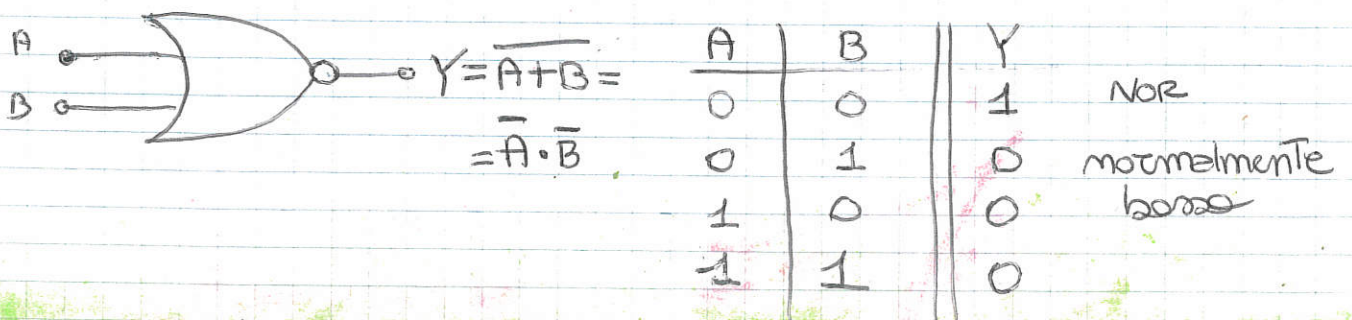
* PORTE LOGICHE ELEMENTARI CMOS

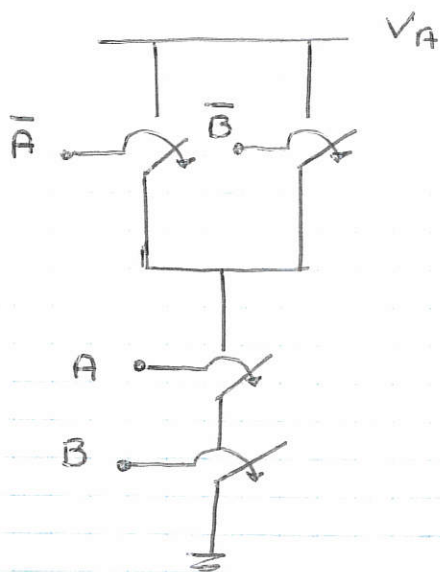


- Una porta logica CMOS consiste di due reti, una composta da transistori NMOS (rete di pull-down) e una composta da dispositivi PMOS (rete di pull-up)
- Per ogni variabile logica di ingresso in una porta CMOS ci sarà un transistorore NMOS nella rete di pull-down e un transistorore PMOS nella rete di pull-up
 ↳ due transistori per ogni variabile di ingresso
- per ogni possibile ingresso esiste un cammino conduttivo either verso una e una sola delle reti di pull-up e di pull-down.

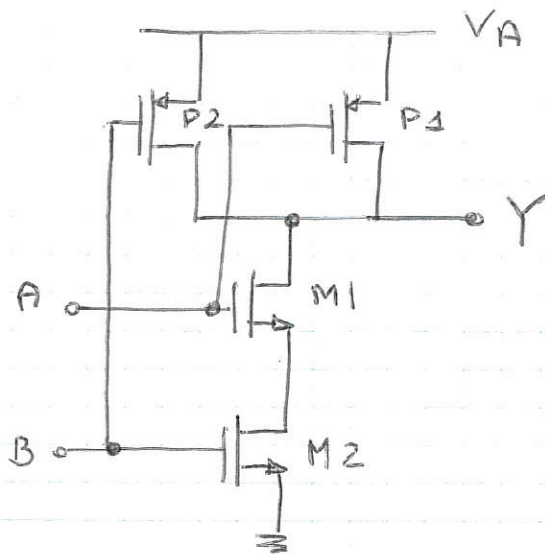
* PORTA LOGICA NOR CMOS

È la funzione logica OR negata, per cui è sufficiente che uno solo degli ingressi sia alto per portare l'uscita al livello logico basso

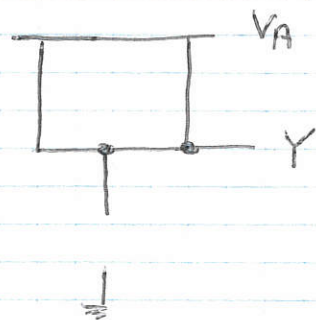




\Rightarrow
CMOS



- $A = 0 \Rightarrow P1 \text{ ON}; M1 \text{ OFF}$
 $B = 0 \Rightarrow P2 \text{ ON}; M2 \text{ OFF} \quad \left. \vphantom{\begin{matrix} A = 0 \\ B = 0 \end{matrix}} \right\} Y = 1$



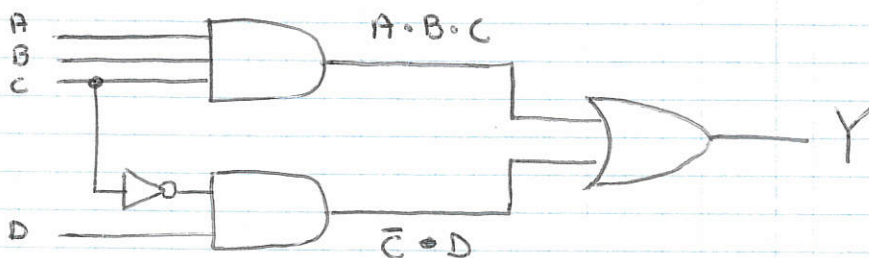
- $A = 1 \Rightarrow P1 \text{ OFF}; M1 \text{ ON}$
 $B = 0 \Rightarrow P2 \text{ ON}; M2 \text{ OFF} \quad \left. \vphantom{\begin{matrix} A = 1 \\ B = 0 \end{matrix}} \right\} Y = 1$

- $A = 0 \Rightarrow P1 \text{ ON}; M1 \text{ OFF}$
 $B = 1 \Rightarrow P2 \text{ OFF}; M2 \text{ ON} \quad \left. \vphantom{\begin{matrix} A = 0 \\ B = 1 \end{matrix}} \right\} Y = 1$

- $A = 1 \Rightarrow P1 \text{ OFF}; M1 \text{ ON}$
 $B = 1 \Rightarrow P2 \text{ OFF}; M2 \text{ ON} \quad \left. \vphantom{\begin{matrix} A = 1 \\ B = 1 \end{matrix}} \right\} Y = 0$

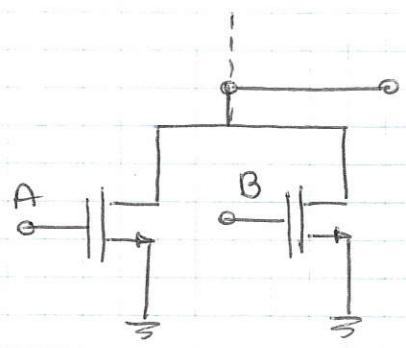
* APPLICAZIONE DEL TEOREMA DI DE MORGAN

a) $Y = A \cdot B \cdot C + \bar{C} \cdot D$



* ESEMPI DI RETI DI PULL-UP E DI PULL-DOWN

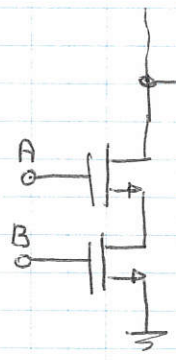
• $\bar{Y} = A + B$



$Y = \overline{A+B}$

l'uscita è bassa quando o A o B sono alti

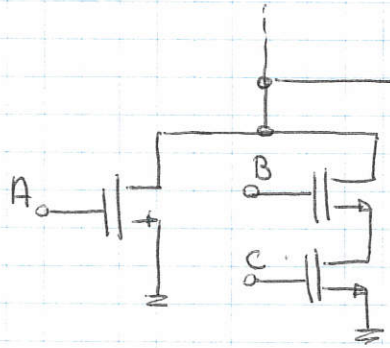
• $\bar{Y} = A \cdot B$



$Y = \overline{A \cdot B}$

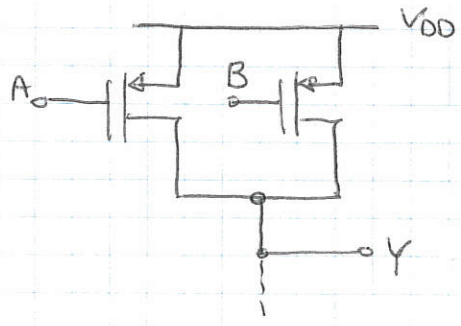
l'uscita è bassa solo se sia A che B sono alti.

• $\bar{Y} = A + B \cdot C$



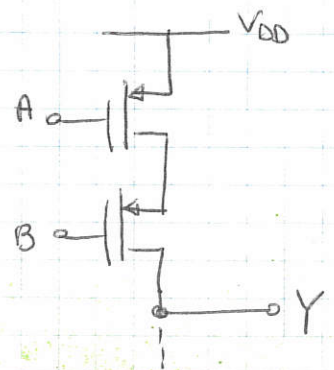
$Y = \overline{A + B \cdot C}$

• $Y = \bar{A} + \bar{B}$



l'uscita è alta quando o A o B sono bassi

• $Y = \bar{A} \cdot \bar{B}$



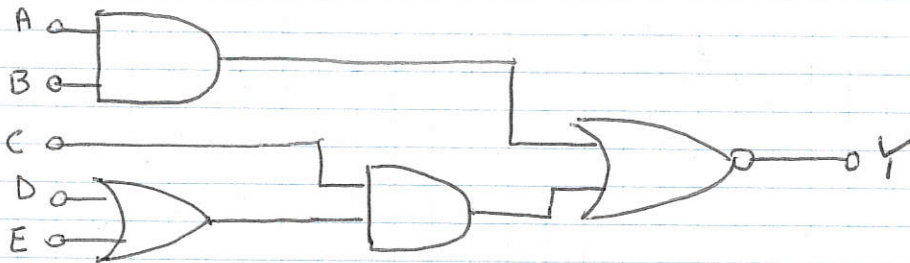
l'uscita è alta quando sia A che B sono bassi

* PORTE LOGICHE COMPLESSE E DIMENSIONAMENTO DEI MOS.

Consideriamo la funzione logica:

$$Y = A \cdot B + C \cdot (D + E) = Y_1 + Y_2 \cdot Y_3$$

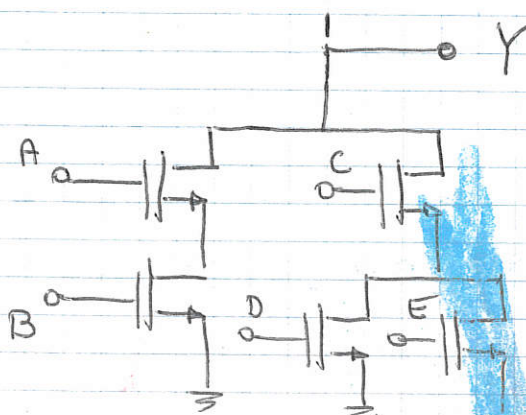
Essa possiede tre livelli di logica e richiede una porta OR, due porte AND e una NOR:



In questo modo sono necessari tre stadi elementari e, quindi, tre passaggi tra ingresso e uscita, con vantaggi relativi al ritardo di propagazione e alla potenza dissipata.

La stessa funzione logica può essere realizzata in logica complessa CMOS: vediamo di costruire la rete di pull-down.

- poniamo in parallelo due rami che realizzano la funzione Y_1 e quello $Y_2 \cdot Y_3$ rispettivamente
- Y_1 è realizzato ponendo in serie due NMOS pilotati da A e B
- $Y_2 \cdot Y_3$ è realizzato ponendo in serie un NMOS pilotato da C al parallelo di altri due NMOS pilotati da D e da E.



$$\bar{Y} = A \cdot B + C \cdot (D + E)$$

Vediamo quale è la condizione più gravosa nel nostro caso: nel passaggio dell'uscita dal livello logico basso a quello alto (scarica della capacità di uscita, attraverso la rete dei PMOS) la condizione più sfavorevole è quando conduce uno solo dei due rami in parallelo (per ogni blocco in serie) e nel secondo blocco quando si trovano a condurre i due PMOS D e E in serie.

Nel passaggio dell'uscita dal livello logico alto a quello basso (scarica della capacità attraverso la rete degli NMOS) la condizione più gravosa si ha quando conduce solo uno dei due rami in parallelo e uno solo dei due NMOS D e E per quanto riguarda il ramo di destra.

Solitamente si impone l'uguaglianza di t_{PHL} e t_{PLH} , quindi si richiede che gli invertitori equivalenti abbiano $k_N = k_P$ e quindi:

$$\left(\frac{W}{L}\right)_{PEQ} = 2.5 \left(\frac{W}{L}\right)_{NEQ}$$

dove $\left(\frac{W}{L}\right)_{eq}$ indica il fattore di forma dei MOS dell'invertitore equivalente.

In generale per j MOS in parallelo:

$$\left(\frac{W}{L}\right)_{eq} = \sum_{k=1}^j \frac{W_k}{L_k}$$

e per j MOS in serie

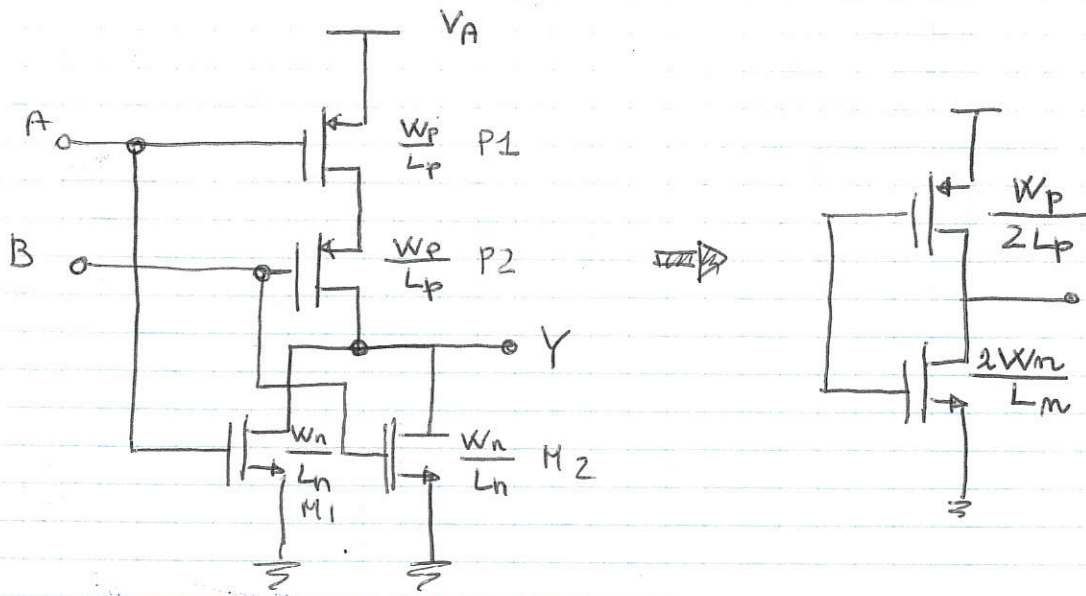
$$\left(\frac{W}{L}\right)_{eq} = \frac{1}{\sum_{k=1}^j \frac{L_k}{W_k}}$$

Nel nostro caso dobbiamo considerare per i PMOS le configurazioni:

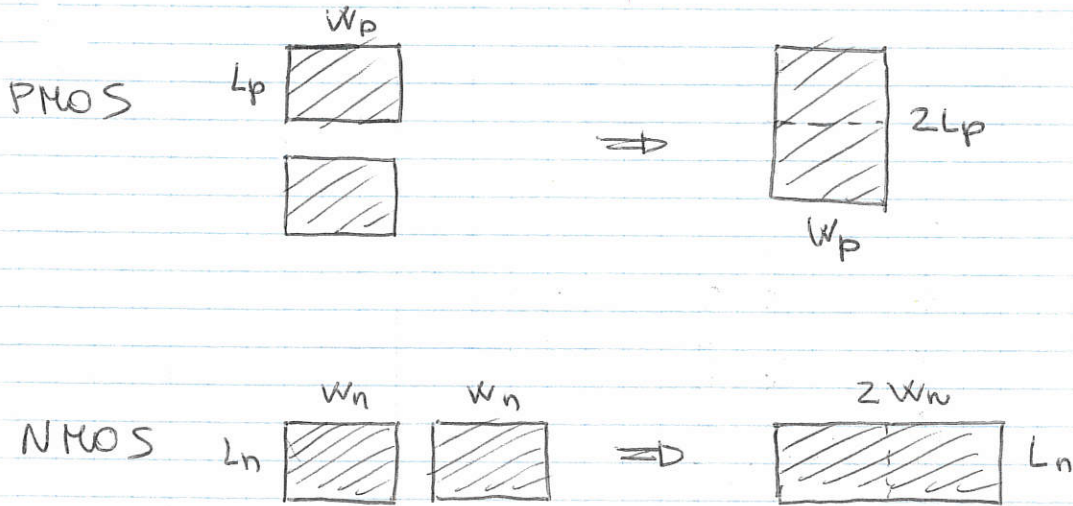
- A (B) in serie con D+E (la più gravosa)
- A (B) in serie con C

→ NOTA SULL'INVERTER EQUIVALENTE

- portata NOR CMOS



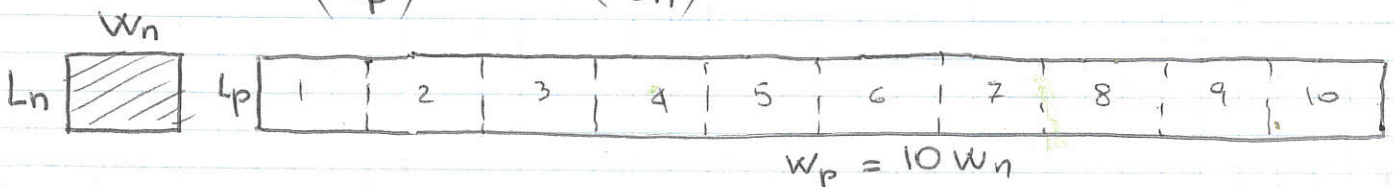
Per avere un inverter simmetrico $k_m = k_p$



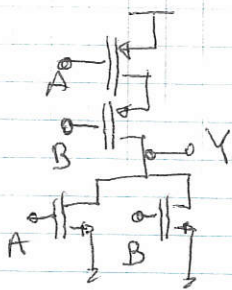
Per avere un inverter simmetrico $k_m = k_p$

$$\hookrightarrow \left(\frac{W_p}{2L_p} \right) = 2.5 \left(\frac{2W_n}{L_n} \right)$$

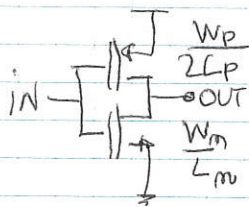
$$\Downarrow \left(\frac{W_p}{L_p} \right) = 10 \left(\frac{W_n}{L_n} \right)$$



NOR gate



equivalent inverter worst case



symmetric inverter i.e.

$$\frac{W_p}{2L_p} = 2.5 \frac{W_m}{L_m}$$

$$\hookrightarrow \left(\frac{W}{L}\right)_p = 5 \left(\frac{W_m}{L_m}\right) \quad (*)$$

Equivalent inverter best case

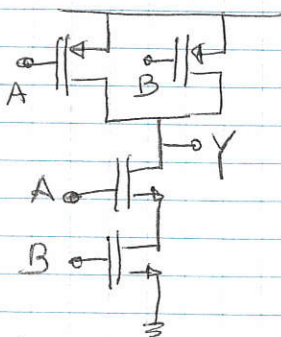
$$\frac{W_p}{2L_p} = 2.5 \frac{2W_m}{L_m} \Rightarrow \left(\frac{W}{L}\right)_p = 10 \left(\frac{W_m}{L_m}\right)$$

In general: $\left(\frac{W}{L}\right)_p = 2.5 N \times N \left(\frac{W}{L}\right)_m$

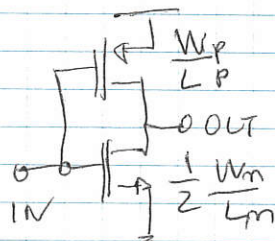
$$\begin{aligned} \text{AREA}_{\text{NOR}} &= N(W_p L_p) + N(W_m L_m) = \underbrace{NL}_{\uparrow} [W_p + W_m] = NL [2.5 N W_m + W_m] \\ &= NL W_m [1 + 2.5 N^2] \quad \text{assume } L_p = L_m = L \\ &= N \text{Area}_m [1 + 2.5 N^2] \end{aligned}$$

$$(*) \text{ AREA}_{\text{NOR WC}} = NL [W_p + W_m] = NL [2.5 N W_m + W_m] = N \text{Area}_m [1 + 2.5 N]$$

NAND gate

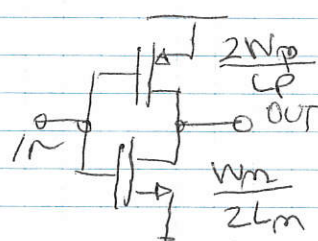


Equivalent inverter worst case



$$\frac{W_p}{L_p} = 2.5 \frac{W_m}{2L_m} \Rightarrow \frac{W_p}{L_p} = 2.5 \frac{W_m}{N L_m}$$

Equiv. inverter best case

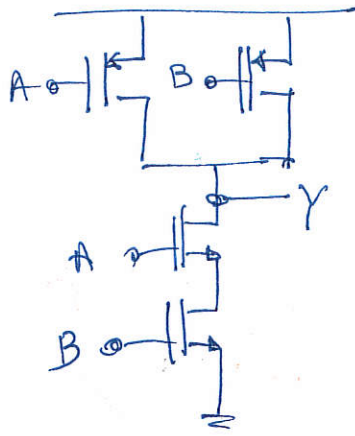


$$\frac{2W_p}{L_p} = 2.5 \frac{W_m}{2L_m}$$

$$\begin{aligned} N > 2 \quad \frac{W_m}{L_m} &= \frac{N}{2.5} \frac{W_p}{L_p} \\ L_m = L_p = L & \\ \Rightarrow NL(W_p + W_m) &= NL \left(W_p + \frac{N}{2.5} W_p \right) = N A_{\text{min}} \left(\frac{1+N}{2.5} \right) \end{aligned}$$

$$\begin{aligned} \text{AREA}_{\text{NAND}} &= NL(W_p + W_m) = \\ &= NL \left(W_p + \frac{N^2 W_p}{2.5} \right) = N A_{\text{min}} \left(\frac{1+N^2}{2.5} \right) \end{aligned}$$

NAND
 $y = \overline{A \cdot B}$



$N > 2$

$$\left(\frac{W}{L}\right)_{p_{eq}} = \left(\frac{W}{L}\right)_p$$

$$W_p = W_m = L_p = L$$

$$\rightarrow WL = A_{min}$$

$$\left(\frac{W}{L}\right)_{m_{eq}} = \frac{1}{2} \left(\frac{W}{L}\right)_m$$

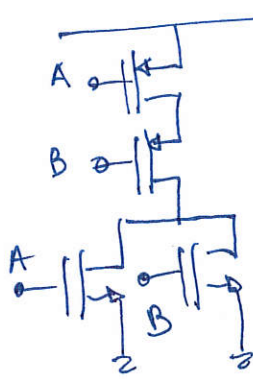
$$\left(\frac{W}{L}\right)_{p_{eq}} = 2.5 \left(\frac{W}{L}\right)_{m_{eq}} \Rightarrow \left(\frac{W}{L}\right)_p = \frac{2.5}{N} \left(\frac{W}{L}\right)_m$$

$$\boxed{AREA_{NAND} = W_p L_p N + W_m L_m N = WL N + \frac{N}{2.5} N WL =}$$

$$= \left(\frac{2.5}{N} * W * L * N + WL N\right) = N(WL) \left(1 + \frac{2.5}{N}\right)$$

$$= N A_{min} \left(1 + \frac{2.5}{N}\right) = \boxed{N A_{min} \left(1 + \frac{2.5}{N}\right)}$$

NOR
 $y = \overline{A + B}$



$$\left(\frac{W}{L}\right)_{p_{eq}} = \frac{1}{2} \left(\frac{W}{L}\right)_p$$

$$\left(\frac{W}{L}\right)_{m_{eq}} = \left(\frac{W}{L}\right)_m$$

$$\left(\frac{W}{L}\right)_{p_{eq}} = 2.5 \left(\frac{W}{L}\right)_{m_{eq}} \Rightarrow \frac{1}{N} \left(\frac{W}{L}\right)_p = \left(\frac{W}{L}\right)_m * 2.5$$

$$\frac{W_p}{L_p} = N \left(\frac{W}{L}\right)_m * 2.5$$

$$\boxed{AREA_{NOR} = W_p L_p N + W_m L_m N = NW 2.5 LN + WL N =}$$

$$= N A_{min} (1 + 2.5N)$$

$$N = 10 \begin{cases} \rightarrow AREA_{NOR} = 10 A_{min} (1 + 2.5) = 260 A_{min} \\ \rightarrow AREA_{NAND} = 10 A_{min} \left(1 + \frac{10}{2.5}\right) = 50 A_{min} \end{cases}$$