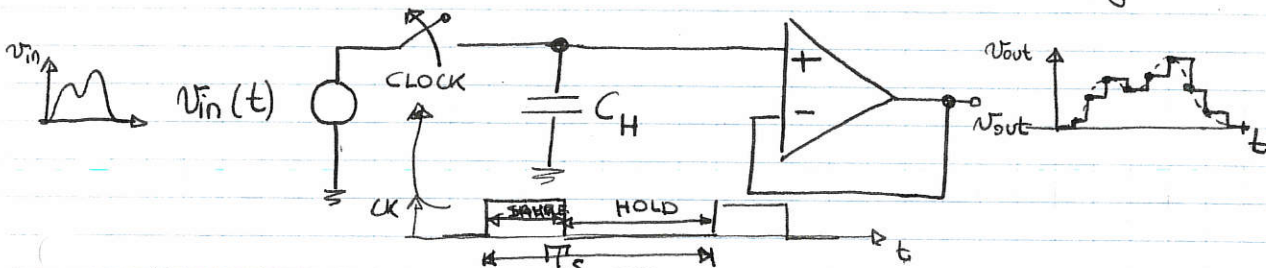


## \* IL "SAMPLE & HOLD"

Il "Sample & Hold" è un circuito analogico che, temporizzato da un opportuno segnale di comando, cattura il valore della tensione di ingresso (SAMPLE) e lo mantiene memorizzato fino al successivo comando (HOLD).

Lo schema di principio di un S&H è il seguente:



Il buffer viene introdotto per impedire alla capacità  $C_H$  di scaricarsi sulla circuiteria a valle.

Durante la fase di SAMPLING l'interruttore è chiuso ed il segnale applicato in ingresso carica la capacità  $C_H$  al valore di tensione applicato in ingresso  $\Rightarrow V_{out} = V_{in}$ .

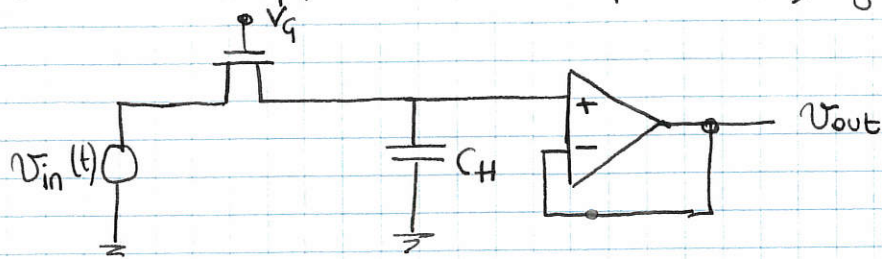
Durante la successiva fase di HOLDING, l'interruttore viene aperto e la capacità  $C_H$  rimane idealmente isolata, conservando memorizzato il valore analogico.

Il S&H è necessario per fornire il segnale in ingresso ad un ADC; infatti, per effettuare la conversione è necessario un certo intervallo di tempo  $T_{conv}$  che può essere dell'ordine anche di una decina di  $\mu s$ . Durante tale intervallo di tempo è importante che il segnale in ingresso all'ADC non vari significativamente per non indurre errori di conversione. Un problema di un S&H sarebbe notevolmente limitato la massima frequenza del segnale applicabile in ingresso.

Introducendo un S&H a monte dell'ADC, la conversione del segnale avviene durante la fase di HOLDING e il segnale in ingresso non subisce variazioni.



Vediamo ora come realizzare l'interruttore responsabile del passaggio dalla fase di sampling a quella di hold. L'interruttore può essere facilmente realizzato con un transistor MOS di cui viene opportunamente pilotato il gate



Quando il MOS è acceso ed in zona ohmica esso presenta una resistenza tra drain e source che è data da:

$$R_{DS} = \frac{\partial V_{DS}}{\partial I_{D|ohm}} = \left[ \frac{\partial I_{D|ohm}}{\partial V_{DS}} \right]^{-1} = \frac{1}{[2\mu(V_{GS} - V_T) - 2\mu V_{DS}]}$$

e può essere resa sufficientemente piccola a patto di fornire sufficiente tensione di comando al gate.

Durante la fase di holding il MOS deve essere portato in interdizione in modo da presentare una resistenza tra drain e source idealmente infinita, in modo tale da impedire alla capacità  $C_H$  di varare la tensione ai suoi capi.

Vediamo quali tensioni devono essere applicate al gate per portare il MOSFET in zona ohmica ed in interdizione.

Notiamo innanzitutto che non è stato indicato il controllo di source distintamente da quello di drain, poiché i due controlli si scambiano i ruoli a seconda della polarità del segnale di ingresso e della tensione immagazzinata ai capi della capacità.

Supponiamo che il MOSFET abbia una tensione di soglia  $V_{TN} = 2V$  e il segnale in ingresso abbia una dinamica di  $\pm 5V$ .

- ↓

**MOSFET SPENTO:**  $V_{GS} < V_{TN} \rightarrow V_G - V_S < V_{TN} \rightarrow V_G < V_{TN} + V_{S, \min}$  con  $V_{S, \min} = -5V$

↳  $V_G \leq -3V$  perchè il MOSFET sia spento per ogni tensione di ingresso



- MOSFET IN ZONA OHMICA:  $V_{GS} \geq V_{TN}$  (e  $V_{GD} \geq V_{TN}$ )

$$V_G - V_{in_{max}} \geq V_{TN} \Rightarrow V_G \geq V_{TN} + V_{in_{max}} = 2V + 5V = 7V$$



Lo swing Totale del segnale di comando deve essere maggiore di 10V; per garantire una resistenza  $R_{DSon}$  sufficientemente piccola dobbiamo fornire una certa Tensione di overdrive anche quando  $V_{in} = V_{in_{max}} \Rightarrow V_G = 10V$  (ad esempio!)

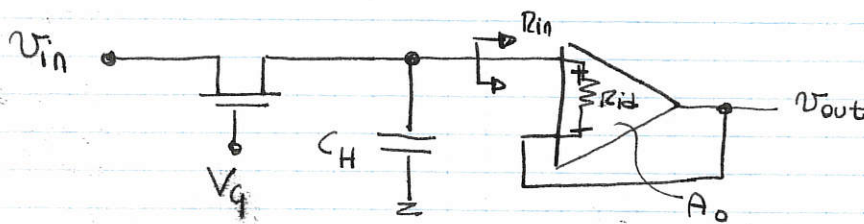
Per garantire che il MOSFET più spento si scelga, invece, ad esempio  $V_G = -5V \Rightarrow$  swing del segnale di comando è di 15V.

### \* NON IDEALITÀ, ACCURATEZZA E VELOCITÀ DI UN S&H.

Consideriamo come influenzano le non idealità dell'op amp ed i tempi di risposta del circuito sull'accuratezza del S&H e sulla sua velocità di campionamento.

- errori statici  $\rightarrow A_{\text{junto buffer}}$
- $R_{\text{junto buffer}}$

- RESISTENZA DI INGRESSO FINITA DELL'OPAMP DEL BUFFER



- minimo  $\tau_s \leftarrow R_{DSon} C_H$
- max  $T_{\text{hold}} = \tau_s R_{DSon}$
- iniezione di carica

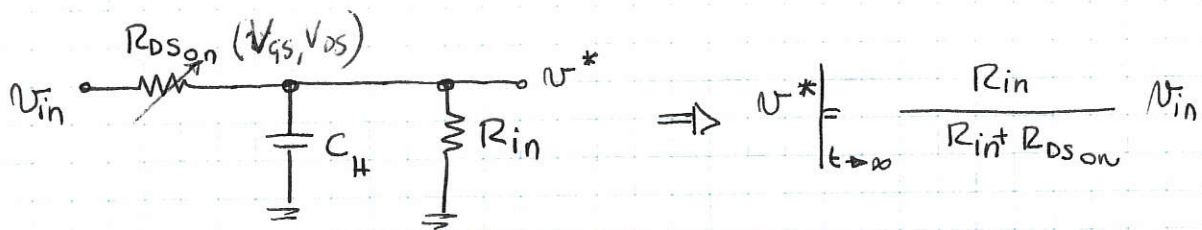
$$R_{in} = R_{id} * (1 + A_0) \quad \text{ad es.} \quad R_{id} = 1M\Omega; A_0 = 10^4 \Rightarrow R_{in} = 10G\Omega$$



Durante la fase di Tracking o sampling, quando la Tensione applicata al gate del MOSFET,  $V_G$ , è tale da portare il MOS in condizioni di 'ON', il MOSFET presenta una resistenza pari a  $R_{DSon}$  che dipende dal valore della Tensione in ingresso e della Tensione ai capi della capacità, oltre che dai parametri caratteristici del MOS.

↳ possiamo semplificare il circuito come segue:



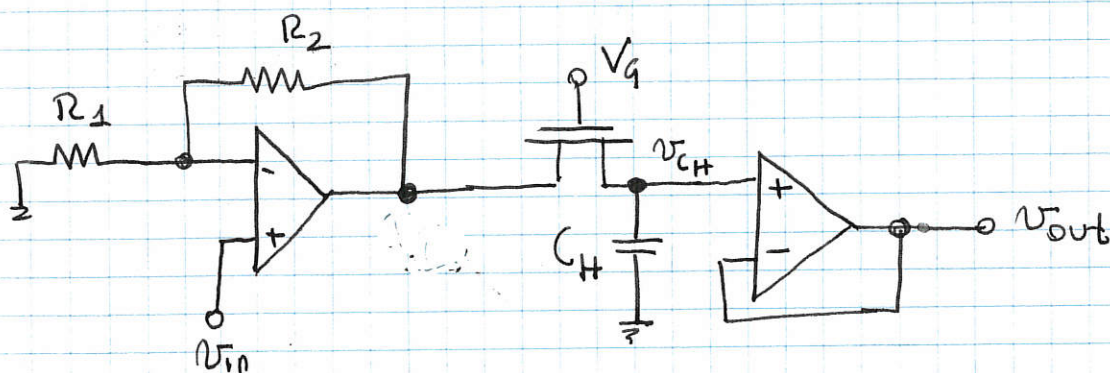


↳ se vogliamo che l'errore massimo sia inferiore allo 0.01% della massima dinamica del segnale (pari a 5V) abbiamo che  $\frac{R_{in}}{R_{in} + R_{DS(on)}} > 1 - \frac{0.01}{100} = 9.999 \cdot 10^{-1} \Rightarrow R_{in} > 10^4 R_{DS(on)}$  cioè ci devono essere sempre almeno 4 ordini di grandezza tra  $R_{in}$  e  $R_{DS(on)}$ .

### • MINIMA DURATA DEL TEMPO DI SAMPLING.

Durante la fase di sampling, lo switch a Mos deve accendersi e il S&H deve riuscire ad "agganciarsi" alla tensione di ingresso e la tensione  $V_{out}$  in uscita del S&H deve raggiungere il valore della tensione in ingresso (entro la banda di errore richiesta).

Consideriamo una catena completa in cui oltre al S&H sia presente anche l'amplificatore a monte:



Il tempo di carica dipende dalla corrente disponibile per caricare la capacità  $C_H$  e dalla massima velocità con cui può salire la tensione in uscita del primo operazionale (slew-rate dell'operazionale).

Analizziamo l'andamento della tensione in uscita del primo op-amp e quello sui capi della capacità  $C_H$ .

• se ci sono limitazioni da SR o  $I_{OUT\ MAX}$ :

$$\left. \frac{dV_{CH}}{dt} \right|_{MAX} = SR \quad \text{oppure} \quad \left. \frac{dV_{CH}}{dt} \right|_{MAX} = \frac{I_{MAX}}{C_H}$$

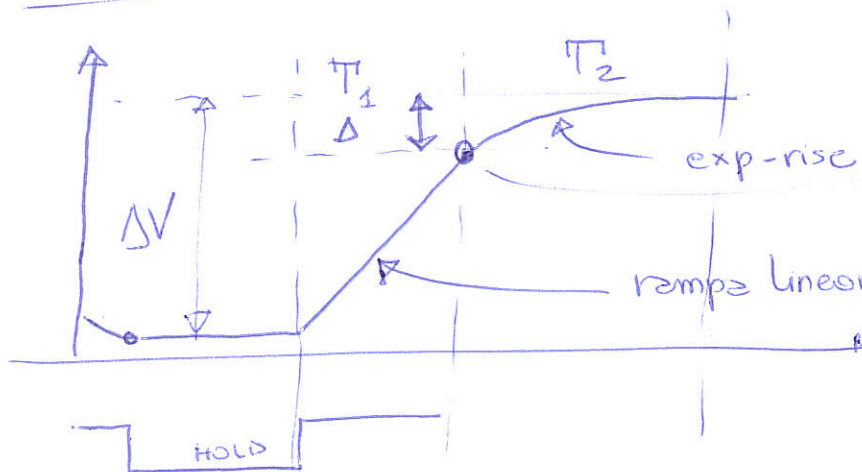
massima pendenza della tensione ai capi del condensatore senza limitazioni;

$$\left. \frac{dV_{CH}}{dt} \right|_{MAX} = \left. \frac{d}{dt} \left[ \Delta V (1 - e^{-t/\tau}) \right] \right|_{MAX} = \frac{\Delta V}{\tau}$$

↳ se  $\frac{\Delta V}{\tau} > SR$  opp.  $\frac{\Delta V}{\tau} > \frac{I_{MAX}}{C_H}$

⇓

LIMITAZIONE



la solito esponenziale comincia quando  $\frac{\Delta}{\tau} = SR$  opp.  $\frac{\Delta}{\tau} = \frac{I_{MAX}}{C_H}$

$$T_S \approx T_1 + T_2$$

considereremo il caso dello SR

$$T_1 = T_{SR} = \frac{(\Delta V - \Delta)}{SR} = \frac{\Delta V - SR\tau}{SR} = \frac{\Delta V}{SR} - \tau$$

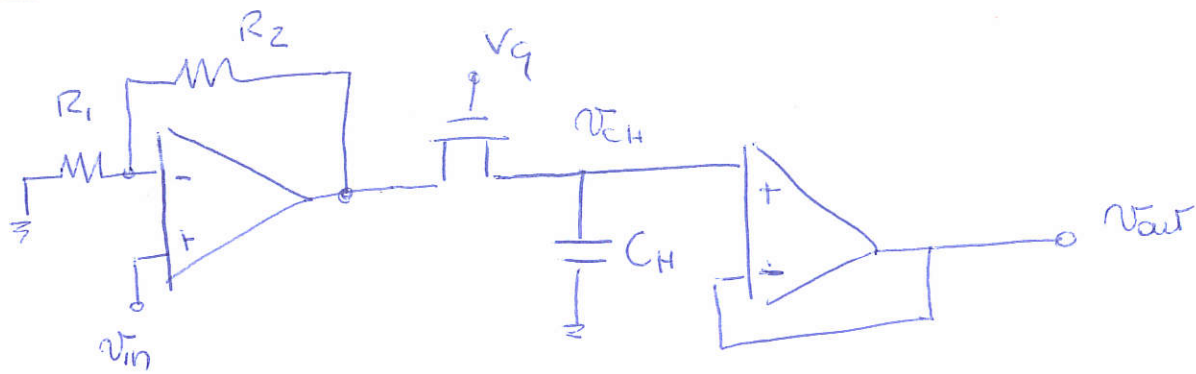
$T_2$ : solito esponenziale → come prima

$$\varepsilon = \Delta \exp\left(-\frac{T_2}{\tau}\right)$$

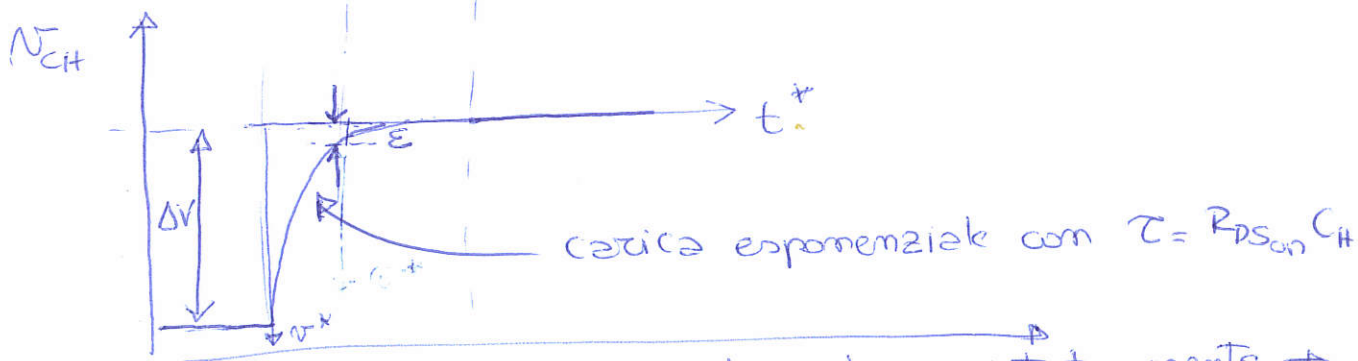
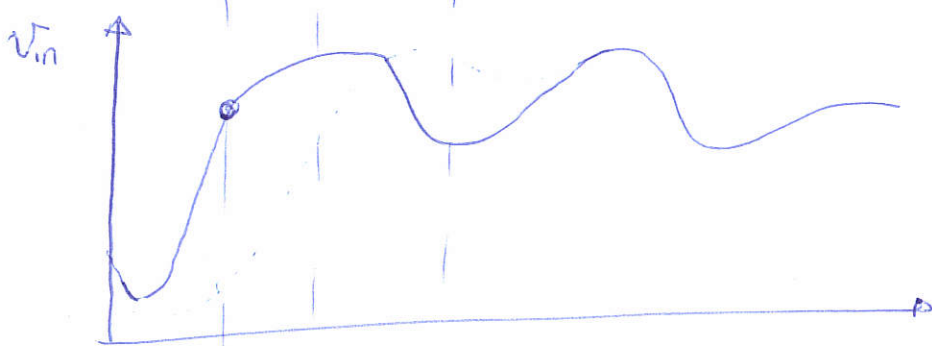
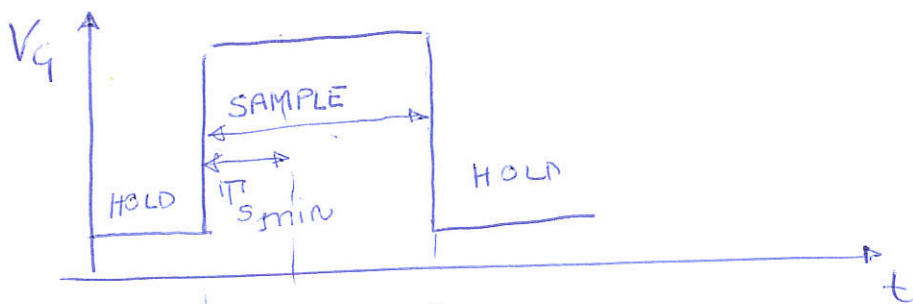
$$T_2 = \tau \ln \frac{\Delta}{\varepsilon}$$



# MINIMA DURATA TEMPO DI SAMPLING



② senza limitazioni date dagli op amp

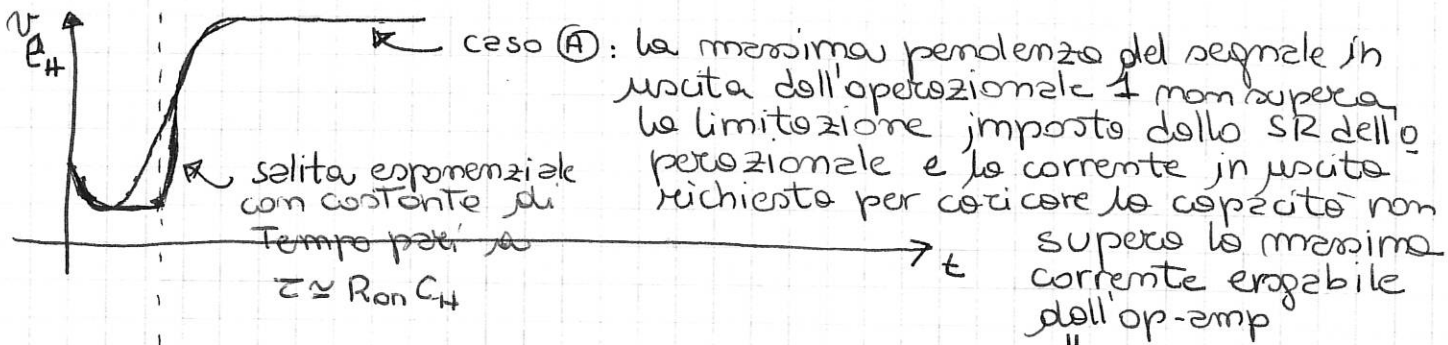
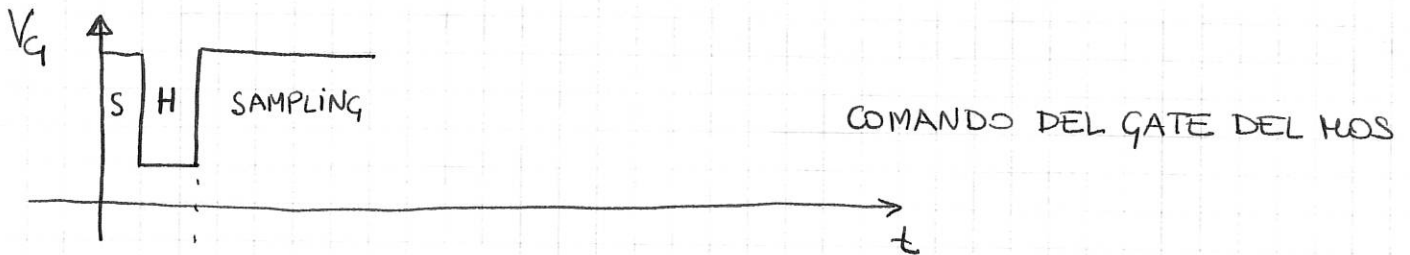
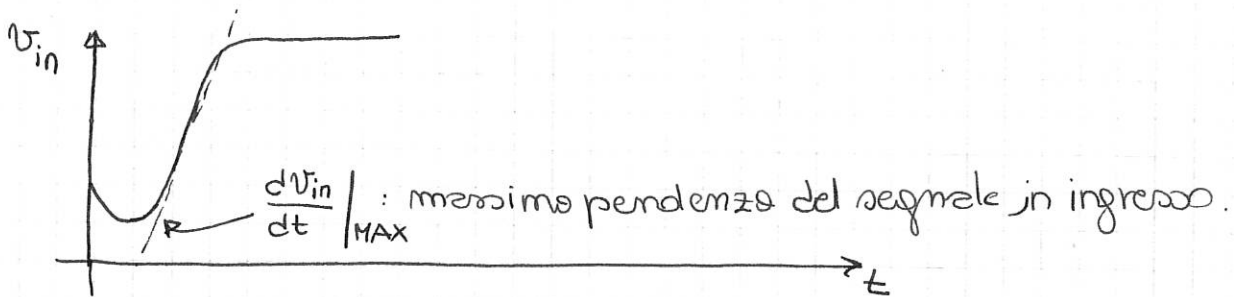


Salto esponenziale:  $V_{CH}$  raggiunge  $V_{in}$  solo asintoticamente → occorre stabilire la precisione voluta sul valore finale di tensione ( $\epsilon$ )

$$V_{CH} = \Delta V - \Delta V \exp(-t/\tau)$$

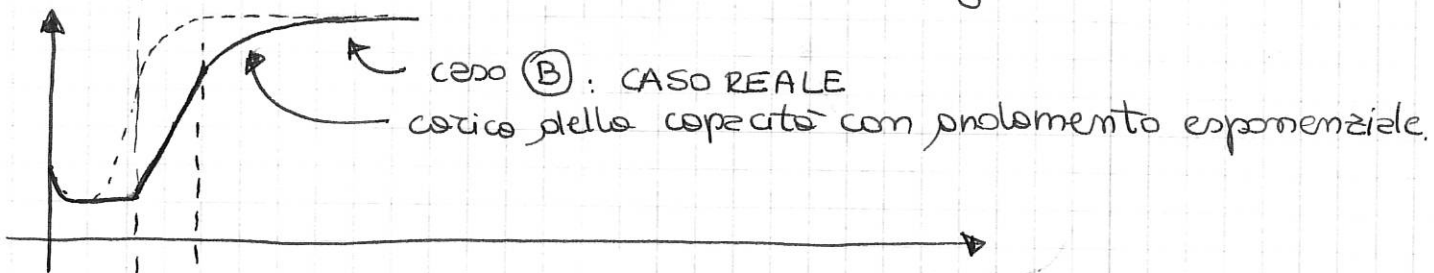
$$v^* = \Delta V \exp(-t/\tau)$$

$$\hookrightarrow \epsilon = \Delta V \exp\left(-\frac{T_s}{\tau}\right) \Rightarrow \tau_{S_{min}} = -\tau \ln \frac{\epsilon}{\Delta V} = \tau \ln \frac{\Delta V}{\epsilon}$$



↓ CASO IDEALE

la tensione in uscita segue esattamente la tensione applicata in ingresso



La pendenza del segnale in uscita è limitata al suo valore massimo, che può essere fissato sia dallo SR "in Terms" dell'amplificatore operazionale in configurazione non invertente sia dalla massima corrente che l'amplificatore operazionale è in grado di erogare in uscita per caricare la capacità.



• nessuna limitazione alla pendenza di "uscita"

$$\left. \frac{dV_{OH}}{dt} \right|_{MAX} = \frac{d}{dt} \left[ \Delta (1 - e^{-t/\tau}) \right] = \frac{\Delta}{\tau}$$

legge

salto di tensione tra la tensione in ingresso e la tensione immagazzinata sul condensatore

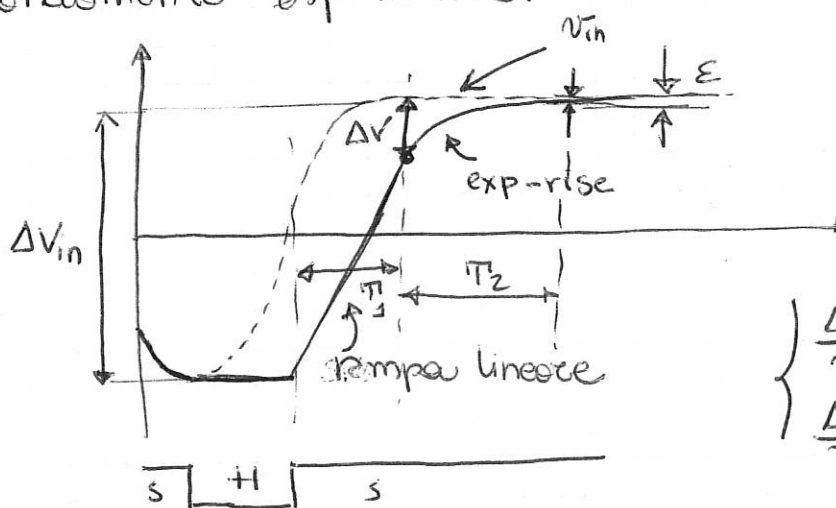
"uscita" limitato dallo slew-rate dell'operazione:

$$\left. \frac{dV_{CH}}{dt} \right|_{MAX} = SR$$

• "uscita" limitato dalla massima corrente di uscita:

$$\left. \frac{dV_{CH}}{dt} \right|_{MAX} = \frac{I_{MAX}}{C_H}$$

↳ Nel caso in cui la pendenza massima della tensione  $V_{CH}$  superi una di queste due limitazioni, il S&H presenterà una pendenza di uscita pari al massimo valore consentito fino a che la pendenza della tensione ai capi di  $C_H$  non uguagli tale valore e ne divenga inferiore  $\Rightarrow$  la carica della capacità proseguirà con andamento esponenziale.



$$\left. \begin{aligned} \frac{\Delta V}{\tau} &= SR \\ \frac{\Delta V}{\tau} &= \frac{I_{MAX}}{C_H} \Rightarrow \Delta V = I_{MAX} R_{ON} \end{aligned} \right\}$$

↓

$$T_{SAMPLING} > T_1 + T_2$$

$$T_1 = T_{SR} = \frac{(\Delta V_{in} - \Delta V)}{SR} = \frac{(\Delta V_{in} - SR \cdot \tau)}{SR} = \frac{\Delta V_{in}}{SR} - \tau$$

$T_2$ : dato che la carica è esponenziale  $V_{CH}$  raggiungerà il valore di  $V_{in}$  solo asintoticamente; dobbiamo, quindi, stabilire la precisione voluto sul valore finale di tensione



Indicando con  $\epsilon$  tale errore:

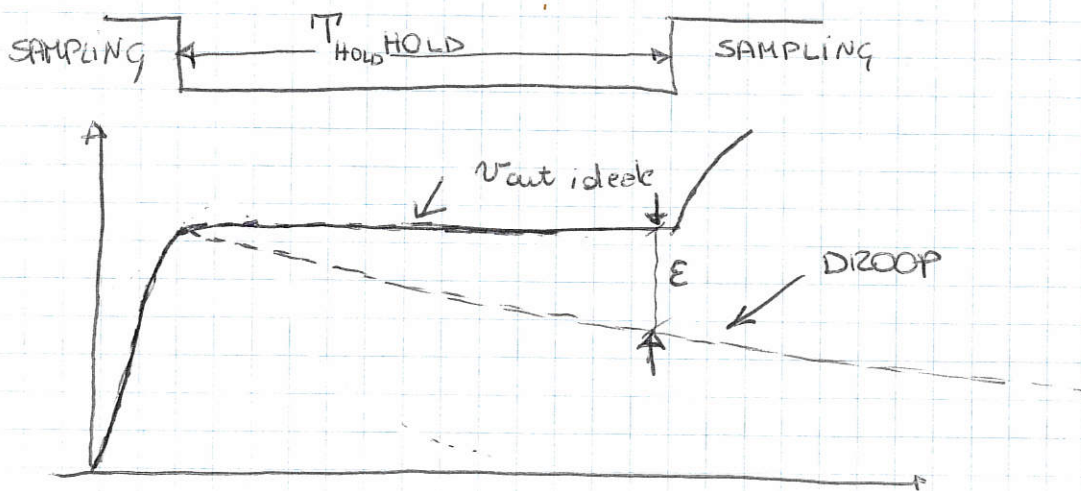
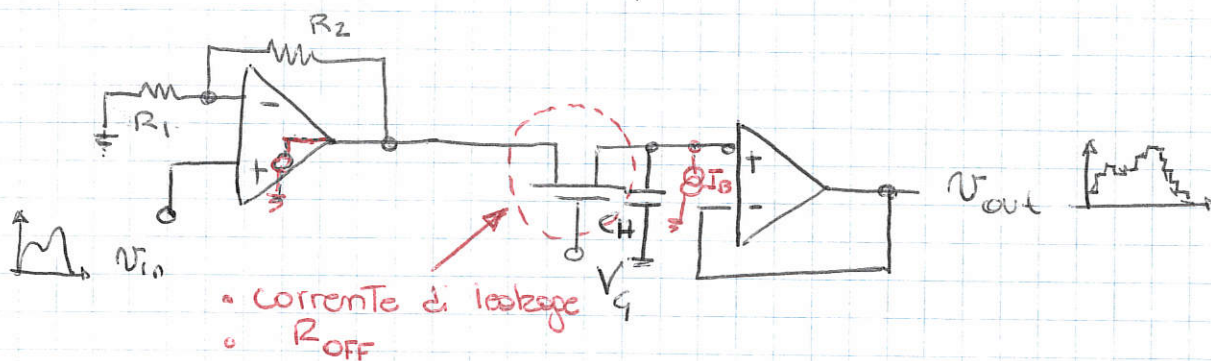
$$\epsilon = \Delta V - \Delta V \left[ 1 - e^{-T_2/\tau} \right] = \Delta V e^{-T_2/\tau}$$

$$\Downarrow T_2 = \tau \ln \frac{\Delta V}{\epsilon}$$

Il minimo tempo di sampling ammissibile per avere un dato valore dell'errore sulla tensione campionata limita la massima frequenza a cui il S&H può lavorare e quindi anche la massima frequenza del segnale che può essere campionato da quel S&H.

• MASSIMA DURATA DEL TEMPO DI HOLD.

La massima durata del tempo di hold è determinata dallo scaricamento della capacità  $C_H$  nel caso di un S&H reale,

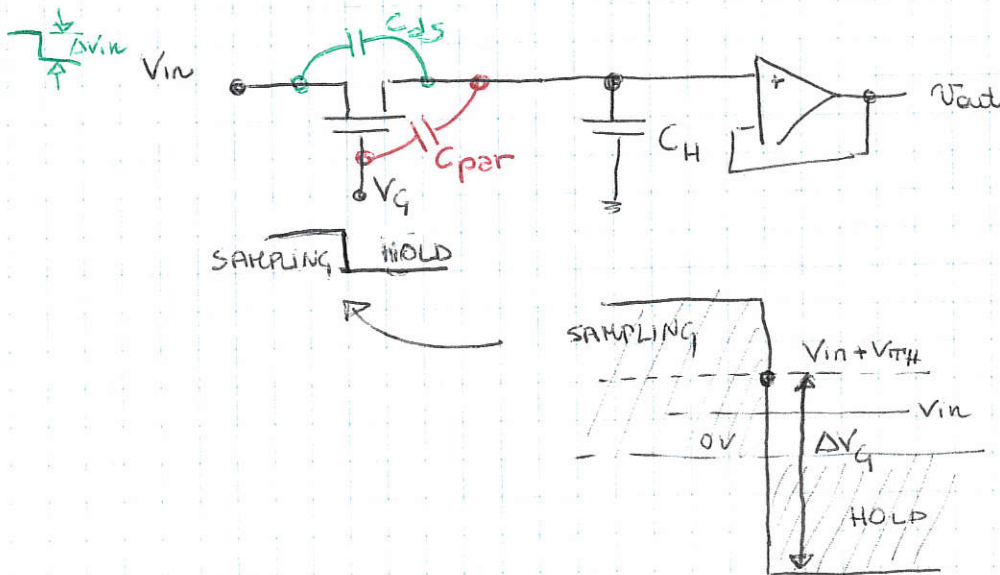


Nelle hp. di scarica lineare (a corrente costante)

$$\epsilon = \frac{(I_B + I_L)}{C_H} \cdot T_{\text{HOLD}} \Rightarrow T_{\text{HOLD}} \leq \frac{C_H \epsilon}{I_B + I_L}$$

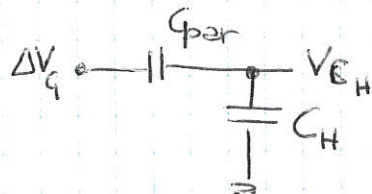
È bene osservare che la corrente di leakage del MOSFET usato come interruttore e la corrente di bias dell'operazionale aumentano al aumentare della Temperatura. (Typ riscaldamento per una variazione nell'intorno della Temperatura ambiente di  $8-10^{\circ}\text{C}$ )  
 Valori Tipici possono essere per il DROOP RATE  $0.5-3\text{mV}/\mu\text{s}$ .

• INIEZIONE DI CARICA E ACCOPPIAMENTI CAPACITIVI



- effetto di  $C_{par}$

Quando  $V_g = V_{in} + V_{TH} \Rightarrow$  il MOSFET si interdice  $\Rightarrow$  a causa della capacità parassita  $C_{par}$  dovuta al transistorore una frazione del segnale di comando della tensione di gate del MOSFET si accoppia ed è trasferita sulle capacità di HOLD



$$V_{CH} = \Delta V_g \frac{C_{par}}{C_{par} + C_H}$$

$\Downarrow$  per limitare l'effetto di iniezione di carica conviene scegliere  $C_H$  la più grande possibile, compatibilmente con la banda desiderata ( $\tau \approx R_{ON} C_H$ )

- effetto di  $C_{ds}$

a causa della capacità  $C_{ds}$  si ha un altro accoppiamento indesiderato durante le fasi di HOLD:  $\Delta V_{CH} = \Delta V_{in} \frac{C_{DS}}{C_{DS} + C_H}$ .



◦ GUADAGNO FINITO DELL'OPERAZIONALE DEL BUFFER

A causa del guadagno finito dell'operazionale  $V_{out}$  non coincide identicamente con  $V_{CH}$ .

$$G_{id} = 1 ; \quad G_{loop} = -A_o \quad \Rightarrow \quad G_{reale} = \frac{G_{id}}{1 - \frac{1}{G_{loop}}}$$

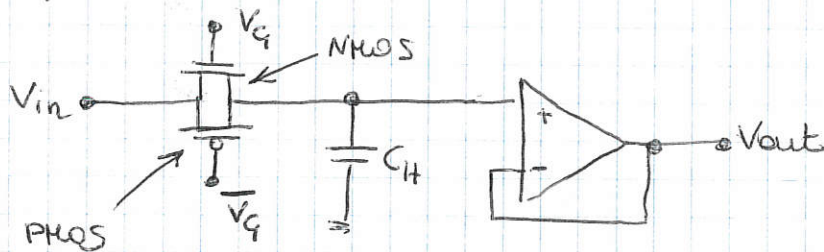
↓ ERRORE STATICO DI GUADAGNO  $\epsilon = \frac{G_{id} - G_{reale}}{G_{reale}} =$

$$= \frac{G_{id} - \frac{G_{id}}{1 - \frac{1}{G_{loop}}}}{\frac{G_{id}}{1 - \frac{1}{G_{loop}}}} = \frac{1 - \frac{1}{G_{loop}} - 1}{1 - \frac{1}{G_{loop}}} = -\frac{1}{G_{loop}}$$

↓ È sufficiente scegliere un op amp con un guadagno  $A_o$  del valore opportuno per rendere tale effetto entro le specifiche di progetto.

\* MODIFICHE ALLA CONFIGURAZIONE A BASE

È possibile sostituire allo switch realizzato con un singolo MOSFET una struttura impiegante due transistor MOSFET complementari



Consideriamo che il segnale in ingresso abbia un'escursione  $T_{ca}$   $-5V$  e  $+5V$  e la tensione di soglia per entrambi i MOSFET sia pari a  $2V$  (in modulo)

◦ MOSFET SPENTI

N-MOS :  $V_{GS} < V_{TN} \Rightarrow V_G < V_{TN} + V_{in\ min} \Rightarrow V_G < 2 - 5 = -3V$

P-MOS  $|V_{GS}| < |V_{TP}|$  e  $V_{GS}$  negativa

$V_{GS} > V_{TP} \Rightarrow \bar{V}_G > V_{TP} + V_{in\ max} \Rightarrow \bar{V}_G > -2V + 5V = +3V$

• MOSFET ACCESI : N-MOS  $V_{GS} > V_{TN}$   $V_G > V_{TN} + V_{in\ max} = 2 + 5 = 7V$   
 P-MOS  $V_{GS} < V_{TP}$   $\bar{V}_G < V_{TP} + V_{in\ min} = -2 - 5 = -7V$

In questo caso la presenza del comando di gate complementare consente di minimizzare l'iniezione di carica attraverso le capacità parassite tra il gate di comando e le capacità di hold.