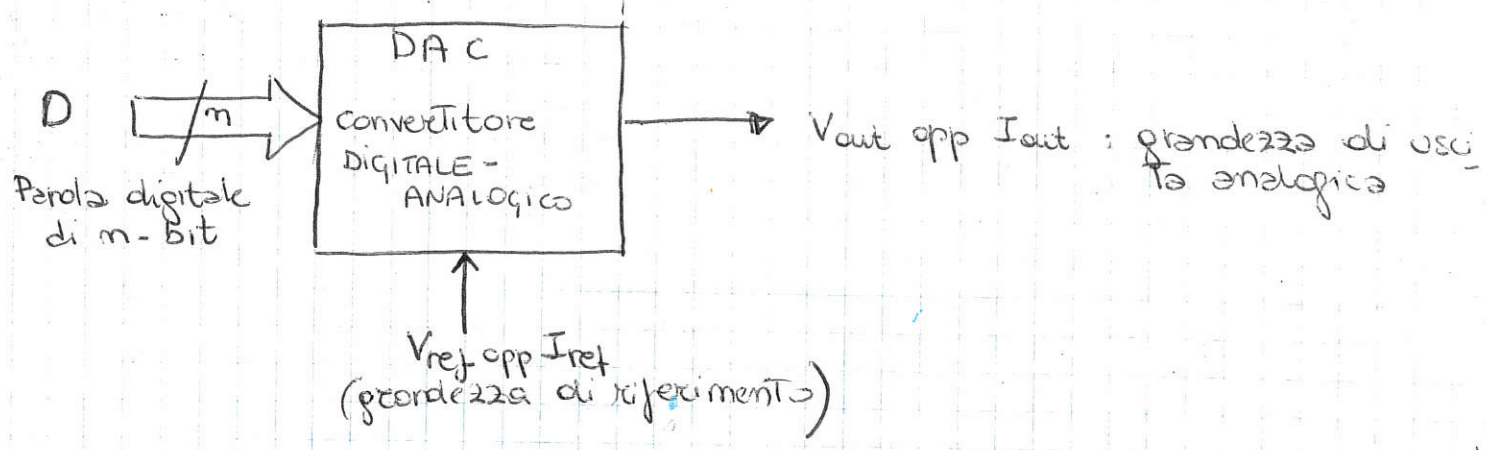
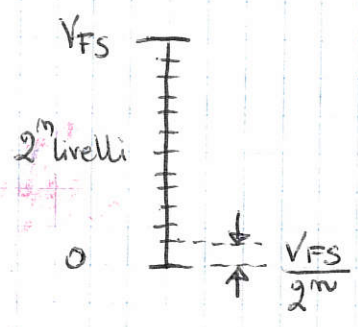


# CONVERTITORE DIGITALE / ANALOGICO

## \* GENERALITÀ \*



La massima Tensione analogica in uscita è detta TENSIONE DI FONDO SCALA ( $V_{FS}$ ) e la massima dinamica del segnale analogico in uscita prende il nome di FULL SCALE RANGE (FSR). All'interno di tale dinamica l'uscita può assumere  $2^m$  valori differenti compresi tra 0 e  $(1 - \frac{1}{2^m}) V_{FS}$ .

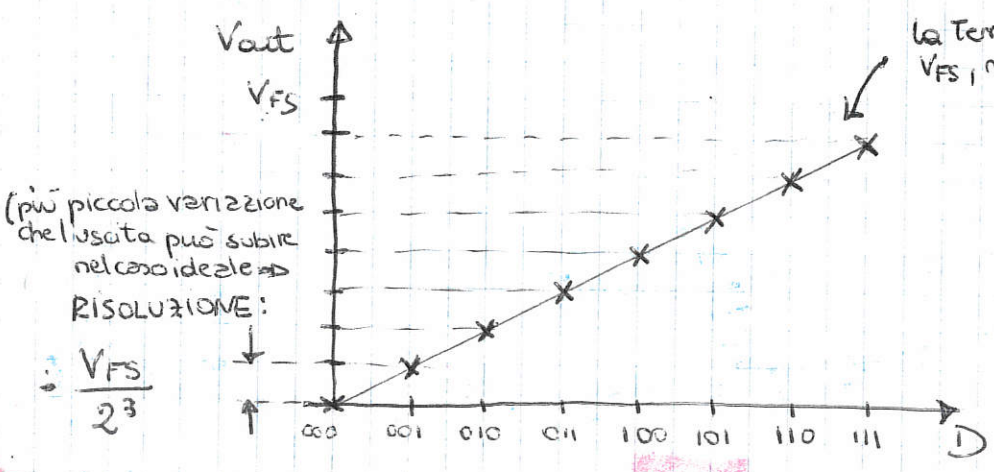


$$D = D_{m-1} 2^{m-1} + D_{m-2} 2^{m-2} + \dots + D_1 2^1 + D_0 2^0$$

MSB (most significant bit) LSB (least significant bit)

$$V_{out} = \frac{V_{FS}}{2^m} \cdot D = \frac{V_{FS}}{2^m} (D_{m-1} 2^{m-1} + D_{m-2} 2^{m-2} + \dots + D_1 2^1 + D_0 2^0) = V_{FS} \left[ \frac{D_{m-1}}{2^1} + \frac{D_{m-2}}{2^2} + \dots + \frac{D_1}{2^{m-1}} + \frac{D_0}{2^m} \right]$$

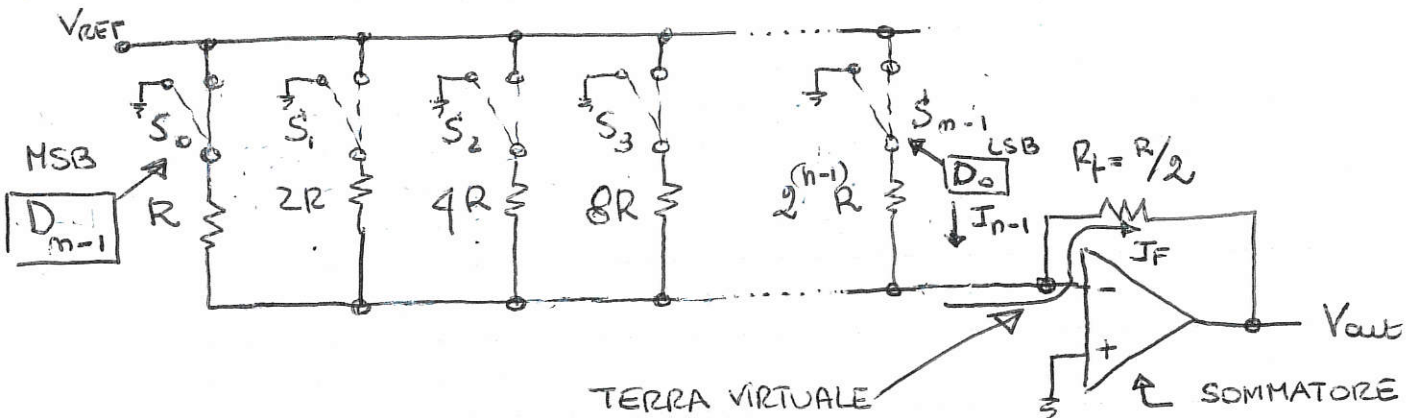
## CARATTERISTICA DI TRASFERIMENTO IDEALE



La Tensione di uscita non raggiunge mai  $V_{FS}$ , ma ne rimane distanziata di un LSB. Ad ogni parola digitale in ingresso corrisponde una precisa tensione analogica in uscita.

Per analizzare i parametri caratteristici di un DAC reale consideriamo una implementazione di un DAC mediante un amplificatore operazionale e delle resistenze nella configurazione più semplice e poche se poco utilizzata.

## \* DAC A R PESATE



da parola Digitale in ingresso al DAC pilota ciascuno degli  $n$  interruttori.

Se l' $i$ -esimo bit  $D_i = 1 \Rightarrow$  l'interruttore connette la resistenza  $2^{i-(n-1)} R$  alla Terra virtuale del sommatore;

Se l' $i$ -esimo bit  $D_i = 0 \Rightarrow$  l'interruttore devia la corrente che attraversa la resistenza  $2^{i-(n-1)} R$  verso massa.

$$\Downarrow I_{i \neq 0} = \frac{V_{REF}}{2^{(i-(n-1))} R} \cdot D_i \quad (\text{grazie al modo di Terra virtuale})$$

$$\Downarrow I_F = \frac{V_{REF}}{2^0 R} D_{n-1} + \frac{V_{REF}}{2^1 R} D_{n-2} + \dots + \frac{V_{REF}}{2^{n-1} R} D_0 =$$

$$\Rightarrow V_{out} = - I_F R_f = - \frac{V_{REF}}{R} \cdot \frac{R}{2} \left[ \frac{D_{n-1}}{2^0} + \frac{D_{n-2}}{2^1} + \dots + \frac{D_0}{2^{n-1}} \right] \cdot \frac{2^{n-1}}{2^{n-1}} =$$

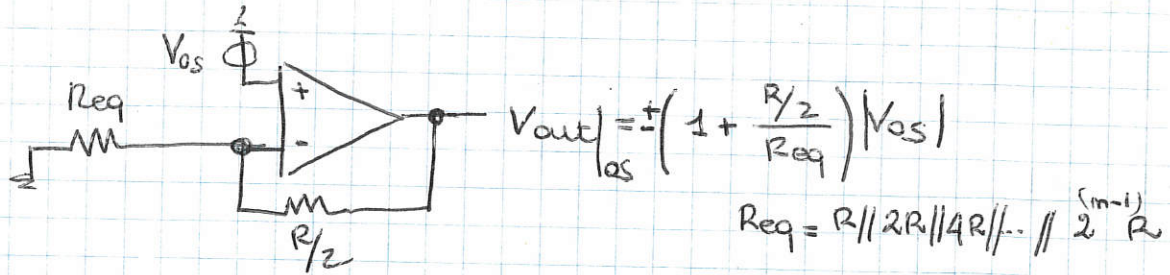
$$= - \frac{V_{REF}}{2^n} N_D = - \frac{V_{REF}}{2} \sum_{i=0}^{n-1} \frac{D_{(n-1)-i}}{2^i}$$

$\hookrightarrow$  il circuito sommatore ha convertito la parola digitale in una tensione proporzionale al valore decimale  $N_D$  corrispondente.



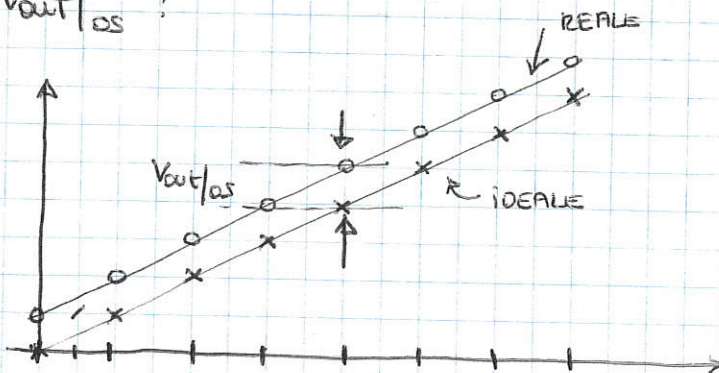
Vediamo come possono le non-idealità dell'opamp e degli switch

• tensione di offset:

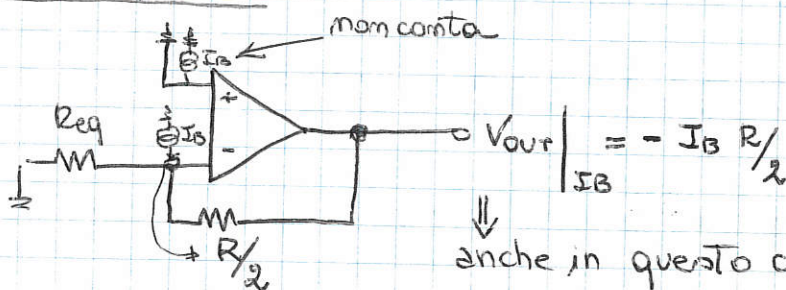


↳ maggiore è il numero di bit del DAC maggiore è il contributo dell'offset alla tensione di uscita

⇓  
l'effetto della tensione di offset dell'op-amp è di traslare, in questo caso, rigidamente la curva caratteristica di una quantità pari a  $V_{out|os}$ :



• correnti di bias



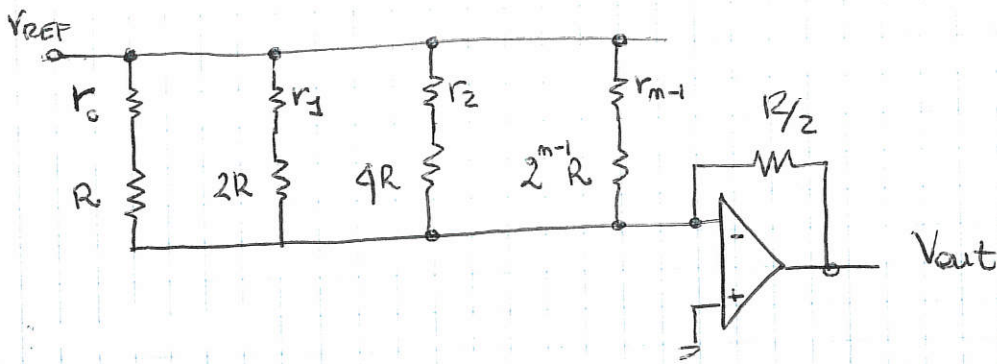
$R_{eq} = R // 2R // 4R // \dots // 2^{(n-1)} R$

⇓  
anche in questo caso si ha una traslazione rigida della caratteristica che può essere

compensata ponendo una resistenza di valore  $[R_{eq} // R/2]$  al morsetto non invertente.

• deviatori non ideali

Un deviatore reale si comporta come una resistenza  $R_i$  che si pone in serie al ramo in cui è inserito ⇒ viene cambiato il peso del relativo bit.

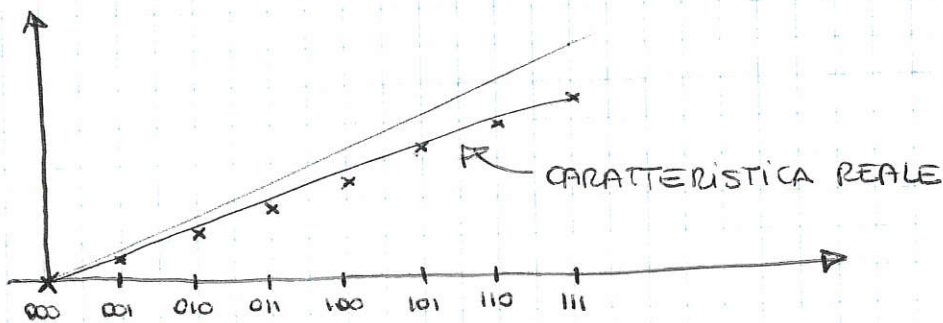


$$V_{out} = -V_{REF} R \left[ \frac{D_{m-1}}{r_0 + R} + \frac{D_{m-2}}{r_1 + 2R} + \dots + \frac{D_0}{r_{m-1} + 2^{m-1}R} \right] =$$

$$= -\frac{V_{REF}}{2} \left[ \frac{D_{m-1}}{1 + \frac{r}{R}} + \frac{D_{m-2}}{2 \left( 1 + \frac{r}{2R} \right)} + \dots + \frac{D_0}{2^{m-1} \left( 1 + \frac{r}{2^{m-1}R} \right)} \right] =$$

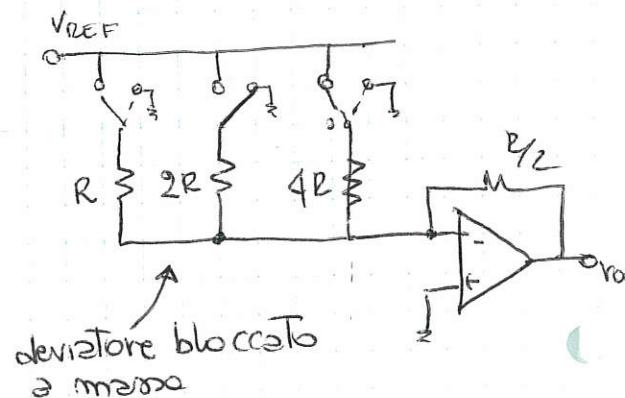
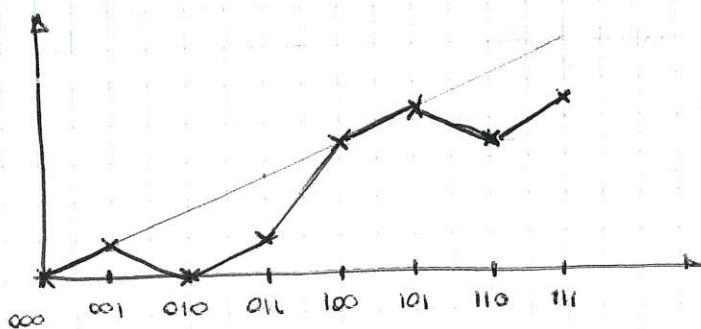
$$= -\frac{V_{REF}}{2} \sum_{i=0}^{m-1} \frac{D_{(m-1)-i}}{2^i \left[ 1 + \frac{r}{2^i R} \right]} \approx -\frac{V_{REF}}{2} \sum_{i=0}^{m-1} \frac{D_{(m-1)-i}}{2^i} \left[ 1 - \frac{r}{2^i R} \right]$$

⇓  
NON-LINEARITÀ DELLA CARATTERISTICA DI TRASFERIMENTO



• deviatori bloccati a massa o alla tensione di riferimento

⇓  
caratteristiche non monotone del DAC



↳ non ho più una tensione di uscita proporzionale al valore decimale corrispondente alla parola digitale.

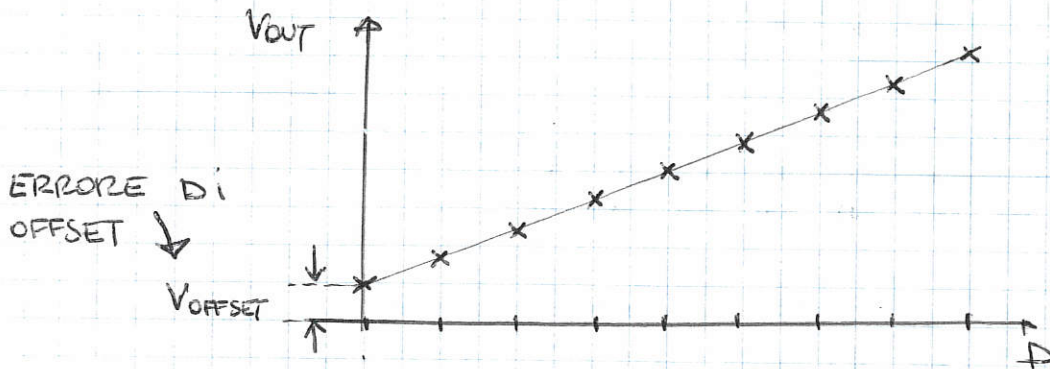


## \* ERRORI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

Come abbiamo visto in un caso semplice (DAC a R pesate) in un DAC reale abbiamo diverse cause di scostamento della caratteristica di trasferimento reale da quella ideale:

### • OFFSET

da presenza dell'offset comporta che, in corrispondenza del codice 000, l'uscita non sia nulla ma valga  $V_{\text{OFFSET}}$

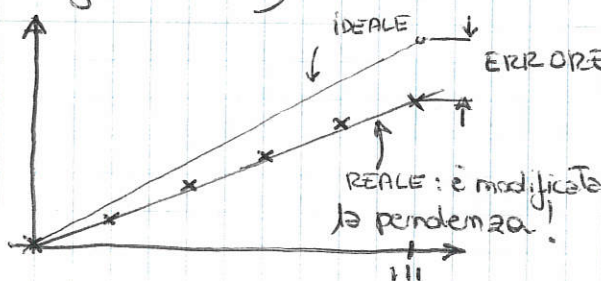


$$V_{\text{OUT}} = \frac{V_{\text{REF}}}{2} \sum_{i=0}^{m-1} \frac{D_{(m-1)-i}}{2^i} + V_{\text{OFFSET}}$$

↓ l'effetto dell'offset è una traslazione rigida della curva caratteristica di una quantità pari a  $V_{\text{OFFSET}}$  (≈ qualche mV)  
 In generale l'utilizzatore può regolare a zero l'offset mediante potenziometri, tuttavia questo valore dipende dai diversi parametri (temperature, condizioni di funzionamento, ...) e quindi deve essere periodicamente re-regolato.

### • QUADAGNO

Se il guadagno non è costante al variare del codice di ingresso  $\Rightarrow$  l'uscita analogica differisce dal valore ideale.  
 In generale tale errore cresce al crescere del codice di ingresso.



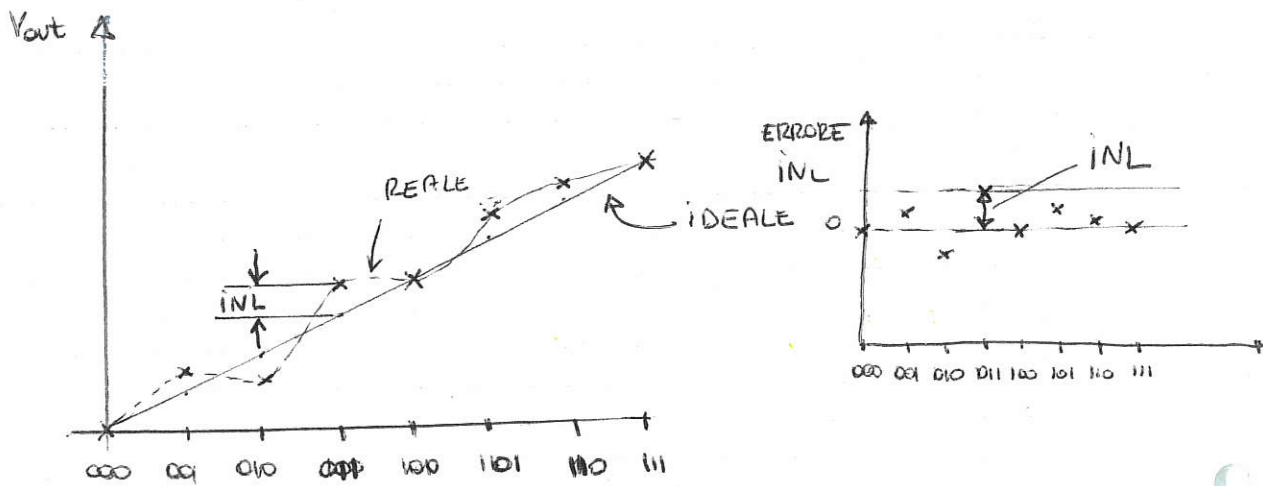
ERRORE DI QUADAGNO:

$$(FSR - LSB) - V_{\text{reale}} (\pm 1)$$

VALORE IDEALE DELL'USCITA PER CODIFICA DI TUTTI 1

## • NON-LINEARITÀ INTEGRALE

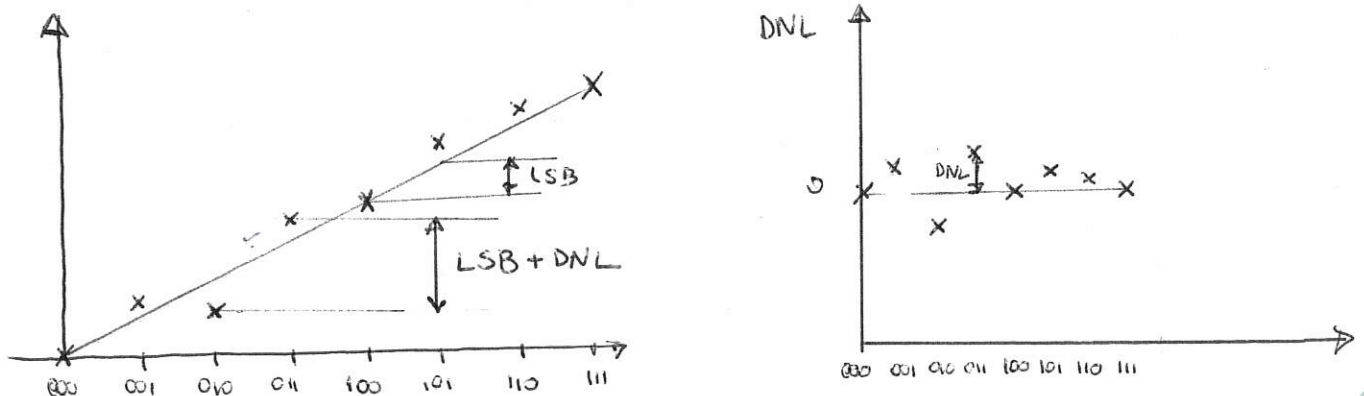
La non-linearità integrale (INL) è definita come il massimo scostamento presente tra un punto della caratteristica reale del DAC ed il corrispondente punto sulla curva ideale



La INL può anche essere tipicamente espressa in frazioni di LSB oppure in % del FSR (in generale si ottengono  $INL < 0.1\% \text{ FSR}$ ). I buoni DAC hanno  $INL < \pm 1 \text{ LSB}$ .

## • NON-LINEARITÀ DIFFERENZIALE

La non-linearità differenziale (DNL) riguarda il comportamento del DAC nel passaggio tra un valore di tensione permesso in uscita e quello a lui adiacente. Essa è definita come il massimo scostamento del salto di tensione tra due valori di tensione di uscita adiacente rispetto ad 1 LSB.



Tipicamente i buoni DAC hanno  $DNL < \pm 0.5 \text{ LSB}$

Se l'errore di non-linearità differenziale risulta superiore ad 1 LSB

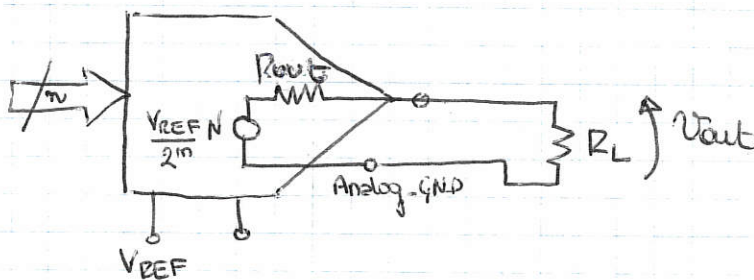


⇒ lo caratteristico di trasferimento del DAC può risultare non monotono. Notevolmente non è necessariamente vero che una DNL di 1 LSB causi non monotonicità.

La monotonicità della caratteristica di trasferimento di un DAC è un parametro di elevato importanza nei DAC impiegati in sistemi di controllo, nei quali la non monotonicità può causare instabilità dell'anello di controllo.

### • IMPEDENZA DI USCITA

La tensione di uscita del DAC non è fornita da un generatore di tensione ideale ma attraverso una resistenza di uscita non nulla che può provocare un errore sul risultato della conversione se l'impedimento di corrente della circuitazione a valle risultasse troppo elevato.



Ad esempio DAC 2N558D:  $R_{out} = 4\text{ k}\Omega$  con  $V_{REF} = 5\text{ V}$  (8bits)

⇓  
Colodiamo il valore minimo della resistenza che può essere connessa in uscita perché l'errore sulla tensione di uscita risulti inferiore ad  $\frac{1}{2}$  LSB:

$$LSB = \frac{V_{REF}}{2^n} = \frac{5\text{ V}}{2^8} = \frac{5\text{ V}}{256} = 19.5\text{ mV}$$

$$\Downarrow \Delta V_{out} < 19.5\text{ mV} \Rightarrow I_{out} < \frac{19.5\text{ mV}}{4\text{ k}\Omega} \approx 5\text{ }\mu\text{A}$$

$$\hookrightarrow R_L > \frac{V_{REF}}{5\text{ }\mu\text{A}} = \frac{5\text{ V}}{5\text{ }\mu\text{A}} = 1\text{ M}\Omega$$

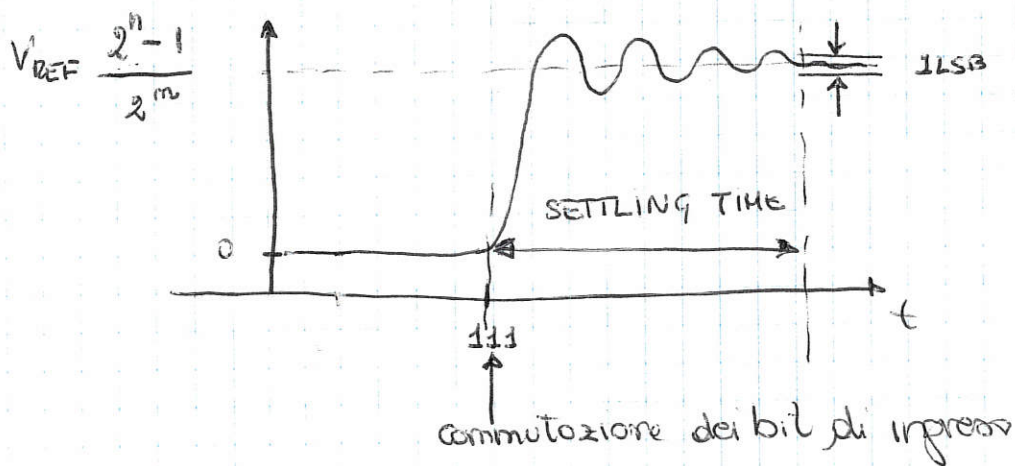
Quindi il requisito sulla resistenza di carico minimo risulta

abbastanza stringente soprattutto nel caso in cui il circuito a valle sia un amplificatore in configurazione invertente.  
 È bene anche osservare che la resistenza di uscita  $R_{out}$  dipende dalla temperatura e quindi anche i drift termici possono causare delle variazioni della tensione di uscita.

### • SETTLING TIME

Tra i parametri dinamici per caratterizzare le bande di un DAC vi è il tempo necessario perché l'uscita analogica si assesti al nuovo valore dopo una commutazione dello parole digitale in ingresso.

Si definisce SETTLING TIME il tempo necessario perché l'uscita del DAC si assesti entro una banda di oscillazione assegnata quando l'ingresso commuta da tutti i bits pari a 0 a tutti i bits pari ad 1. Una banda di oscillazione tipicamente prevista è di  $\pm 0.5 \text{ LSB}$  attorno al valore asintotico finale.



Notvolmente questo parametro è legato alla banda dell'amplificatore operazionale utilizzato.

### • GLITCH SUL SEGNALE DI USCITA

Un altro fenomeno che può degradare le prestazioni di un DAC è la presenza di glitch (impulsi di breve durata) sulla tensione di uscita.



Questo fenomeno si ha quando i vari bit della parola non comanderanno istantaneamente gli switch del DAC che devono controllare  $\Rightarrow$  vengono prodotte transitoriamente delle tensioni di uscita differenti da quella finale.

Consideriamo, ad esempio, un DAC a 4 bit in cui l'ingresso commuti da  $\underline{0101}$  a  $\underline{1011}$ , l'uscita dovrebbe commutare da  $V_{out} = \frac{5}{16} V_{REF}$  a  $V_{out} = \frac{11}{16} V_{REF}$ .

Se tuttavia il 3 bit è lento nel commutare verrebbe generato un codice spurio in ingresso pari a  $\underline{1111}$  e quindi, in uscita apparirebbe un glitch di ampiezza  $\frac{15}{16} V_{REF}$  fino a che anche il bit "lento" non è commutato al valore finale.

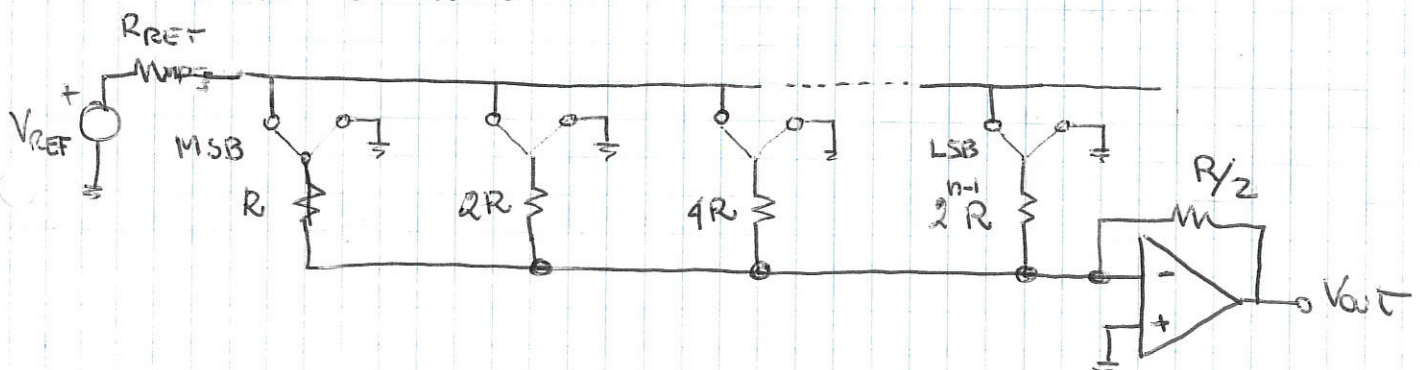
### STABILITÀ, ACCURATEZZA, PRECISIONE

Per classificare le prestazioni, in generale, di un DAC si possono fornire altri parametri:

- \* **STABILITÀ**: è un indice di quanto si deteriorano nel tempo o corso dell'età le prestazioni del DAC.
- \* **ACCURATEZZA**: massima differenza che si può presentare tra l'uscita del convertitore reale e la corrispondente uscita del convertitore ideale.
- \* **PRECISIONE**: capacità del DAC di fornire il medesimo valore analogico di uscita per parole digitali in ingresso.

### DAC A RESISTENZE PESATE E A CAPACITÀ PESATE

Rivediamo il DAC a resistenze pesate che abbiamo precedentemente discusso:



In questo caso analizziamo gli svantaggi di questa configurazione e le non-idealità:

1) Si richiedono resistenze via via di valore crescente  
 $m = 12 \text{ bit} \quad R = 5 \text{ k}\Omega \Rightarrow 2^{m-1} R = 10.24 \text{ M}\Omega !!$

⇓ questo architettura viene impiegata poco ed esclusivamente per DAC a basso numero di bit ( $m = 6$  opp.  $8$  bits)

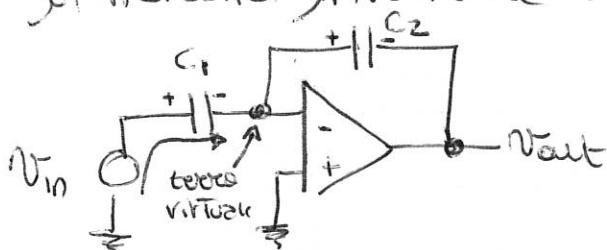
2) errori di non-linearità integrale e differenziale derivanti da un non perfetto matching dei valori delle resistenze e dalle resistenze serie degli interruttori MOS, nonché della tensione residua ai capi degli interruttori

3) la corrente che il generatore  $V_{REF}$  deve erogare dipende dalla parola digitale in ingresso poiché le resistenze viste dal generatore  $V_{REF}$  dipendono dagli interruttori che vengono chiusi  $\Rightarrow$  cambia la caduta sulle resistenze serie del generatore di tensione  $V_{REF}$ , che non è nulla

↳ la tensione  $V_{REF}$  effettiva applicata al DAC risulta, quindi, dipendente dalla parola digitale in ingresso.

4)  $V_{REF}$  deve essere negativo per avere  $V_{out}$  positiva.  
 L'architettura del DAC a resistenze pesate può essere implementata anche usando delle capacità al posto delle resistenze.

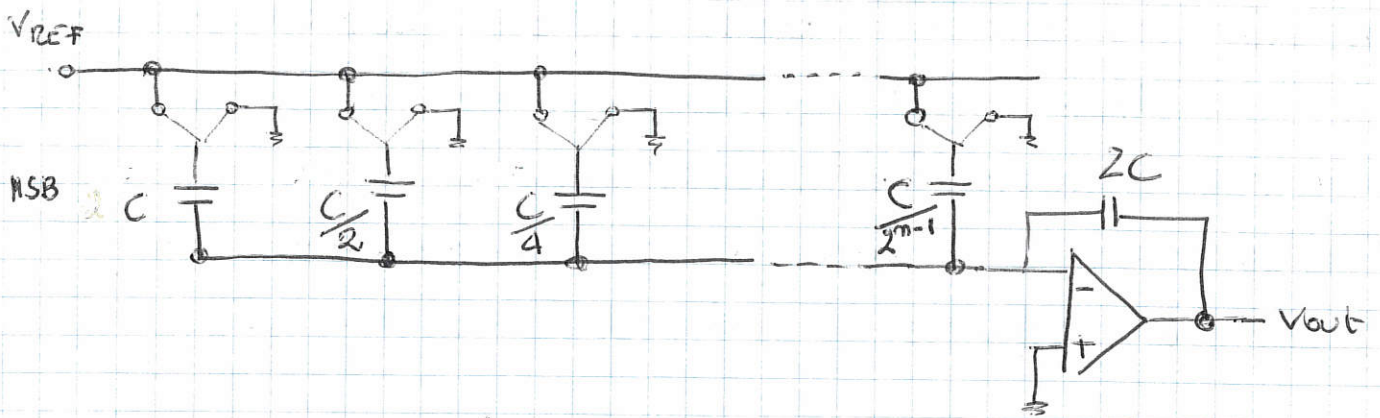
Ricordiamo che il guadagno di un amplificatore di tensione con una capacità in retroazione ed una capacità in ingresso al morsetto invertente è



$$G = \frac{V_{out}}{V_{in}} = - \frac{C_1}{C_2}$$

$$(Q_1 = C_1 V_{in} \quad Q_2 = Q_1 \quad \text{e} \quad Q_2 = C_2 V_{out})$$

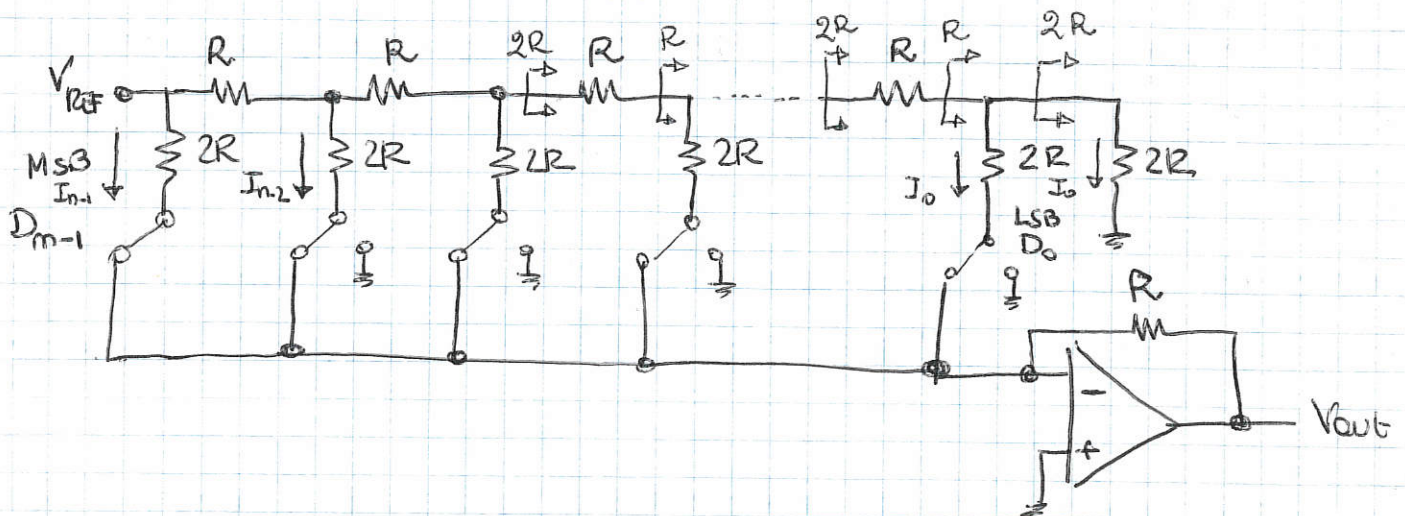




$$\begin{aligned}
 V_{out} &= -V_{REF} \left[ \frac{C}{2C} D_{m-1} + \frac{1/2 C}{2C} D_{m-2} + \dots + \frac{C/2^{m-1}}{2C} D_0 \right] = \\
 &= -V_{REF} \left[ \frac{D_{m-1}}{2} + \frac{D_{m-2}}{4} + \dots + \frac{1}{2^m} D_0 \right] = \\
 &= -\frac{V_{REF}}{2^m} \left[ 2^{m-1} D_{m-1} + 2^{m-2} D_{m-2} + \dots + 2^0 D_0 \right] = -\frac{V_{REF}}{2^m} N
 \end{aligned}$$

da presenza esclusivamente gli condensatori e gli interruttori realizzati con strutture a Mos fa si che questo struttura venga impiegata anche in sistemi MOS VLSI, tuttavia la presenza gli condensatori scalati rende difficile implementare con questa Topologia convertitori con un elevato numero di bits.

### \* CONVERTITORI A SCALA R-2R



Cominciamo con il calcolare la resistenza vista dal generatore  $V_{REF}$ : la rete è tale da mantenere al generatore  $V_{REF}$  una resistenza pari a  $R$ , qualsiasi sia la parola digitale in ingresso  $\Rightarrow$  la corrente che  $V_{REF}$  deve erogare



risultato indipendente dalla parola digitale in ingresso:

$I_{REF} = \frac{V_{REF}}{R} \Rightarrow$  la resistenza serie del generatore  $V_{REF}$  non pesa nel dare non linearità in uscita.

Per calcolare la tensione di uscita calcoliamo la corrente che affluisce al nodo di terra virtuale,  $I_F$ :

$$V_{OUT} = - I_F R$$

$$I_{F-1} = \frac{V_{REF}}{2R} ; I_{m-2} = \frac{I_{m-1}}{2} ; I_{m-3} = \frac{I_{m-2}}{2} = \frac{I_{m-1}}{2^2} \dots$$

$$\dots I_1 = \frac{I_{m-1}}{2^{m-1}} = \frac{V_{REF}}{2^m R}$$

$$\begin{aligned} \Downarrow \\ V_{OUT} &= -R \left[ \frac{V_{REF}}{2R} D_{m-1} + \frac{V_{REF}}{2R} \frac{D_{m-2}}{2} + \frac{V_{REF}}{2R} \frac{D_{m-3}}{2^2} + \dots + \frac{V_{REF} D_0}{2R 2^{m-1}} \right] \\ &= -\frac{V_{REF}}{2^m} \left[ 2^{m-1} D_{m-1} + 2^{m-2} D_{m-2} + 2^{m-3} D_{m-3} + \dots + 2^1 D_1 + 2^0 D_0 \right] \\ &= -\frac{V_{REF}}{2^m} N \end{aligned}$$

↑
espressione decimale della parola digitale

2<sup>m</sup>
↑
risoluzione

Per non avere errori del DAC le resistenze serie degli interruttori e l'offset e le correnti di bias dell'amplificatore operazionale.

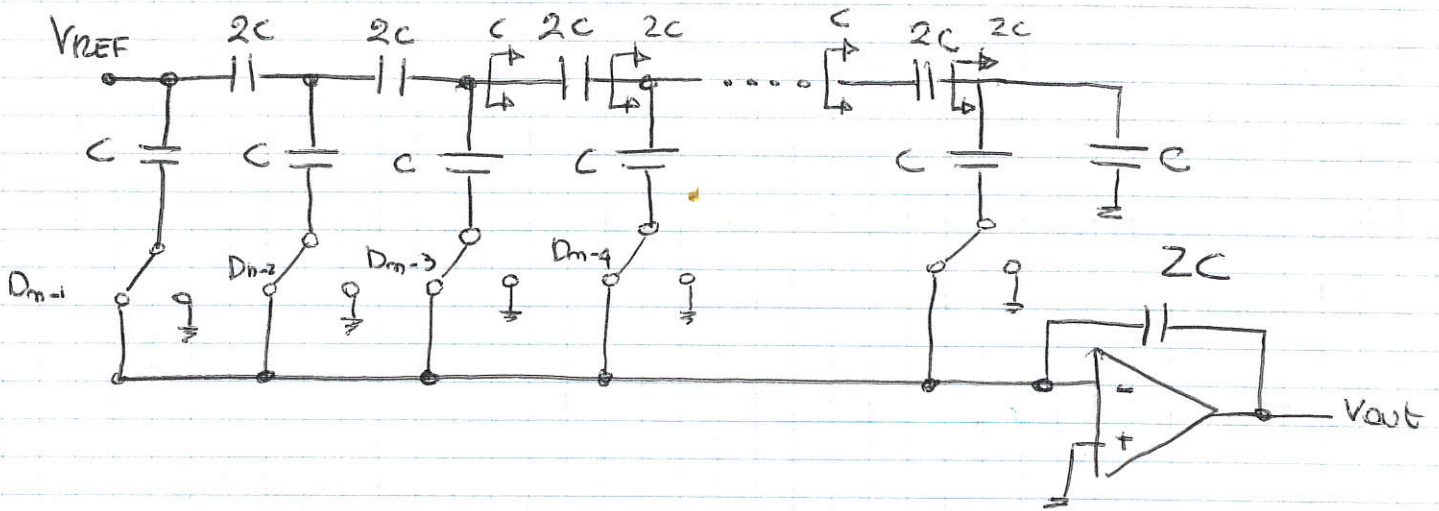
Anche in questo caso per ottenere una tensione di fondo scala positivo del DAC è sufficiente scegliere  $V_{REF}$  negativo.

Il grosso vantaggio di questa configurazione è che il massimo valore di resistenza che deve essere integrato è pari a  $2R$ , indipendentemente dal numero di bit del DAC.

Il DAC con rete a scala può essere anche realizzato



sostituendo delle capacità alle resistenze, in modo da essere più facilmente compatibili con la tecnologia di fabbricazione MOS VLSI.

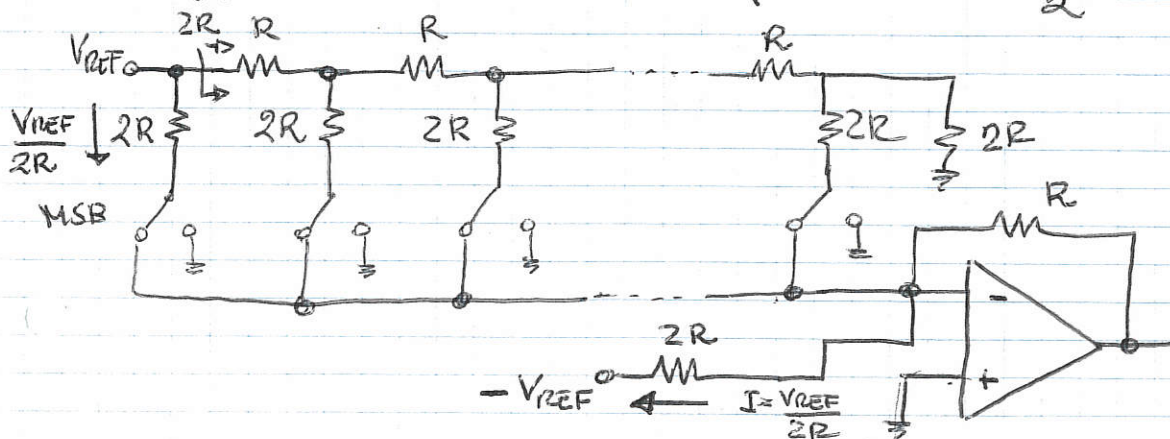


$$\begin{aligned}
 V_{out} &= -\frac{V_{REF}}{2C} \cdot \left[ C D_{m-1} + \frac{C}{2} D_{m-2} + \dots + \frac{C}{2^{m-2}} D_1 + \frac{C}{2^{m-1}} D_0 \right] = \\
 &= -\frac{V_{REF}}{2^n} \left[ 2^{m-1} D_{m-1} + 2^{m-2} D_{m-2} + \dots + 2^1 D_1 + 2^0 D_0 \right] = \\
 &= -\frac{V_{REF}}{2^n} N
 \end{aligned}$$

Tutti i DAC visti finora sono in grado di fornire in uscita solamente tensioni di una polarità (DAC unipolari).

Esistono anche DAC bipolari in cui la dinamica della tensione di uscita si estende sia su valori positivi che su valori negativi.

Vediamo come possiamo rendere bipolare l'uscita del convertitore a scala R-2R (dinamica  $-\frac{V_{REF}}{2} + \frac{V_{REF}}{2}$ )



Vogliamo che per una parola digitale di ingresso identica



mente nulla la tensione  $V_{out}$  di uscita risulta pari a  $\frac{V_{REF}}{2} \Rightarrow$  dobbiamo estrarre una corrente pari a  $\frac{V_{REF}}{2R}$  nel modo di Terra virtuale e questo può essere semplicemente fatto aggiungendo un altro ramo che offerisce al morsetto invertente di Terra virtuale.

Quale sarà il minimo valore della tensione in uscita del DAC in corrispondenza di una parola digitale con tutti i bit uguali a 1 in ingresso?

$$V_{out} = + \frac{V_{REF}}{2} - \frac{V_{REF} N}{2^m}$$

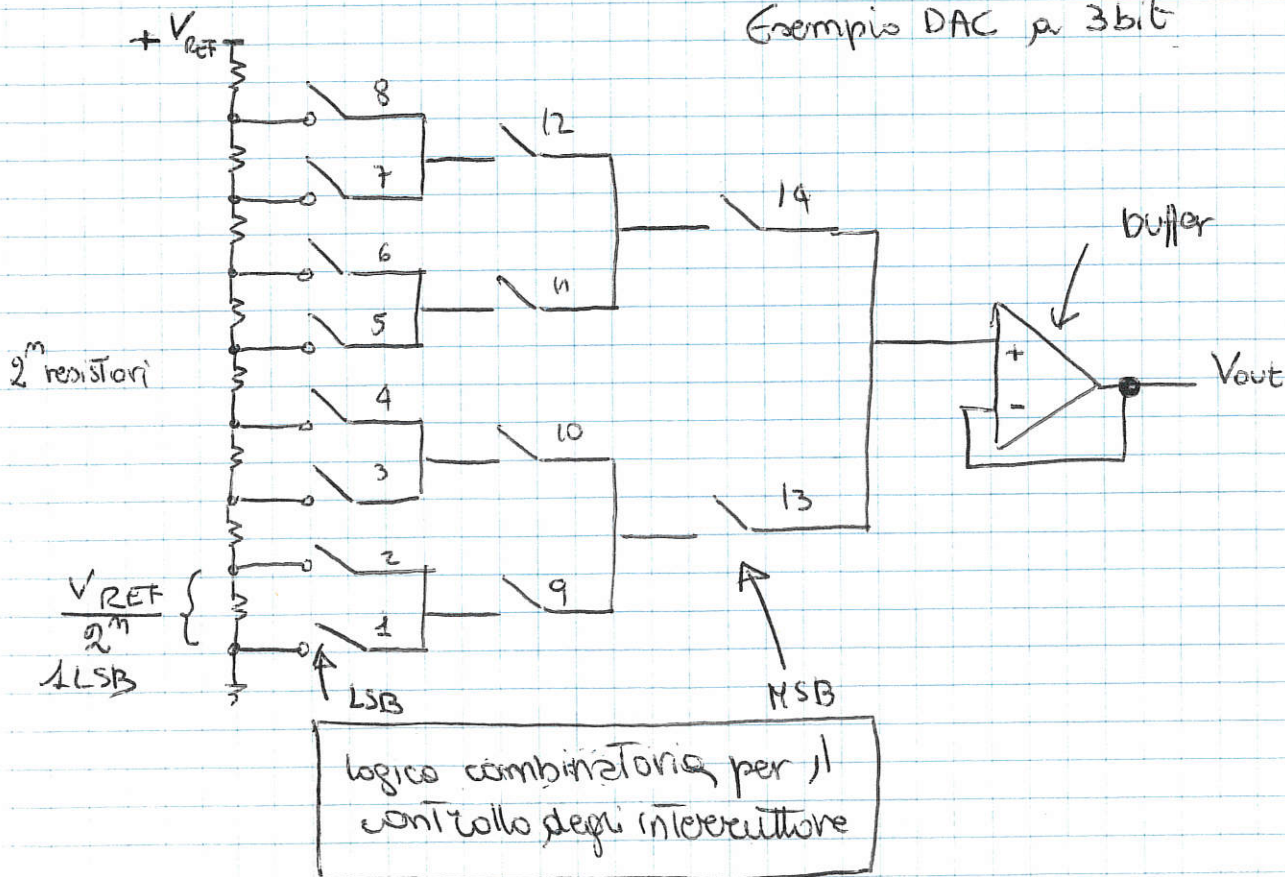
ad esempio DAC a 4 bit  $m=4 \Rightarrow N=15$

$$V_{out} = + \frac{V_{REF}}{2} - \frac{V_{REF} 15}{16} = - \frac{7}{16} V_{REF} !!$$

cioè 1 LSB sotto il massimo valore della tensione di uscita.

### \* DAC A PARTITORE DI TENSIONE

Esempio DAC a 3bit





$D_3$	$D_2$	$D_1$	Interruttori
0	0	0	1, 9, 13
0	0	1	2, 9, 13
0	1	0	3, 10, 13
0	1	1	4, 10, 13
1	0	0	5, 11, 14
1	0	1	6, 11, 14
1	1	0	7, 12, 14
1	1	1	8, 12, 14

Il DAC a partitore di tensione può essere facilmente reso bipolare ponendo il partitore di tensione riferito ad una alimentazione negativa invece che a massa -  
 d'elevato numero di resistori richiesti limita l'impiego ad architetture a 10-12 bit anche perché la richiesta di limitare la dissipazione di potenza richiede l'uso di resistenze di valore abbastanza elevato che occupano parecchio area su silicio -

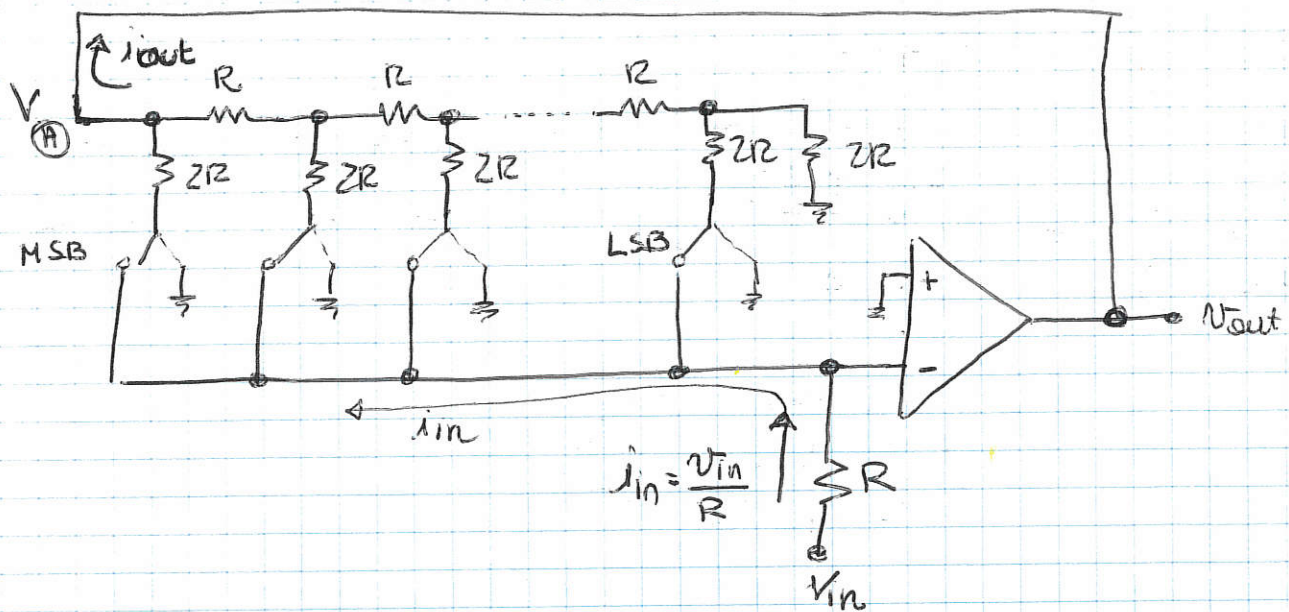
Le correnti di bias dell'operazionale e le correnti di perdita del interruttore sono cause di non linearità in questo DAC. La struttura a partitore di tensione garantisce l'intrinseca monotonicità della caratteristica di trasferimento.

Altre fonti di non linearità sono il mismatch delle resistenze del partitore.

### \* AMPLIFICATORE A GUADAGNO VARIABILE

Il DAC oltre che essere usati direttamente per generare una uscita analogica a partire da un segnale digitale, possono anche essere impiegati come blocchi base all'interno di

circuiti più complessi. Vediamo come sia possibile realizzare un AMPLIFICATORE A QUADAGNO VARIABILE DIGITALMENTE



$$i_{out} = - \frac{V_{\text{A}}}{R} \left( \frac{D_{n-1}}{2} + \frac{D_{n-2}}{2^2} + \dots + \frac{D_1}{2^{n-1}} + \frac{D_0}{2^n} \right) =$$

$$= - \frac{V_{\text{A}}}{2^n R} \left( 2^{n-1} D_{n-1} + 2^{n-2} D_{n-2} + \dots + 2^1 D_1 + 2^0 D_0 \right) = - \frac{V_{\text{A}}}{2^n R} N$$

$$i_{out} = i_{in} \Rightarrow \frac{V_{in}}{R} = - \frac{V_{\text{A}}}{2^n R} N \Rightarrow \boxed{V_{out} = - \frac{2^n}{N} V_{in}}$$

↳ il circuito amplifica un segnale di ingresso da un minimo di 1 a un massimo di  $2^n$  volte a seconda delle parole digitali. Tale impiegato per pilotare i diversi interruttori.