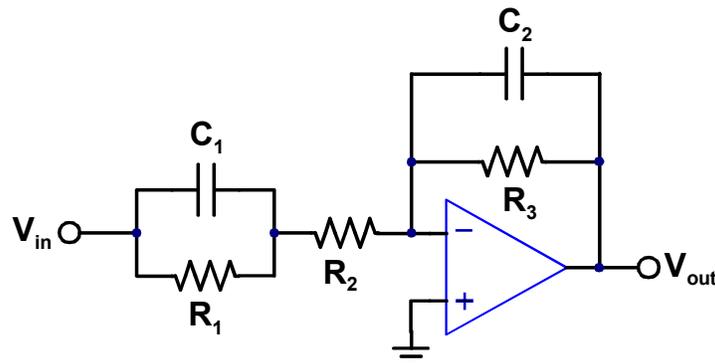


Esercizio 1

- 1) Si consideri il circuito riportato in figura. Si supponga che l'amplificatore operazionale sia ideale ($A \rightarrow \infty$, $Z_{in} \rightarrow \infty$, $Z_{out} = 0$). Si determini la funzione di trasferimento tra la tensione di ingresso e la tensione di uscita e si dimensionino il valore di R_2 affinché il guadagno ad alta frequenza (nell'intervallo compreso tra il polo di C_1 e il polo di C_2) sia pari a 20. Successivamente si disegni il diagramma di Bode quotato del modulo della FdT. (Dati: $C_1 = 3,54 nF$, $C_2 = 5 pF$, $R_1 = 90 k\Omega$, $R_3 = 200 k\Omega$).
- 2) Si supponga di avere in ingresso una sinusoide a frequenza $f = 100 kHz$: di quanto viene amplificata? Di quanto viene invece amplificato l'offset di tensione dell'operazionale?
- 3) Calcolare il valore di G_{loop} in continua (assumere $A_0 = 100 dB$).
- 4) Calcolare la resistenza di uscita in continua assumendo che la r_{out} dell'operazionale sia pari a 100Ω e che il guadagno in continua dell'operazionale A_0 sia pari a $100 dB$.
- 5) Calcolare la massima frequenza di una sinusoide in ingresso di ampiezza $100 mV$ compatibile con uno $SR = 1,8 V/\mu s$ (si consideri il guadagno del circuito pari a 20).
- 6) Assumendo $GBWP = 10 MHz$ e trascurando C_2 , calcolare $G_{loop}(s)$ e valutare la stabilità del circuito.



Esercizio 2

- 1) Dimensionare R_a e R_b in modo da poter convertire segnali di ingresso sinusoidali di ampiezza massima pari a $150 mV$ e da far scorrere in esse una corrente di $100 \mu A$ (nel seguito si mantengono i valori trovati di R_a e R_b).
- 2) Determinare il numero n di bit dell'ADC che porti a una risoluzione di almeno $1/1000$ dell'ampiezza picco-picco del segnale sinusoidale in ingresso. Trovato n , calcolare quanto vale 1 LSB riferito all'ingresso.
- 3) Calcolare la V_G minima che garantisca una resistenza R_{Dson} virtualmente infinita durante la fase di Hold.
- 4) Supponendo di campionare una continua in ingresso pari a $-150 mV$ e di avere C_H inizialmente scarico, calcolare la massima resistenza dell'interruttore p-Mos in grado di garantire un errore sulla tensione immagazzinata in C_H inferiore a 1 LSB con un tempo di sampling di $500 ns$.
- 5) Supponendo che OP2 abbia una resistenza di ingresso $R_{id} = 500 k\Omega$ e un guadagno in continua $A_0 = 60 dB$, trovare la massima durata del tempo di Hold che assicuri un errore inferiore a $1/10$ di LSB.
- 6) Supponendo di disporre di un ADC a gradinata con $f_{ck} = 10 MHz$ e un numero di bit n pari a quello valutato nel punto 2, trovare T_{hold} minimo.

