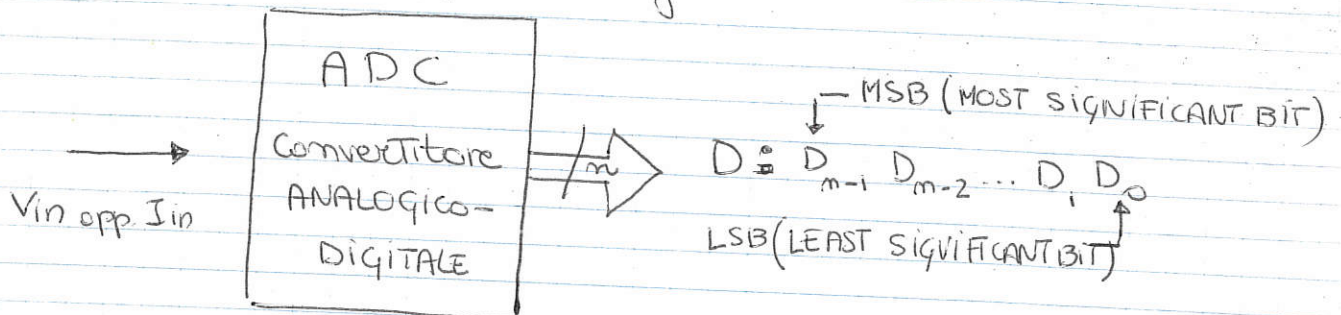


# CONVERTITORE ANALOGICO/DIGITALE

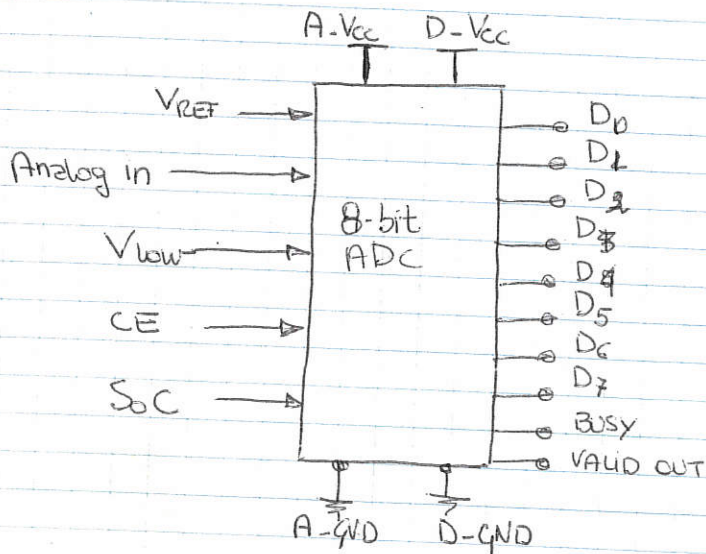
## \* GENERALITÀ

Un convertitore analogico-digitale è un sistema che riceve in ingresso una grandezza analogica (tipicamente una tensione oppure talvolta una corrente) e fornisce in uscita una parola digitale di  $n$  bit, che rappresenta la codifica binaria del valore analogico in ingresso.



gli bit di uscita possono essere forniti sia in parallelo che sequenzialmente

Un esempio di ADC commerciale può essere il seguente:



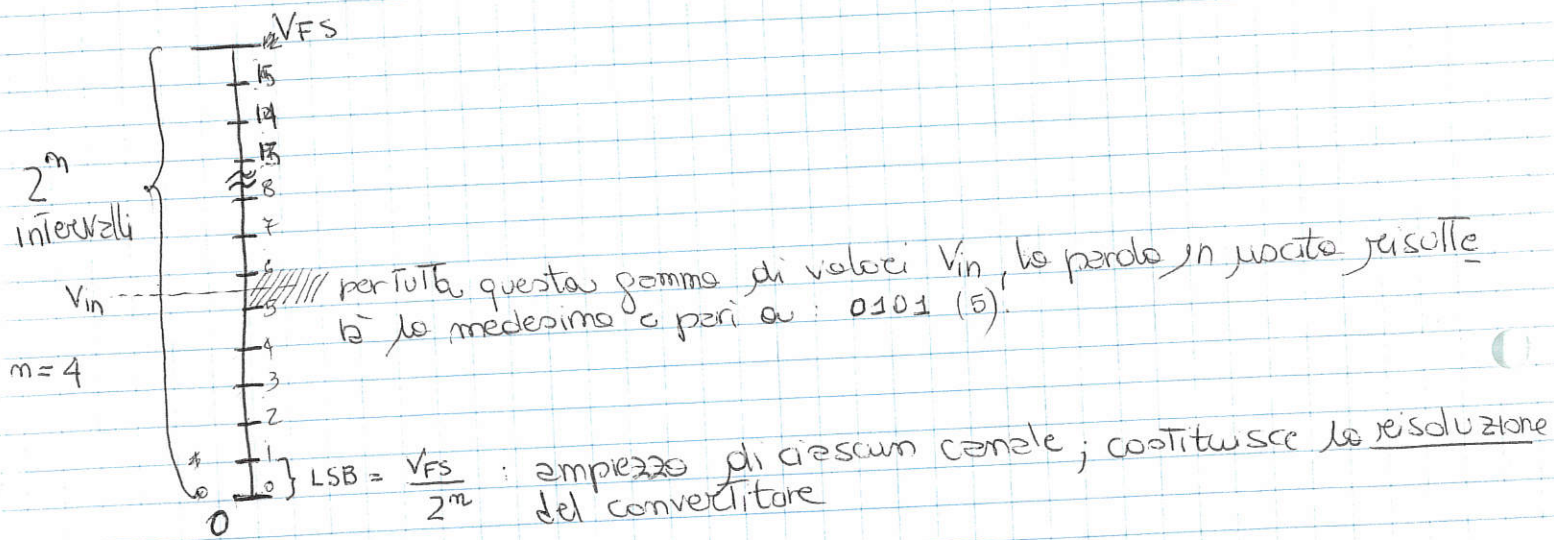
- $V_{REF}$ : valore massimo corrispondente ad un codice di uscita con tutti 1
- $V_{low}$ : valore minimo (tipicamente massa) corrispondente ad un codice di uscita con tutti 0

Molti chip di ADC contengono anche pin per funzionalità aggiuntive



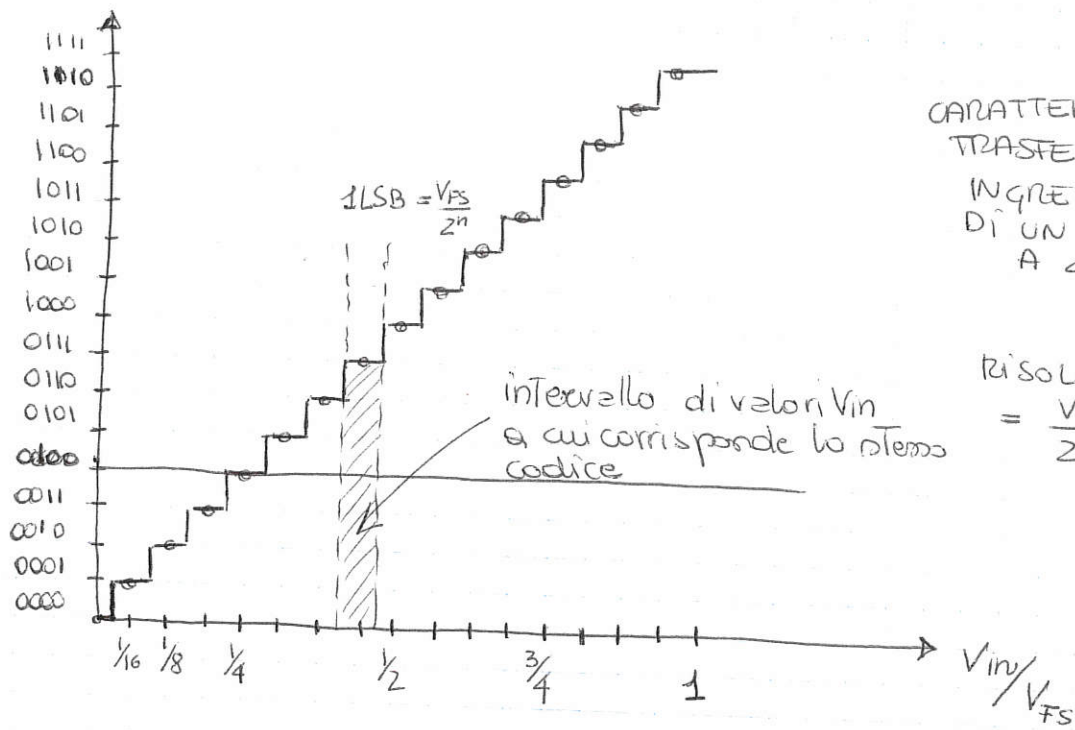
$ve$  = CE (Chip Enable) per abilitare o meno l'ADC spegnendo la circuiteria interna e mandando le uscite in High Z  
 = SoC (Start of Conversion) per dare il via alla conversione  
 = Busy: quando è attivo indica che all'interno dell'ADC è in corso la conversione.

Effettuare la conversione digitale (analogica) di una tensione analogica significa dividere la tensione di fondo scala  $V_{FS}$  in un numero  $2^m$  di intervalli. Ciascun livello viene identificato da un codice digitale univoco. L'ADC presenterà in uscita la parola digitale che individua il canale entro cui cade  $V_{in}$  ⇒ il medesimo codice digitale in uscita è fornito per una gamma di valori in ingresso compresi entro un certo intervallo.



### \* CARATTERISTICHE STATICHE di un ADC

La caratteristica di trasferimento statica di un ADC indica una corrispondenza univoca tra la tensione analogica in ingresso e la parola digitale in uscita. Occorre prestare attenzione che non si tratti di corrispondenza biunivoca poiché lo stesso codice digitale in uscita può essere fornito per una gamma di valori in ingresso per la risoluzione dell'ADC considerato ⇒ CARATTERISTICA A SCALINATA



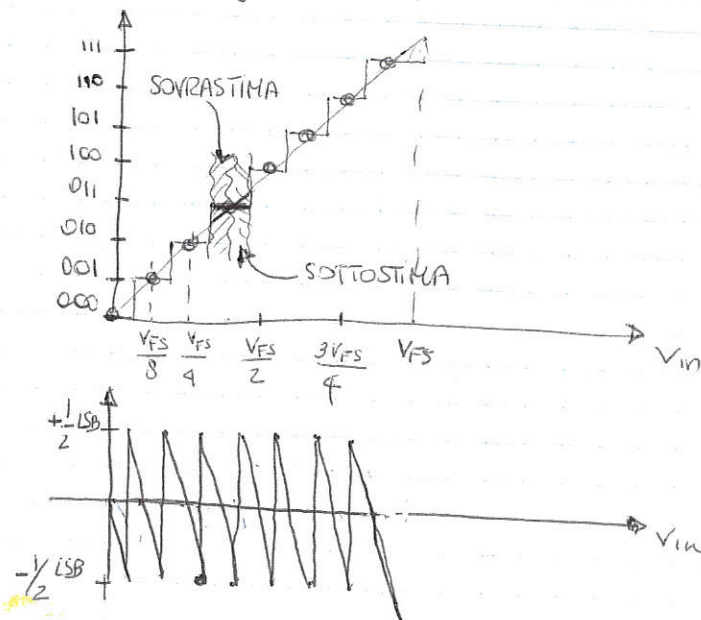
CARATTERISTICA DI TRASFERTIMENTO INGRESSO-USCITA DI UN ADC IDEALE A 4 BIT

$$\Downarrow$$
 RISOLUZIONE = 
$$= \frac{V_{FS}}{2^4} = \frac{V_{FS}}{16}$$

È bene osservare che per comodità si sono fatti cadere tutti i gradini un gradino ed il successivo esattamente su metà degli intervalli di tensione in cui è stata suddivisa la dinamica possibile. In questo modo le battute del primo e dell'ultimo scalino sono diverse dalle altre ed, in particolare, si ha che il primo gradino ha ampiezza pari a  $\frac{1}{2}$  LSB e l'ultimo gradino ha ampiezza pari a  $\frac{3}{2}$  LSB.

**ERRORE DI QUANTIZZAZIONE**

Per effetto della forma a scalinata della caratteristica di uscita al crescere di  $V_{in}$  ciascun codice in uscita dapprima sovrastima la tensione di ingresso e poi la sottostima.





Calcoliamo il valore quadratico medio di tale rumore:

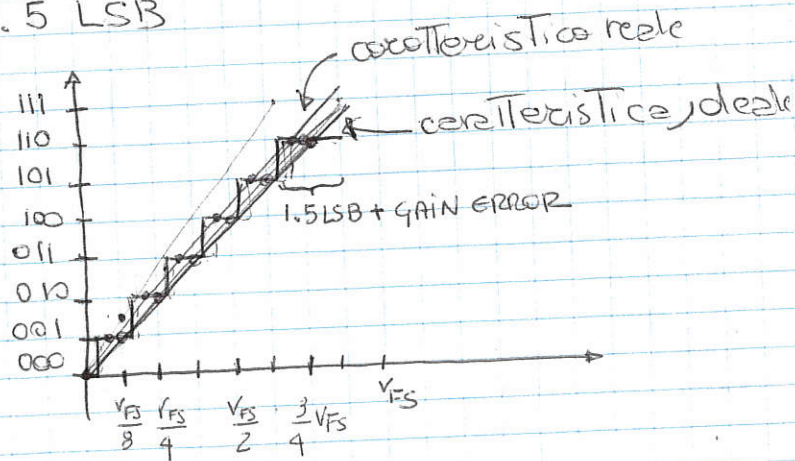
$$\begin{aligned} \sigma_q^2 &= \frac{1}{\text{LSB}} \int_0^{\text{LSB}} (\text{err})^2 d\alpha = \left[ \int_0^{\text{LSB}/2} \alpha^2 d\alpha + \int_{\text{LSB}/2}^{\text{LSB}} (\text{LSB} - \alpha)^2 d\alpha \right] \frac{1}{\text{LSB}} = \\ &= \frac{1}{\text{LSB}} \left[ \frac{\alpha^3}{3} \Big|_0^{\text{LSB}/2} - \frac{(\text{LSB} - \alpha)^3}{3} \Big|_{\text{LSB}/2}^{\text{LSB}} \right] = \frac{\text{LSB}^3}{24} \\ &= \frac{1}{\text{LSB}} \left[ \frac{\text{LSB}^3}{24} - \emptyset + \frac{\text{LSB}^3}{24} \right] = \frac{\text{LSB}^2}{12} \end{aligned}$$

il valore efficace dell'errore di quantizzazione risulta pari a:

$$\sigma_q = \sqrt{\sigma_q^2} = \frac{\text{LSB}}{\sqrt{12}}$$

### ERRORE DI QUADAGNO

Un ADC reale può presentare un errore di guadagno dato da una pendenza della retta congiungente i punti della prima e dell'ultima transizione non coincidente con quella ideale  $\Rightarrow$  si definisce errore di guadagno lo scostamento della pendenza reale dalla pendenza ideale o perimenti la differenza tra la lunghezza dell'ultimo gradino ed il valore ideale di  $1.5 \text{ LSB}$

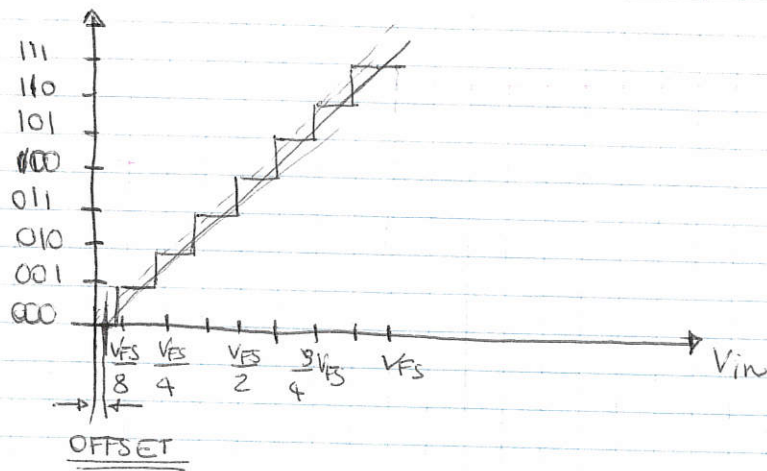


### ERRORE DI OFFSET

Se la conversione presenta un offset si ha una caratteristica che non coincide con la scolinata ideale. Si definisce errore di offset la differenza di lunghezza del primo gradino



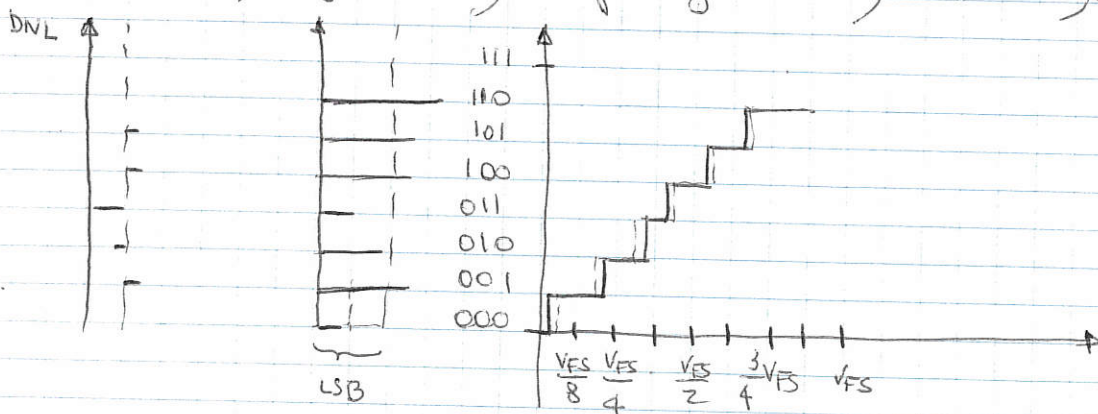
rispetto al valore ideale di  $0.5 \text{ LSB}$



Spesso entrambi gli errori possono essere facilmente annullati agendo su  $V_{REF}$  o sul piedino di regolazione dell'offset e provvedendo ad una accurata calibrazione.

### ● NON LINEARITÀ DIFFERENZIALE

In un ADC reale la larghezza dei gradini dello scolinato non rimane costante, ma varia da gradino a gradino, conseguentemente i punti di teorizzazione Teo un codice ed il successivo non cadono tutti sulla stessa retta. Per quantificare l'entità di tale scostamento è possibile valutare lo scostamento della larghezza di ogni gradino dal valore ideale pari a  $1 \text{ LSB}$



Si definisce NON-LINEARITÀ DIFFERENZIALE (DNL) di un ADC lo scostamento Teo la larghezza dell' $i$ -esimo gradino ed il suo valore ideale pari ad  $1 \text{ LSB}$ .

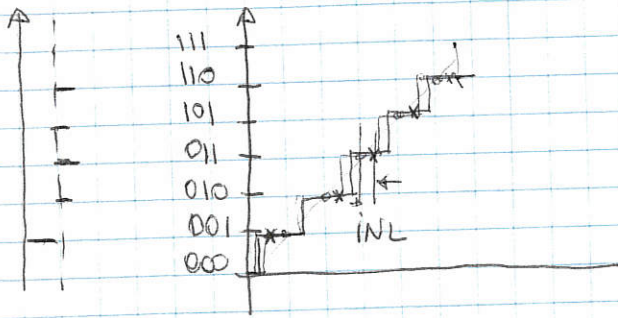
Accidentalmente la DNL dei due codici estremi è calcolata sottraendo il valore ideale di  $0.5 \text{ LSB}$  e di  $1.5 \text{ LSB}$



La presenza di una non linearità differenziale nella caratteristica statica dell'ADC è causata anche da un errore di quantizzazione che si discosta da quello di un ADC ideale e per un numero di bit poiché ad ogni gradino più largo di 1 LSB corrisponde un errore di quantizzazione maggiore di  $\pm \frac{1}{2}$  LSB mentre per gradini più stretti di 1 LSB corrisponde un errore di quantizzazione inferiore a  $\pm \frac{1}{2}$  LSB.

### ● NON-LINEARITÀ INTEGRALE (INL)

La non linearità integrale è definita come lo scostamento tra il centro del gradino reale e quello teorico

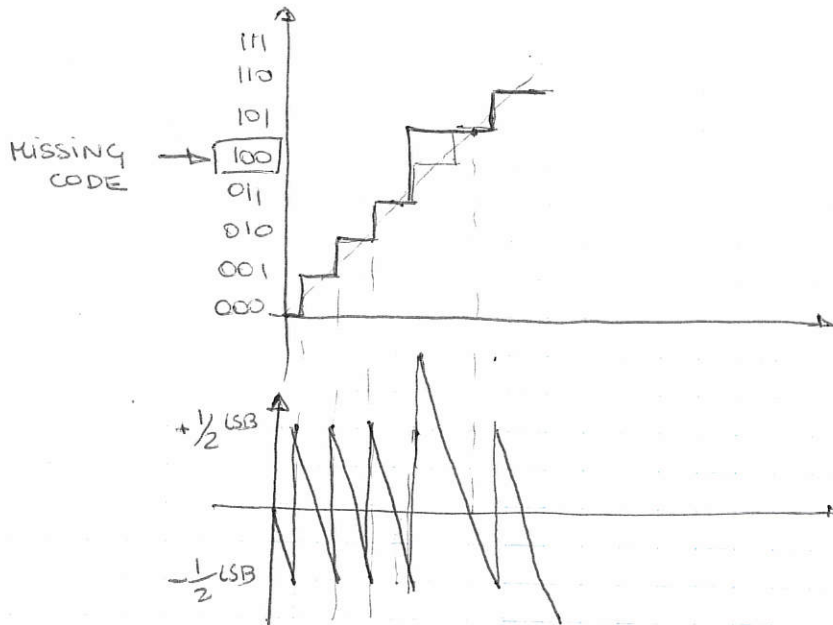


Lo scostamento può essere definito sia dalla bisettoria del 1° quadrante (caratteristica ideale) che dalla retta che interseca lo 0 per i minimi quadrati, centri dei gradini reali, sia dalla retta passante per il centro del primo e dell'ultimo gradino. È bene notare che la non linearità integrale relativo ad un dato codice è la somma algebrica delle non linearità differenziali di tutti i codici precedenti.

### ● ERRORE DA CODICE MANCANTE (MISSING CODE)

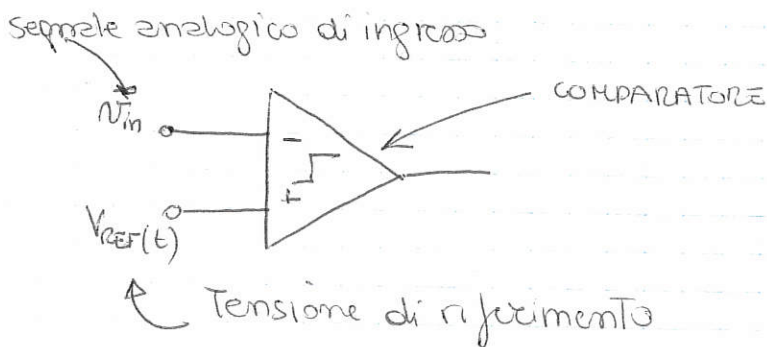
È questo un tipo di errore caratteristico degli ADC e si riferisce al fatto che esiste una parola digitale di uscita che non viene mai fornita in uscita all'ADC. Come è possibile notare dalla caratteristica di trasferimento, la presenza di un codice mancante è fonte di un

errore di quantizzazione necessariamente maggiore di  $\pm 1\text{LSB}$



Solitamente il costruttore dichiara se il proprio ADC sia o meno affetto da missing code. Spesso tale dichiarazione viene fatta per un numero di bit inferiore al numero di bit dell'ADC. Questo equivale a dire, per esempio, nel caso di un ADC a 10 bit, dichiarato privo di missing code su 11 bit, che ci potranno essere codici mancanti ma non adiacenti tra loro e quindi, il resto, ha un codice più alto se il più di  $2\text{LSB}$ .

### \* STRUTTURA BASE DI UN ADC



La struttura base di un ADC può essere vista, come il confronto tra la tensione analogica di ingresso (che si suppone costante durante tutto il tempo della conversione e può essere mantenuta tale da un S&H) con una tensione di riferimento che viene fatta variare secondo opportuni criteri.

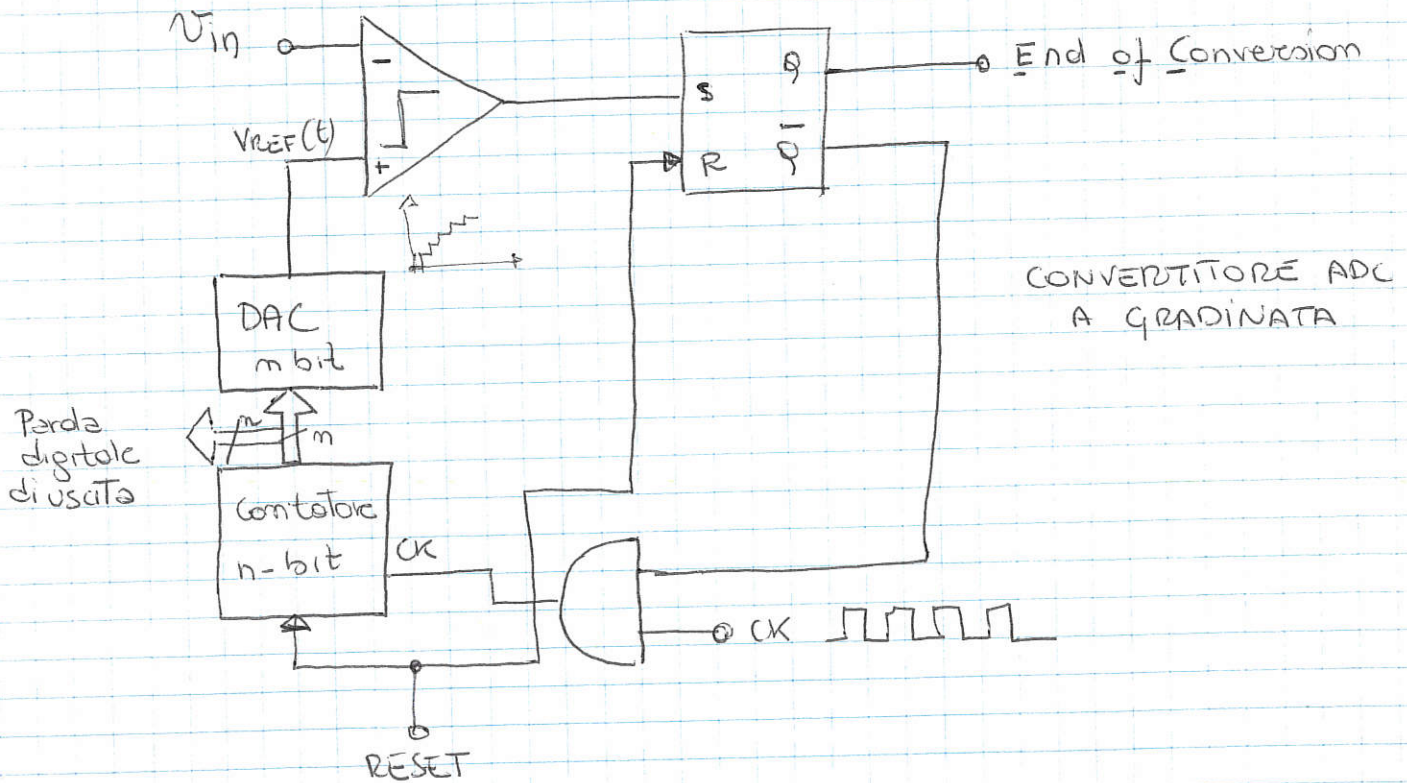


si è seconda del convertitore per uguagliare la tensione di ingresso entro l'errore di quantizzazione.

Quando  $|V_{in} - V_{REF}(E)| \leq \frac{1}{2} \text{ LSB} \Rightarrow$  la logica di controllo dell'ADC individua i bit della parola digitale corrispondente a  $V_{REF}(E)$  e quindi della parola digitale che rappresenta il codice di conversione della tensione in ingresso.

### \* CONVERTITORE ADC TRACKING (A GRADINATA)

La tensione di riferimento variabile può essere facilmente generata impiegando un DAC, pilotato da un contatore binario su  $m$  bit.



Il DAC genera una sequenza di  $2^m$  valori discreti. La conversione ha inizio quando il reset piazza il counter ed esercita l'uscita negata di un FF SR in modo da fornire al contatore il clock. L'uscita del contatore conta gli impulsi di CK e ad ogni impulso l'uscita del DAC si incrementa di un LSB. Quando la tensione in uscita al DAC supera  $V_x$  il comparatore commuta azzerando il SET del FF  $\Rightarrow \bar{Q}$  scende



a zero e blocca il conteggio del counter e EOC sale ad 1 affermando che la parola digitale di uscita è quella corrispondente alla tensione analogica di ingresso.

Il Tempo di conversione varia proporzionalmente all'ampiezza del segnale di ingresso:

$$V_{in} = 0 \Rightarrow T_{conv}|_{min} = 0$$

$$V_{in} \approx V_{FS} \Rightarrow T_{conv}|_{max} = \frac{2^m}{f_{ck}} \quad (\text{poichè l'uscita del DAC arriva a } V_{FS} \text{ dopo } 2^m \text{ colpi di clock})$$

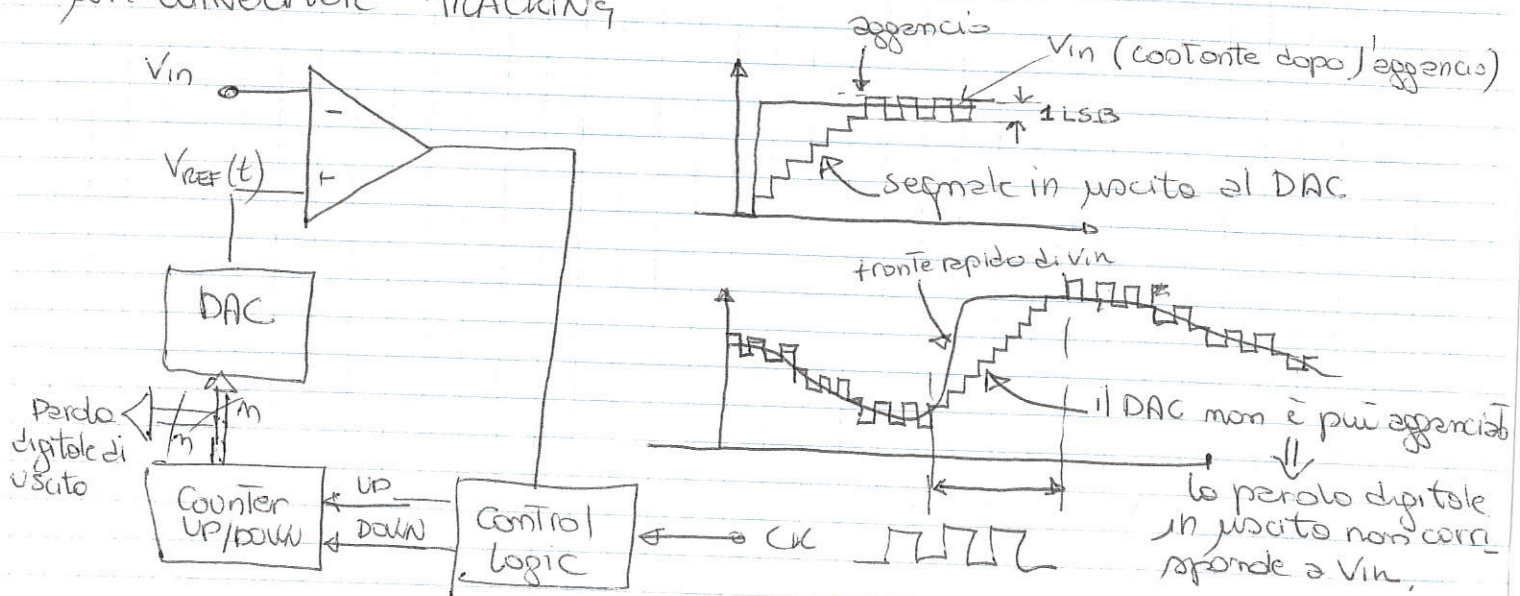
⊙ velocità di conversione relativamente bassa:

ADC a 10 bit  $\Rightarrow V_{in} \approx V_{FS}$  necessita di 1024 colpi di clock per essere convertito, quindi se  $f_{ck} = 1 \text{ MHz} \Rightarrow T_{conv}|_{max} = 1.024 \text{ ms}$   
 $\hookrightarrow$  1000 conversioni al secondo.

😊 questo ADC è semplice come architettura e richiede pochi blocchi funzionali  $\Rightarrow$  è piuttosto economico

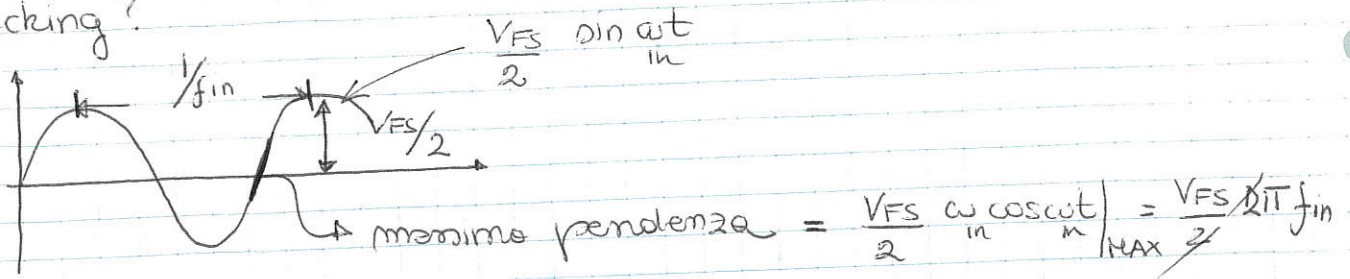
⊙ la parola digitale fornita in uscita è il più piccolo valore di  $V_{DAC}$  che sia maggiore di  $V_{in}$ , ma non è necessariamente il valore di  $V_{DAC}$  più vicino a  $V_{in} \Rightarrow V_{in}$  è sovrastimato

Se il contatore è sostituito da un contatore UP/DOWN si realizza un convertitore TRACKING





Quale sarà la frequenza massima di campionamento di un ADC Tracking?



Massima velocità di variazione dell'uscita del DAC: 1LSB in 1 periodo di clock  $\Rightarrow \frac{V_{FS}}{2^n} \times f_{ck}$

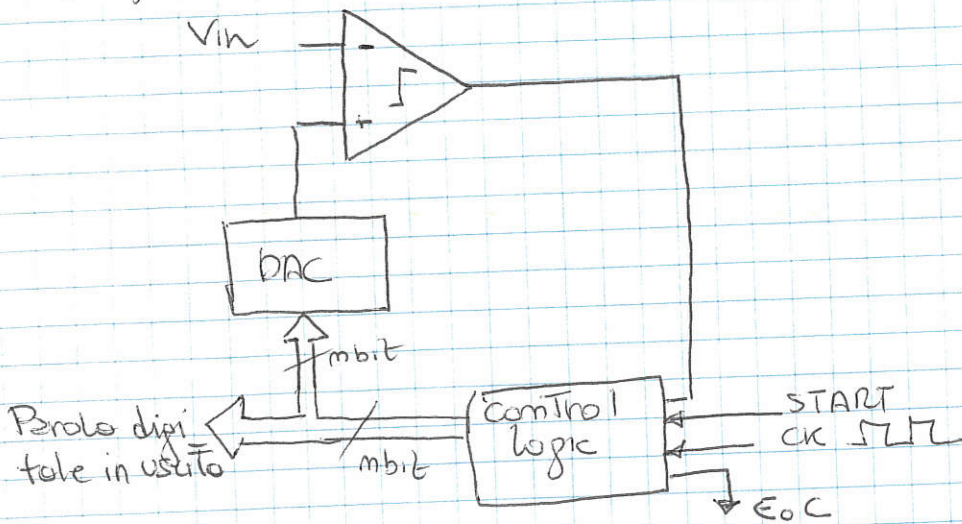
$$\Downarrow$$

$$V_{FS} \pi f_{in} < \left( \frac{V_{FS}}{2^n} \right) f_{ck} \Rightarrow f_{in} < \frac{f_{ck}}{2^n \pi}$$

$\hookrightarrow$  10 bit  $f_{ck} = 1\text{MHz} \Rightarrow f_{in}|_{max} \approx 300\text{Hz}$

**\* ADC AD APPROSSIMAZIONI SUCCESSIVE**

Lo schema di principio di questo ADC si basa ancora sull'uso di un DAC e di una logica del tipo SUCCESSIVE APPROXIMATION REGISTER



La logica di controllo assegna inizialmente il MSB (corrispondente ad una tensione in uscita del DAC di  $\frac{V_{FS}}{2}$ ), in base all'esito del confronto effettuato dal comparatore la logica decide se tenere a 1 o a 0 il MSB della parola digitale:

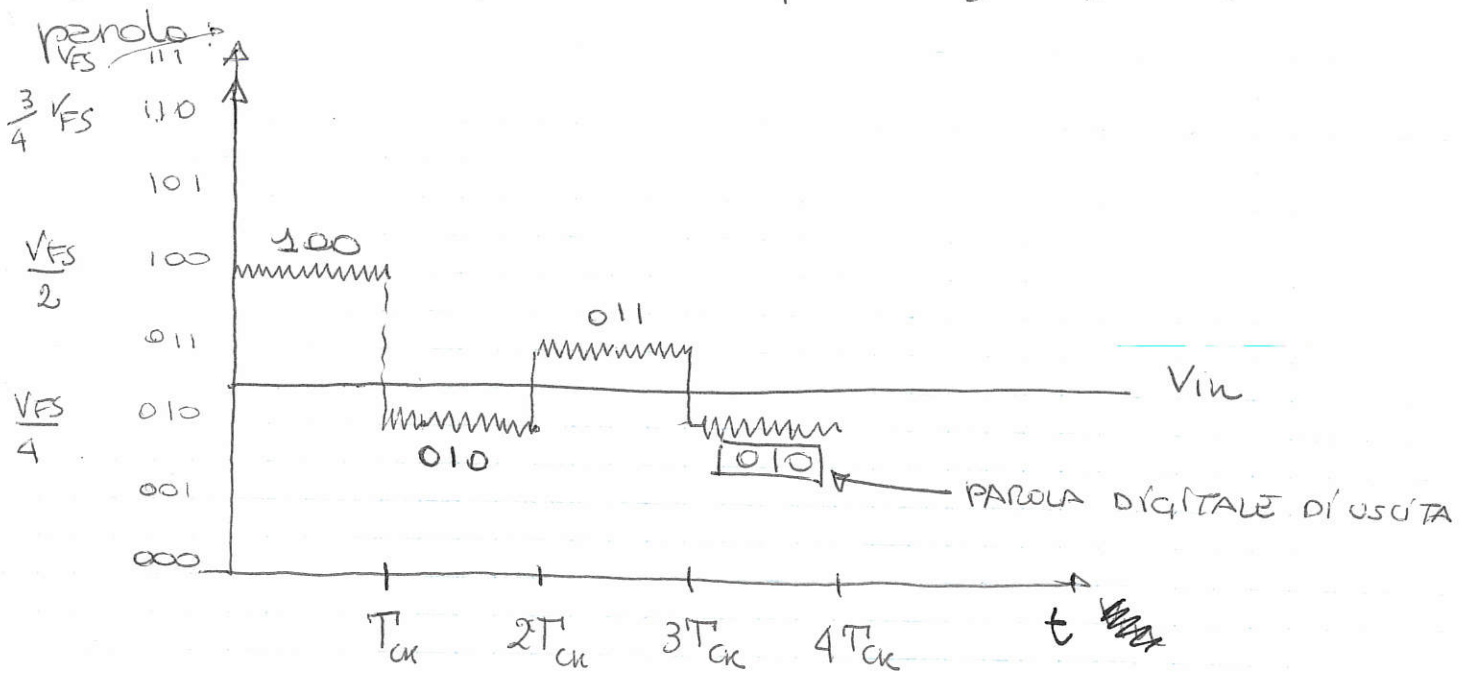
$$\text{MSB} = 1 \quad \text{se} \quad V_{in} > \frac{V_{FS}}{2}$$

$$\text{MSB} = 0 \quad \text{se} \quad V_{in} < \frac{V_{FS}}{2}$$

Al secondo colpo di ck è assegnato il bit successivo  $\Rightarrow$  si ripete



In quale metà della metà sopra o sotto  $V_{FS}$ , il segnale  $\Rightarrow$  la logica procede così fino ad aver provato tutti i bit della



La conversione richiede un numero di colpi di clock pari al numero di bit del convertitore:

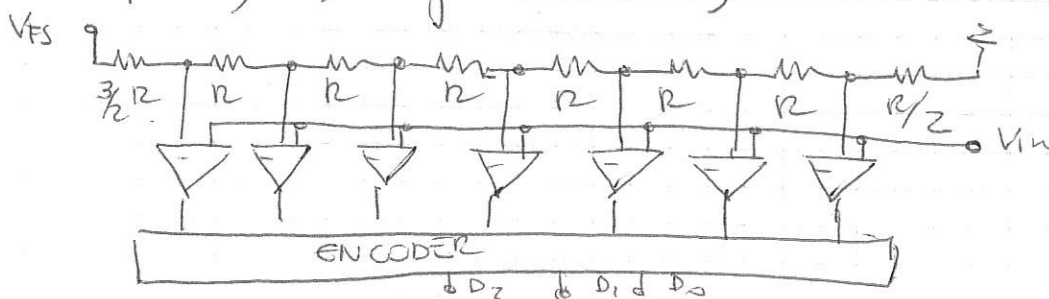
$$T_{conv} = \frac{n}{f_{clk}}$$

↳ ADC a 10 bit con  $f_{clk} = 1\text{MHz} \Rightarrow T_{conv} = 10\mu\text{s}$

La frequenza di clock massima applicabile è in generale limitata dal tempo di assestamento (settling time) del DAC e del tempo di risposta del comparatore. In generale i ritardi introdotti dalla logica SAR risultano trascurabili (anche se crescono al crescere di  $n$ ).

### \* CONVERTITORI ADC "FLASH"

Per convertire segnali ad elevate frequenze è necessario ricorrere ad ADC basati su architetture di tipo parallelo. Vediamo l'esempio di un flash ADC a 3 bit





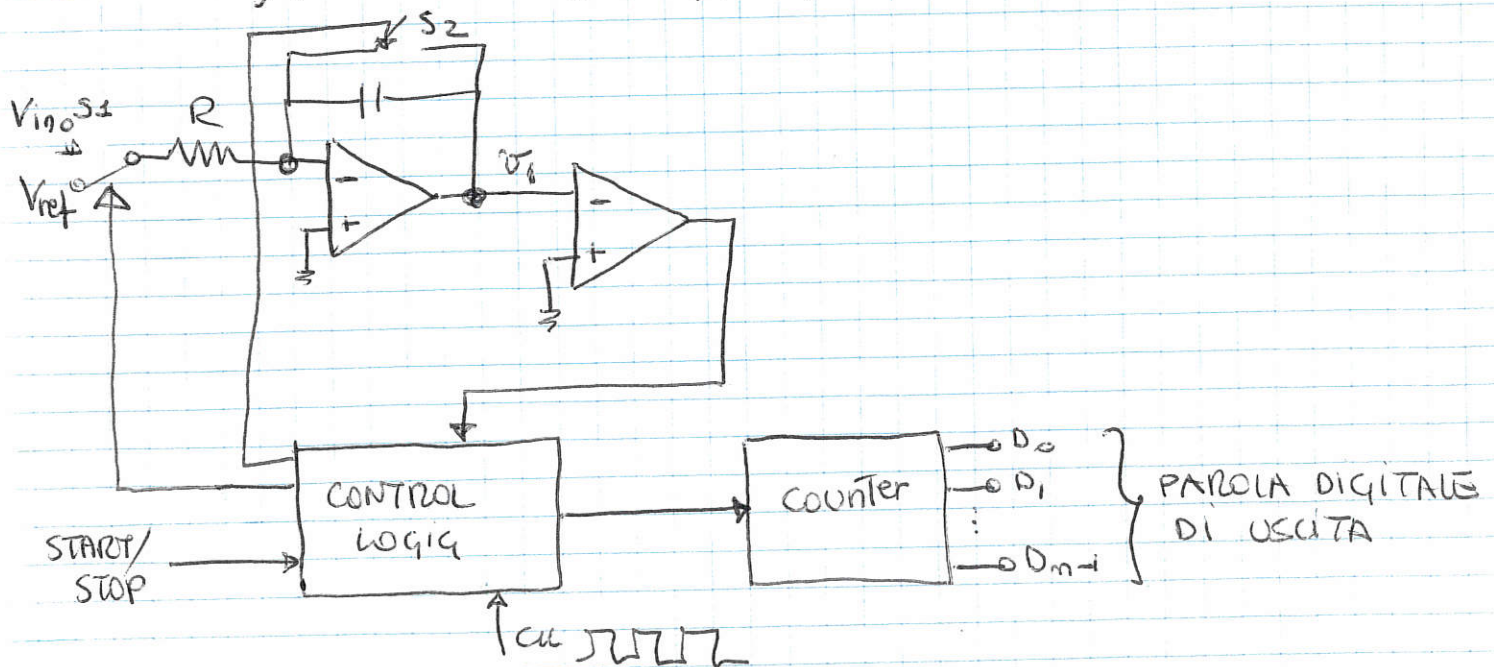
Il segnale analogico è confrontato con  $2^m - 1$  diverse tensioni di riferimento ottenute mediante un partitore resistivo di elevata precisione che riproduce la caratteristica ingresso uscita ideale di un ADC. Le uscite dei comparatori vengono codificate dall'encoder per fornire la parola digitale di uscita -

- ☹️ servono  $2^m - 1$  comparatori e  $2^m$  resistenze di elevata precisione per gli ADC flash  $\Rightarrow$  basso numero di bit
- ☹️ l'offset dei comparatori degrada la linearità dell'ADC
- ☺️ tempi di conversione molto brevi, limitati solo dai tempi di ritardo dei comparatori e della rete logica ( $T_{conv} \approx$  decine di ns)

### \* ADC A DOPPIA GAMMA

Quando si voglia effettuare una conversione ad un numero molto elevato di bit (12-14 bit) non è possibile impiegare le topologie di ADC prima analizzate o perché richiedono eccessivo numero di componenti (e, quindi, preso su silicio) o perché richiederebbero un tempo troppo lungo per effettuare la conversione.

Una architettura idonea per ottenere ADC ad elevata risoluzione è l'architettura a doppia gamma.





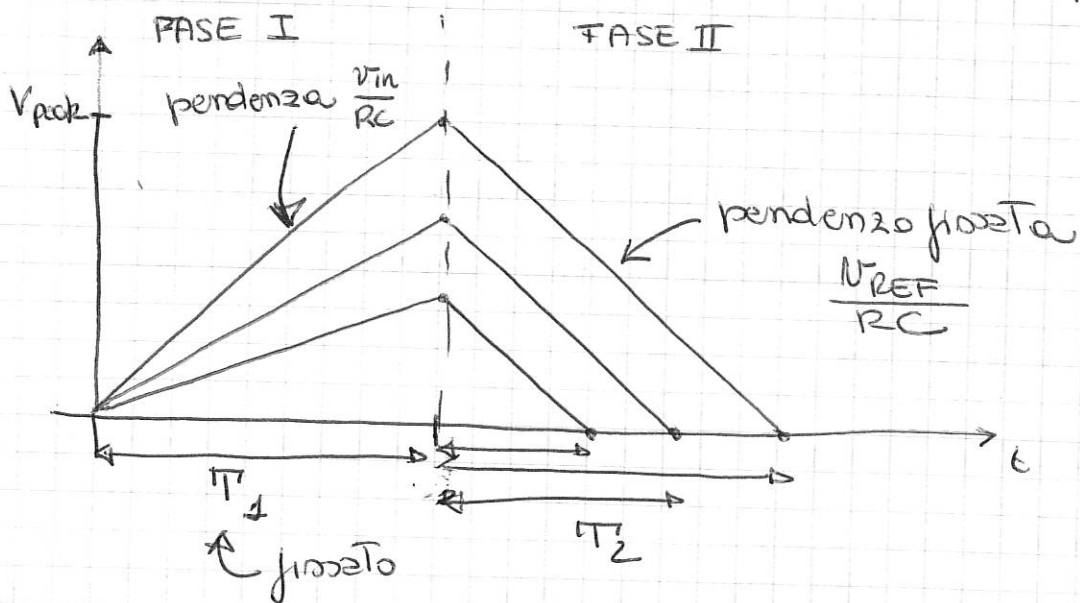
Supponiamo che la Tensione in ingresso ( $V_{in}$ ) analogica che deve essere convertita sia negativa.

Primo dell'inizio della conversione, l'interruttore  $S_2$  è chiuso in modo da scaricare la capacità  $C$  e fissare  $v_1 = 0$ .

Il ciclo di conversione inizia con l'apertura dell'interruttore  $S_2$  e con la chiusura dell'interruttore  $S_1$  per connettere la Tensione di ingresso all'ingresso dell'integratore.

La corrente  $\frac{V_{in}}{R}$  fluisce attraverso  $R$  e la Tensione in uscita dell'integratore cresce linearmente con una pendenza  $I/C = \frac{V_{in}}{RC}$ .

Contemporaneamente il contatore viene abilitato e inizia a contare per un tempo fissato  $T_1$ .  
 La prima fase termina quando il contatore è arrivato a contare un numero prefissato  $m_{REF}$  (tipicamente  $m_{REF} = 2^n$ ).



$$V_{peak} = \frac{V_{in}}{RC} * T_1$$

Al termine di questa fase il counter è resettato a zero. Durante la II fase il deviatore  $S_4$  connette l'ingresso dell'integratore alla Tensione  $V_{REF}$  fissata positiva.



↳ la corrente attraverso l'integratore cambia segno ed è ora pari a  $\frac{V_{REF}}{R} \Rightarrow V_1$  decresce linearmente con pendenza  $(\frac{V_{REF}}{RC})$  - Contemporaneamente il contatore è abilitato e comincia a contare.

Quando  $V_1$  ritorna a zero il comparatore commuta e la logica ferma il contatore.

$$\frac{V_{peak}}{T_2} = \frac{V_{REF}}{RC}$$

$$\Downarrow \quad \frac{V_{in}}{RC} T_1 = \frac{V_{REF}}{RC} T_2 \Rightarrow T_2 = \left( \frac{V_{in}}{V_{REF}} \right) T_1$$

ma)  $m_{REF} \propto T_1$  e  $k$  (lettura  $\propto T_2$ ) è proporzionale a  $T_2$ :

$$\Downarrow \quad k = m_{REF} \left( \frac{V_{in}}{V_{REF}} \right)$$

↳ la parola digitale al termine del tempo  $T_2$  presente in uscita dal contatore è la parola digitale equivalente alla tensione  $V_{in}$ .

Di convertitori A/D a doppio rampa offrono elevata accuratezza dato che le loro prestazioni non dipendono dalle tolleranze sui valori di R e C.

\* PARAMETRI DINAMICI DI UN ADC: DINAMICA, SNR, ENOB

### • DINAMICA

Si definisce Dinamica dell'ADC il rapporto tra il massimo valore fornibile dall'ADC e il valore del minimo intervallo di tensione che può essere discriminato:

$$\text{DINAMICA} = 20 \log \frac{FSR}{LSB} = 20 \log \frac{V_{REF}}{\frac{V_{REF}}{2^n}} =$$

$$= 6.02 n$$



Ad es. ADC a 12 bit con  $V_{REF} = 5V$

$$\hookrightarrow 000000000001 \Rightarrow \frac{V_{REF}}{2^{12}} = \frac{5V}{4096} = 1.22mV$$

$$111111111111 \Rightarrow V_{REF} = 5V$$

$$\hookrightarrow D = 20 \log \frac{5V}{1.22mV} = 72 \text{ dB} \quad (12 \times 6.02 = 72 \text{ dB})$$

### • RAPPORTO SEGNALE/RUMORE

Calcoliamo il rapporto segnale rumore ottenibile con un ADC ideale. Il valore massimo di SNR si ottiene quando applichiamo in ingresso all'ADC una sinusoide di ampiezza massima consentita e supponiamo che esso non introduca altro rumore che il rumore di quantizzazione.

$$\begin{aligned} SNR|_{MAX} &= \frac{\text{potenza max. segnale}}{\text{potenza min. errore quantiz.}} = 10 \log \frac{\left(\frac{FSR}{2}\right)^2 \left(\frac{1}{\sqrt{2}}\right)^2}{\frac{LSB^2}{12}} = \text{valore efficace} \\ &= 10 \log \frac{\frac{FSR^2}{4} \frac{1}{2}}{\frac{FSR^2}{2^{2n}} \frac{1}{12}} = 10 \log \frac{2^{2n} \cdot 12^3}{8} = 10 \log 2^{2n-1} 3 \\ &= (2n-1) 10 \log 2 + 10 \log 3 = 6.02n - 3.01 + 4.77 = \\ &= 6.02n + 1.76 \end{aligned}$$

$$\hookrightarrow \text{ADC a 12 bit } SNR|_{MAX} = 74 \text{ dB}$$

Tuttavia in realtà all'interno dell'ADC si sovrappongono al segnale anche altri rumori elettronici  $\Rightarrow$  il risultato della conversione sarà soggetto ad un rumore maggiore del solo rumore di quantizzazione.

Per specificare la rumorosità di un ADC reale sarebbe possibile fornire il SNR realmente misurato in uscita dell'ADC.

Solitamente al posto di questo valore si preferisce quantificare la performance di un ADC reale in termini di BIT EFFICACI, cioè del numero di bit che un ADC ideale, affetto dal solo errore di quantizzazione, dovrebbe avere per possedere il medesimo SNR.

$$m_{\text{Bit efficaci}} = \frac{\text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}}$$

Che cosa significa?

ADC a 12 bit  $\Rightarrow$   $\text{SNR}|_{\text{MAX}} = 74 \text{ dB}$  valore ideale - (4096 intervalli)  
 $\text{FSR} = 5 \text{ V}$

Viene misurato  $\text{SNR}|_{\text{MAX}} = 68 \text{ dB} \Rightarrow \frac{68 - 1.76}{6.02} = 11 \text{ bit efficaci}$   
 (2048 intervalli)

$1000000000001 \Rightarrow 2.5012 \text{ V}$  con un errore di  $\pm 1 \text{ LSB}$  ( $\pm 1.22 \text{ mV}$ )  
 invece di  $\pm \frac{1}{2} \text{ LSB}$

Il codice corretto è compreso tra  $100.000.0000.000$  e  $10000000000010$  !!

L'uso di un ADC può perdere risoluzione anche in tutti quei casi in cui il segnale in ingresso che deve essere convertito presenta un'ampiezza minore della massima ampiezza consentita.

Conseguentemente il segnale di ingresso non sfrutta l'intero dinamico.

$\Downarrow$  effective number of bit

$$\text{ENOB} = \frac{\text{SNR} - 1.76 - 20 \log \frac{\text{FSR}}{V_{\text{inpp}}}}{6.02} = \frac{\text{SNR} - 1.76}{6.02} - \log_2 \frac{\text{FSR}}{V_{\text{inpp}}}$$

$V_{\text{in}} \text{ picco-picco} = 1.25 \text{ V} \Rightarrow \frac{5 \text{ V}}{1.25 \text{ V}} = 4 \Rightarrow$  sfruttato solo  $\frac{1}{4}$  della dinamica

$\hookrightarrow$  ADC a 10 bit 1024 intervalli, ma ne sono sfruttati solo 256

$$\text{SNR}|_{\text{max}} = 61.96 \text{ dB} \Rightarrow \text{ENOB} = \frac{61.96 - 1.76}{6.02} - \log_2 \frac{\text{FSR}}{V_{\text{inpp}}} = 8 \text{ bit}$$

$\hookrightarrow$  è conveniente amplificare preliminarmente il segnale di ingresso.