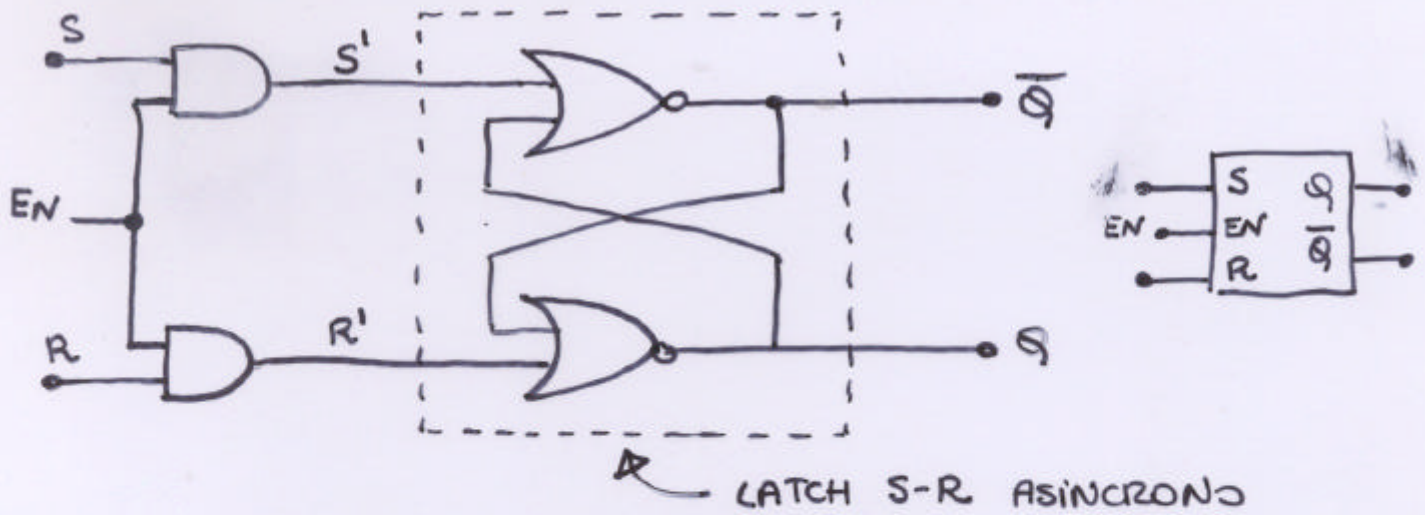


LATCH SET-RESET CON ENABLE



EN	S	R	Q	Q'	
0	0	0	Q	Q'	} EN=0 ⇒ S'=R'=0 ↳ HOLD
0	0	1	Q	Q'	
0	1	0	Q	Q'	
0	1	1	Q	Q'	
1	1	0	1	0	S'=1; R=0 ⇒ SET
1	0	1	0	1	R'=1; S'=0 ⇒ RESET
1	0	0	Q	Q'	S'=0; R'=0 ⇒ HOLD
1	1	1	da evitare		

↳ quando l'ENABLE è posto al livello logico basso S' ed R' sono sempre pari a '0' ⇒ condizione di HOLD indipendentemente dallo stato di S e R

quando l'ENABLE è posto al livello logico alto gli ingressi S e R sono abilitati ⇒ comportamento uguale ad un latch SR.