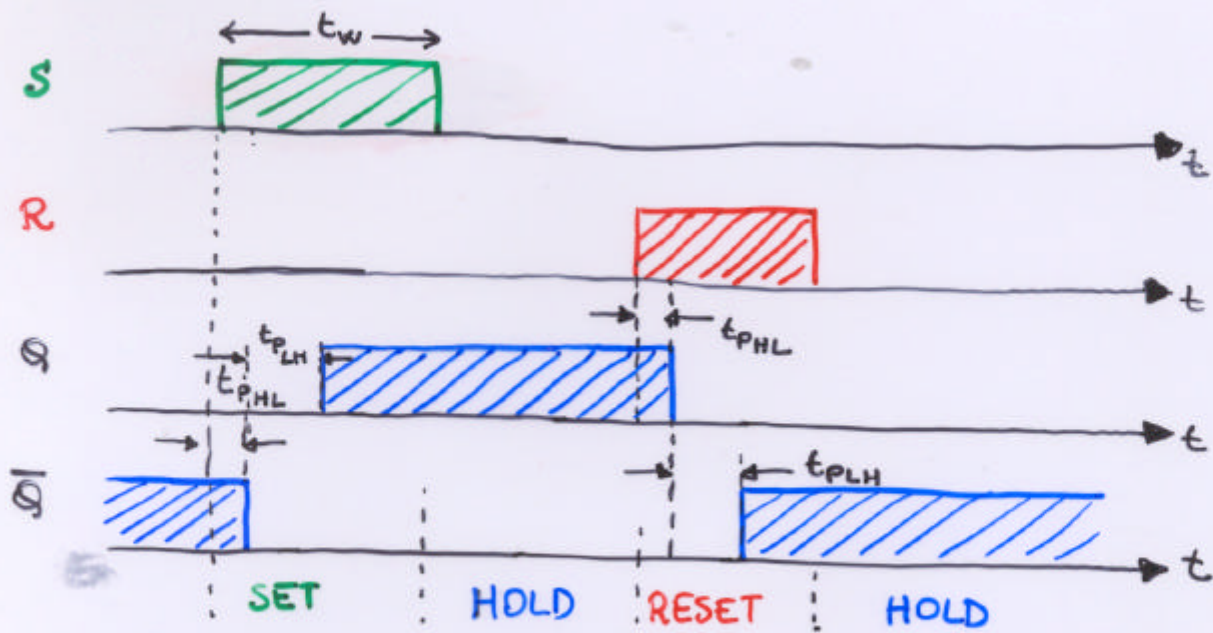


TIMING DI UN LATCH S-R

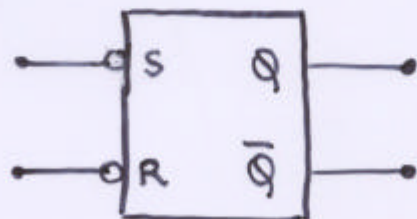
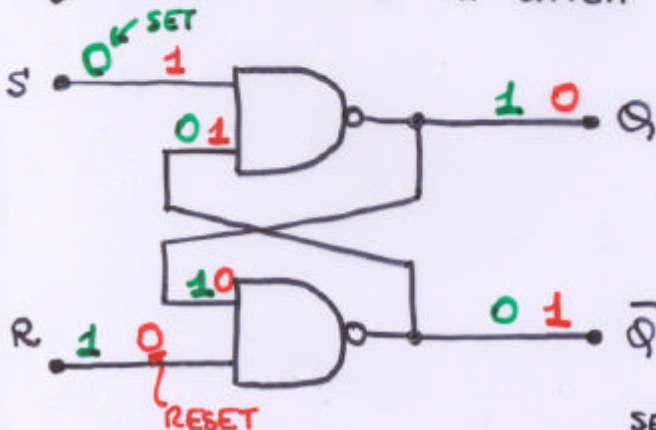


↳ per non avere errori di commutazione

$$t_w \geq t_{PHL} + t_{PLH}$$

- HOLD** Q rimane allo stato logico alto anche quando SET torna al livello logico basso
- SET RESET** il latch è asincrono: risponde istantaneamente quando è applicato un segnale di SET o di RESET

→ ESISTE ANCHE IL LATCH S-R REALIZZATO CON PORTE NAND



↓
SET e RESET sono attivi bassi nel caso di latch S-R realizzato con NAND