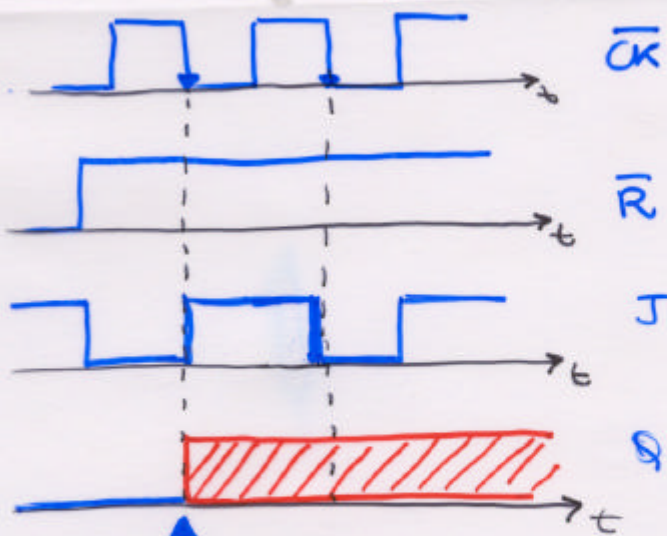
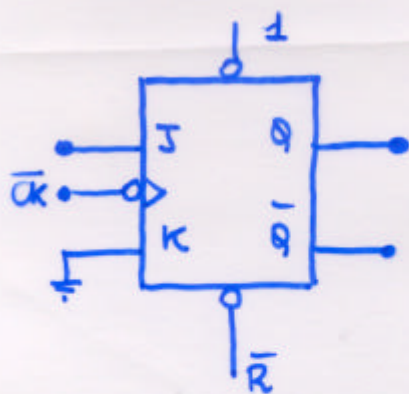


PROBLEMI DI TEMPORIZZAZIONE NEI FLIP-FLOP



J si porta a '1' in corrispondenza del fronte di discesa del clock: Q si por ta a '1'? In altri termini quando CK transisce basso il circuito "fa in tempo" o "rendersi conto" che $J = 1$?

NO, lo stato di Q non è noto a priori

J deve essere asserted al livello '1' con un certo anticipo rispetto al fronte di discesa del clock

Si definisce **SETUP TIME** il tempo in cui il segnale logico in ingresso deve essere stabile prima che il segnale di clock presenti il fronte di commutazione "utile"

Si definisce **HOLD TIME** il tempo in cui il segnale di ingresso deve rimanere stabile dopo che il segnale di clock abbia presentato il fronte di commutazione "utile"

