



## PORTE LOGICHE COMPLESSE IN TECNOLOGIA CMOS

Lo schema generico di una porta CMOS che implementa una funzione logica complessa di piu' variabili e' riportato nella Fig. 1. La porta logica CMOS e' costituita da una rete di transistori NMOS (rete di *pull-down*) ed una rete di transistori PMOS (rete di *pull-up*). Ogni rete e' costituita da un ugual numero di transistori connessi in maniera tale da realizzare la funzione logica richiesta. Ogni variabile di ingresso richiede un transistorore NMOS nella rete di *pull-down* ed un transistorore PMOS nella rete di *pull-up*. Le due reti sono connesse tra l'alimentazione e massa e l'uscita e' presa tra le due reti.

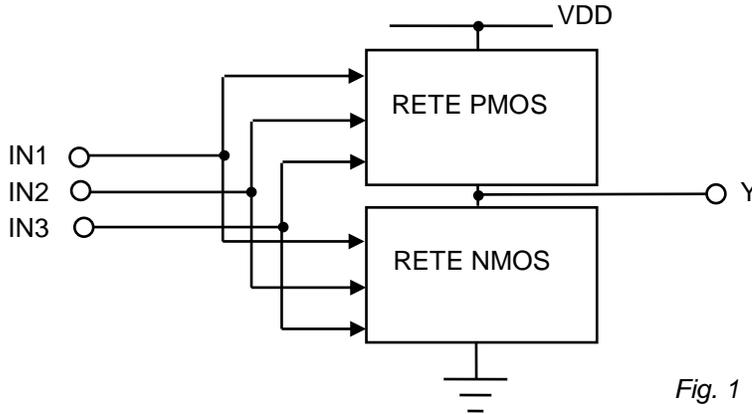


Fig. 1

Per realizzare le reti di *pull-up* e di *pull-down* ricordiamo che la funzione OR tra variabili richiede la connessione in parallelo degli interruttori equivalenti mentre la funzione AND la loro connessione in serie. Una somma di prodotti e' realizzata ponendo in parallelo piu' rami di transistori in serie, mentre un prodotto di somme e' realizzato ponendo in serie piu' rami di transistori in parallelo.

Alla rete NMOS sono applicate le variabili logiche effettive e vi e' una operazione di negazione (NOT) tra l'ingresso e l'uscita, mentre agli "interruttori" della rete PMOS e' come se fossero applicate le variabili negate e non vi e' inversione tra ingresso e uscita, in quanto gli "interruttori" si trovano tra l'alimentazione e l'uscita. La variabile di uscita deve, quindi, essere ottenuta sia come funzione logica negata delle variabili di ingresso (rete degli NMOS) che come funzione logica delle variabili di ingresso negate (rete dei PMOS). Ricordiamo che questo e' sempre possibile ricorrendo ai teoremi di De Morgan. La rete dei PMOS risultera', quindi, la rete duale di quella degli NMOS in cui viene scambiata la connessione in serie con quella in parallelo e viceversa.

Consideriamo, ad esempio, la funzione logica

$$Y = \overline{A \cdot B + C \cdot (D + E)} = \overline{Y_1 + Y_2 \cdot Y_3}$$

Essa prevede tre livelli di logica e richiede una porta OR, due porte AND e una NOR, come mostrato in Fig. 2.

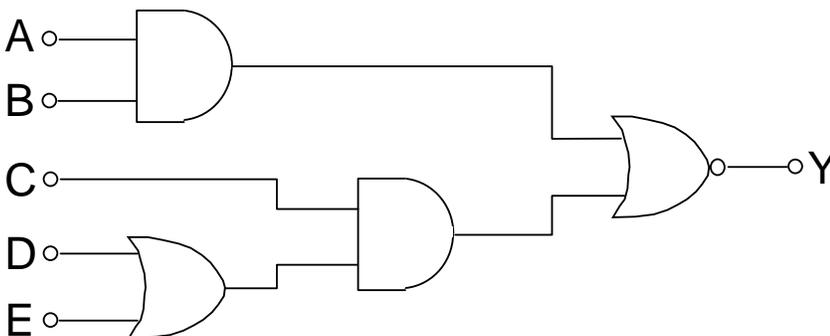


Fig. 2

Con questa realizzazione sono necessarie tre porte elementari in cascata e, quindi, tre passaggi tra ingresso e uscita, con tutti gli svantaggi derivanti relativamente al ritardo di propagazione e alla potenza dissipata.



La stessa funzione logica puo' essere realizzata mediante una porta logica complessa CMOS. Costruiamo la rete di *pull-down* (cioe' la rete degli NMOS):

- poniamo in parallelo due rami che realizzino la funzione logica  $Y_1$  e quella  $Y_2 \cdot Y_3$  rispettivamente.
- $Y_1$  e' realizzata ponendo in serie due NMOS pilotati dagli ingressi A e B.
- $Y_2 \cdot Y_3$  e' realizzata ponendo un NMOS pilotato dalla variabile di ingresso C in serie al parallelo di altri due NMOS pilotati da D e da E.

La rete di *pull-down* cosi' ottenuta e' mostrata in Fig. 3 e realizza la funzione logica  $\bar{Y} = A \cdot B + C \cdot (D + E)$ .

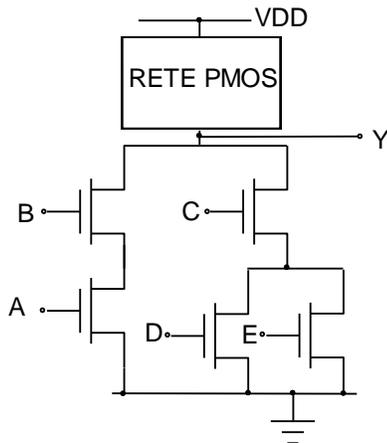


Fig. 3

La rete di *pull-up* e' realizzata in maniera duale rispetto alla rete di *pull-down*, esprimendo la variabile di uscita in funzione delle variabili logiche di ingresso negate:

$$Y = A \cdot B + C \cdot (D + E) = \overline{\overline{A \cdot B + C \cdot (D + E)}} = \overline{(\overline{A \cdot B}) \cdot (\overline{C \cdot (D + E)})} = \overline{(\overline{A + B}) \cdot (\overline{C + D \cdot E})}$$

In Fig. 4 e' mostrata la porta logica CMOS completa che realizza la funzione logica desiderata.

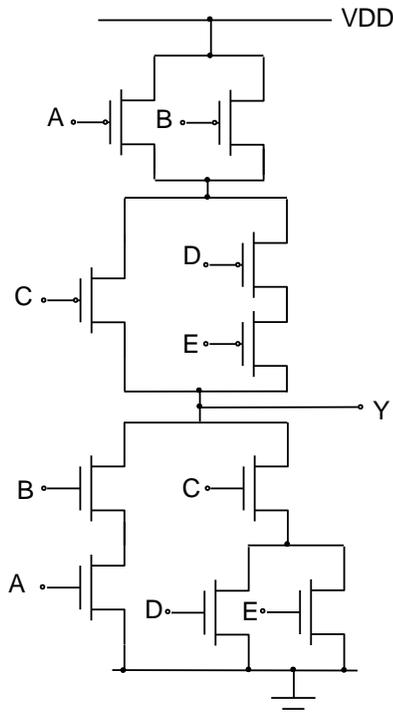


Fig. 4

Vediamo ora come dimensionare i fattori di forma (W/L) dei diversi transistori in modo da poter garantire un dato ritardo di propagazione anche nella condizione piu' sfavorevole, cioe' quella in cui la corrente per scaricare o caricare la capacita' di carico e' la minima. Effettuiamo il dimensionamento facendo ricorso al concetto di



INVERTITORE EQUIVALENTE, cioè alla struttura di invertitore elementare formato da un PMOS e da un NMOS rispettivamente equivalenti alla rete di *pull-up* ed alla rete di *pull-down* a cui si può ricondurre ogni porta logica CMOS indipendentemente dalla sua complessità, una volta assegnata una combinazione degli ingressi.

Vediamo quale è la condizione più gravosa nel caso della porta logica CMOS mostrata in Fig. 4.

Nel passaggio dell'uscita dal livello logico basso a quello alto (carica della capacità di carico attraverso la rete dei PMOS) la condizione più sfavorevole si ha quando conduce uno solo dei due rami in parallelo (per ogni blocco in serie) e nel secondo blocco quando si trovano a condurre i due PMOS in serie pilotati dagli ingressi D e E.

Nel passaggio dell'uscita dal livello logico alto a quello basso (scarica della capacità di carico attraverso la rete degli NMOS) la condizione più gravosa si ha quando conduce solo uno dei due rami in parallelo e uno solo dei due NMOS pilotati dagli ingressi D e E per quanto riguarda il ramo di destra.

Solitamente si impone l'uguaglianza del tempo di propagazione alto-basso ( $t_{PHL}$ ) e del tempo di propagazione basso-alto ( $t_{PLH}$ ); quindi, si richiede che l'invertitore equivalente abbia

$$k_N = |k_P|$$

e quindi

$$(W/L)_{P, EQ} = 2.5(W/L)_{N, EQ}$$

dove  $(W/L)_{EQ}$  indica il fattore di forma del MOS dell'invertitore equivalente.

In generale per i MOS in parallelo

$$\left(\frac{W}{L}\right)_{EQ} = \sum_k \left(\frac{W}{L}\right)_k$$

e per i MOS in serie

$$\left(\frac{W}{L}\right)_{EQ} = \frac{1}{\sum_k \left(\frac{L}{W}\right)_k}$$

Nel caso della porta logica CMOS riportata in Fig. 4 dobbiamo considerare per i PMOS le configurazioni:

- A (B) in serie con la serie di D ed E (la più gravosa)
- A (B) in serie con C

Per la rete degli NMOS

- C in serie con D (E)
- A in serie con B

entrambe equivalenti ai fini della velocità di risposta dell'uscita.

Pertanto se assumiamo per l'inverter equivalente i seguenti fattori di forma

$$(W/L)_N = 2 \quad (W/L)_P = 5$$

che saranno scelti nella pratica per soddisfare i requisiti di un determinato ritardo di propagazione:

- la serie dei tre PMOS pilotati dalle variabili A (B), D, E deve mostrare un  $(W/L)_{P, EQ} = 5$ , quindi:

$$(W/L)_{P, A} = (W/L)_{P, B} = (W/L)_{P, D} = (W/L)_{P, E} = 5 \cdot 3 = 15$$

- la serie dei due PMOS pilotati dalle variabili A (B), C deve mostrare un  $(W/L)_{P, EQ} = 5$ , quindi:

$$(W/L)_{P, C} = 7.5$$

Sarebbe uno spreco di area inutile avere un  $(W/L)_{P, C}$  maggiore.

- la serie di due NMOS deve mostrare un  $(W/L)_{N, EQ} = 2$ , quindi:

$$(W/L)_{N, A} = (W/L)_{N, B} = (W/L)_{N, C} = (W/L)_{N, D} = (W/L)_{N, E} = 2 \cdot 2 = 4$$

In questo modo le transizioni

A, B	0 → 1	A, C	1 → 0
C, D	0 → 1	B, C	1 → 0
C, E	0 → 1	A, D, E	1 → 0
		B, D, E	1 → 0

avranno uguali tempi di propagazione, mentre le combinazioni di ingressi che portano più di un NMOS tra quelli in parallelo a condurre presenteranno tempi di propagazione minori.