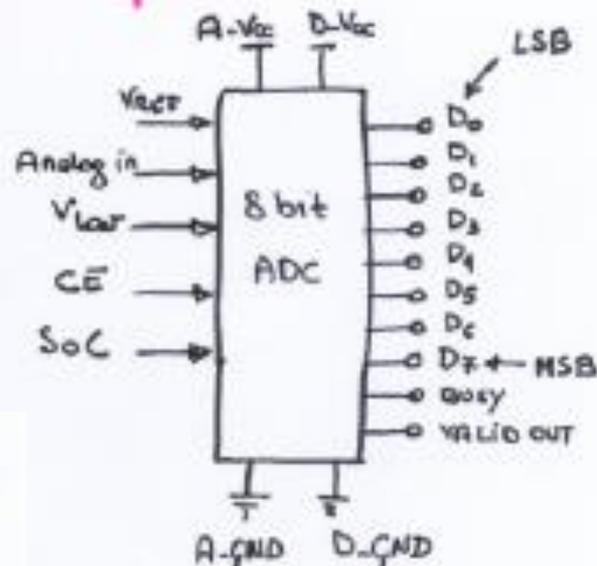
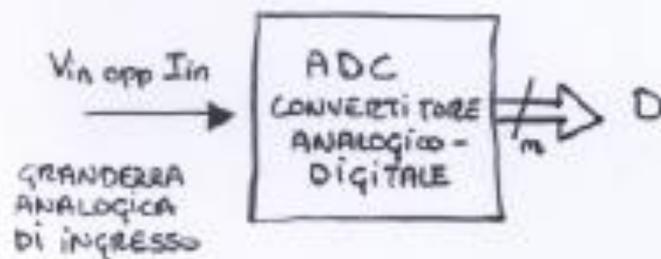


CONVERTITORI ANALOGICO-DIGITALI



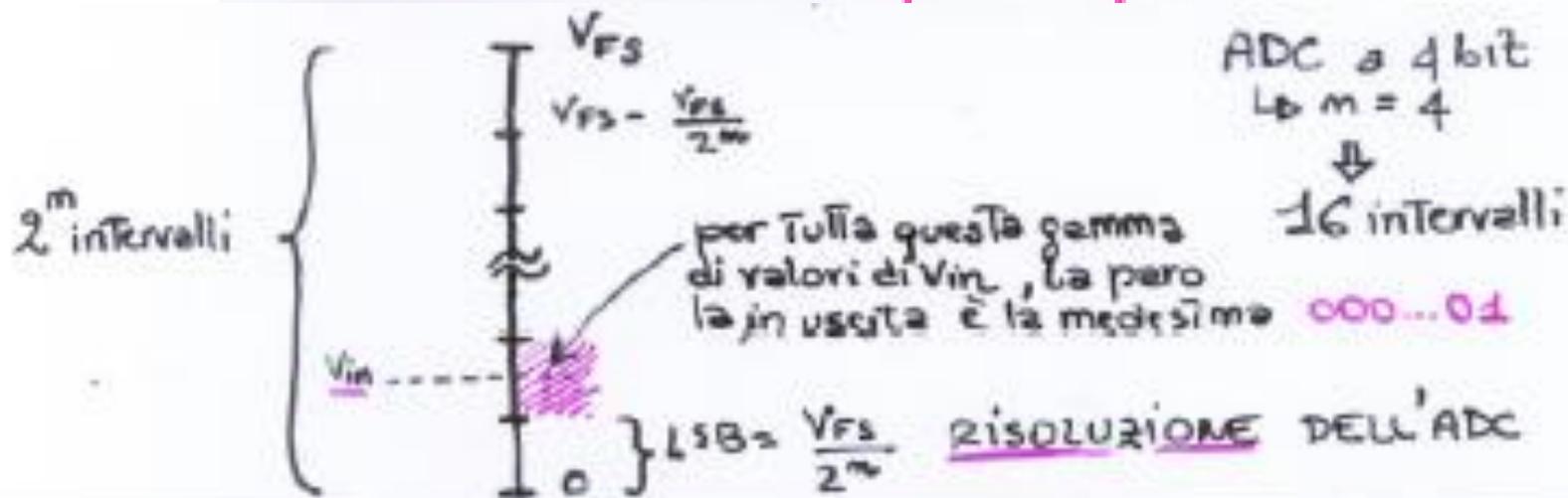
- V_{REF} : valore massimo corrispondente ad un codice di uscita con tutti 1

- V_{LOW} : valore minimo (tipicamente GND) corrispondente ad un codice di uscita con tutti 0

Molti ADC hanno anche pin per funzionalità aggiuntive:

- CE (Chip Enable): abilita o meno l'ADC spegnendo la circuiteria interna e mettendola in High Z
- SoC (Start of Conversion): per dare il via alla conversione
- $Busy$: quando è attivo indica che all'interno dell'ADC è in corso la conversione
- $VALID OUT$: indica il completamento della conversione

CONVERTITORI ANALOGICO-DIGITALI



* la medesima parola digitale in uscita può essere fornita per una gamma di valori in ingresso pari alla risoluzione dell'ADC considerato \rightarrow CARATTERISTICA A SCALINATA

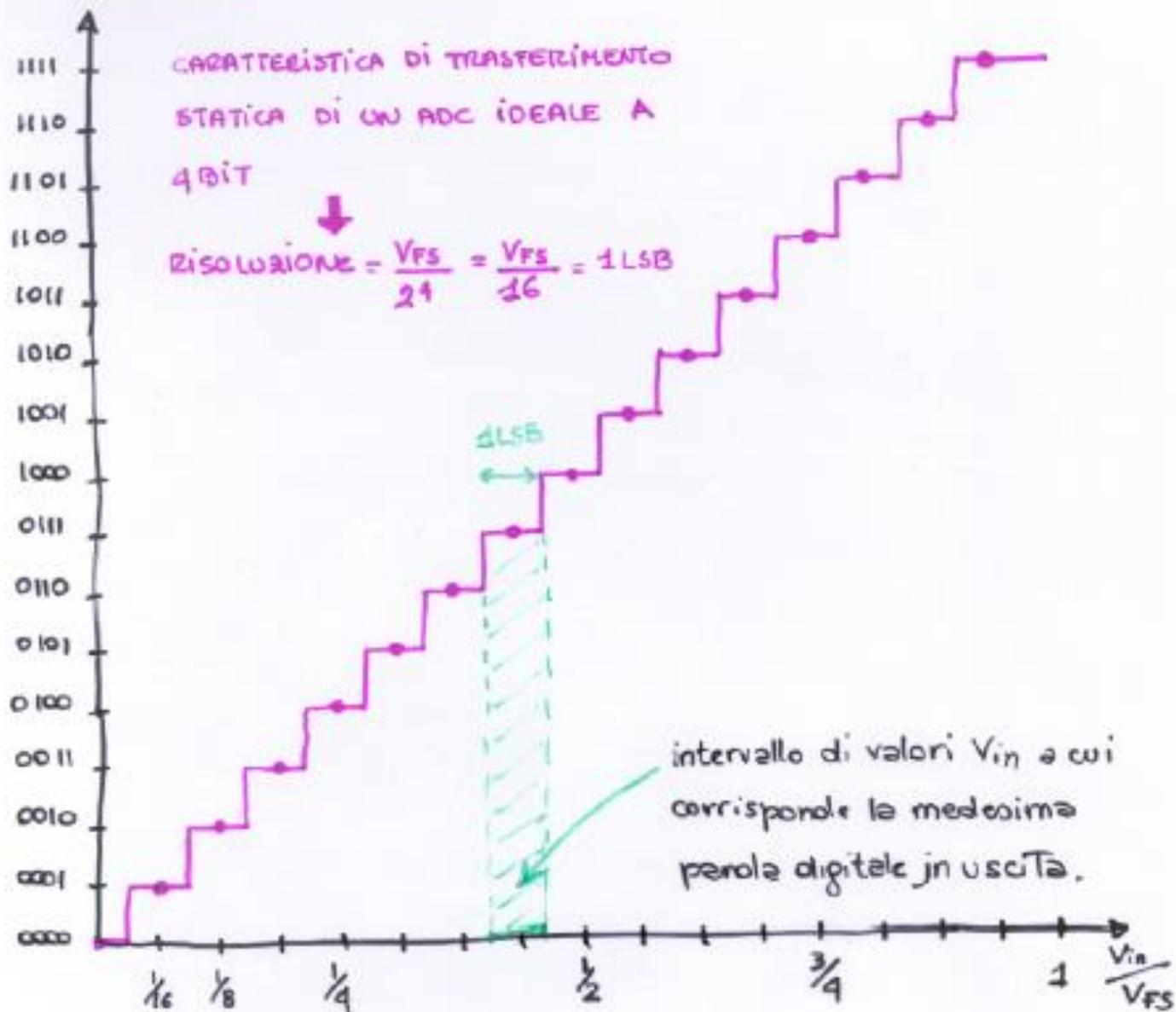
* per comodità si sono fatti cadere i salti tra un gradino col successivo esattamente a metà degli intervalli di tensione in cui è divisa la dinamica possibile



la battuta del primo gradino è pari a $\frac{1}{2} LSB$

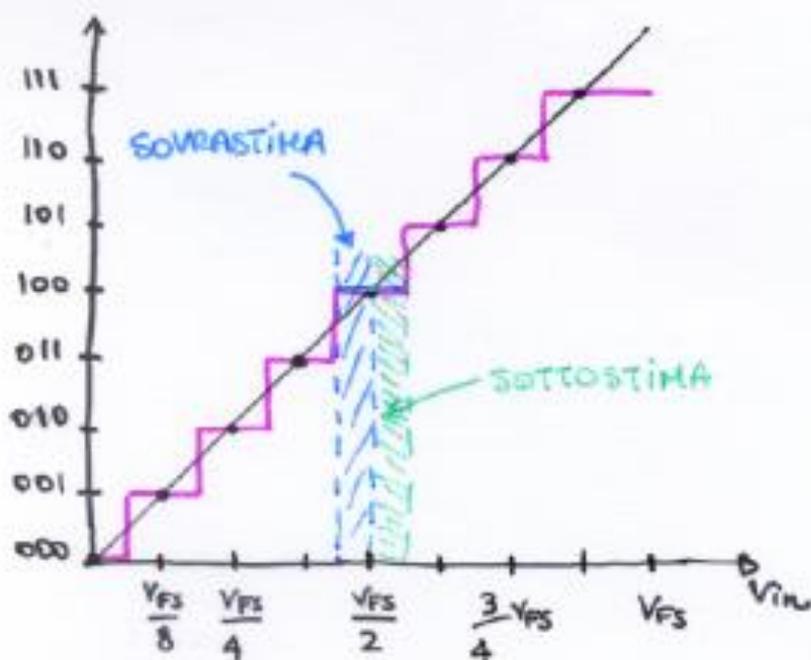
la battuta dell'ultimo gradino è pari a $\frac{3}{2} LSB$

CARATTERISTICA DI TRASFERIMENTO STATICA DI UN ADC



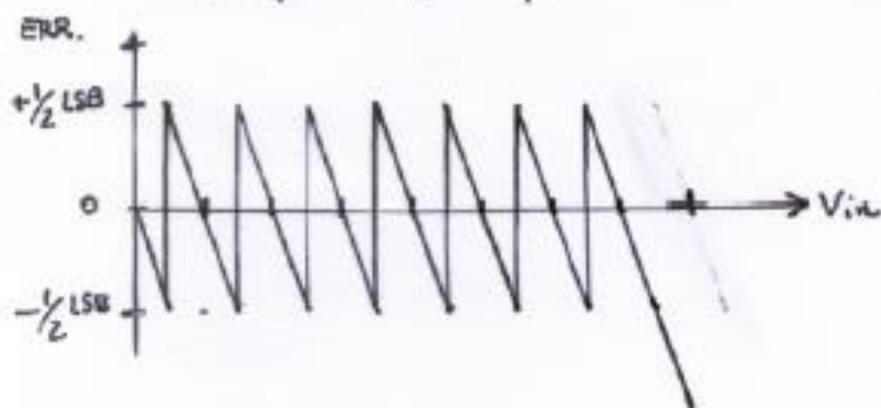
ERRORE DI QUANTIZZAZIONE

Per effetto della forma a scalinata della caratteristica di uscita al crescere di V_{in} ciascun codice in uscita dapprima sovrastima la tensione di ingresso e poi sottostima



ADC a 3 bit

$$\downarrow$$
$$\Delta \text{LSB} = \frac{V_{FS}}{2^3} = \frac{V_{FS}}{8}$$



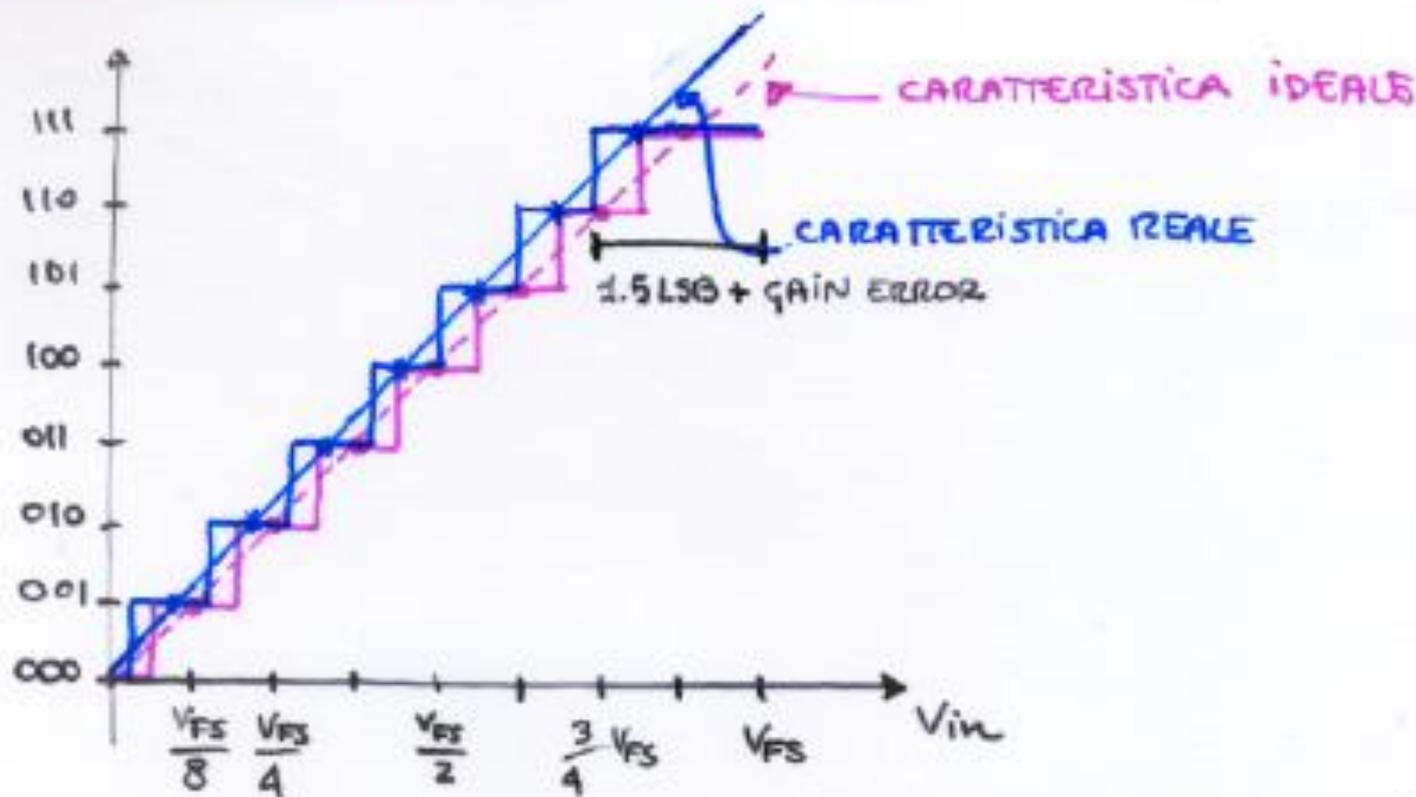
ERRORE DI QUANTIZZAZIONE

- * l'errore di quantizzazione è "insito" nel processo stesso di conversione attraverso una caratteristica a scalinata invece della teorica caratteristica rettilinea e la sua "entità" dipende dalla risoluzione dell'ADC considerato
- * valore quadratico medio dell'errore (supposto a media nulla):

$$\sigma_q^2 = \frac{1}{LSB} \int_0^{LSB} (err)^2 d\alpha = \frac{LSB^2}{12}$$

↳ valore efficace : $\sigma_q = \frac{LSB}{\sqrt{12}}$

ERRORE DI QUADAGNO

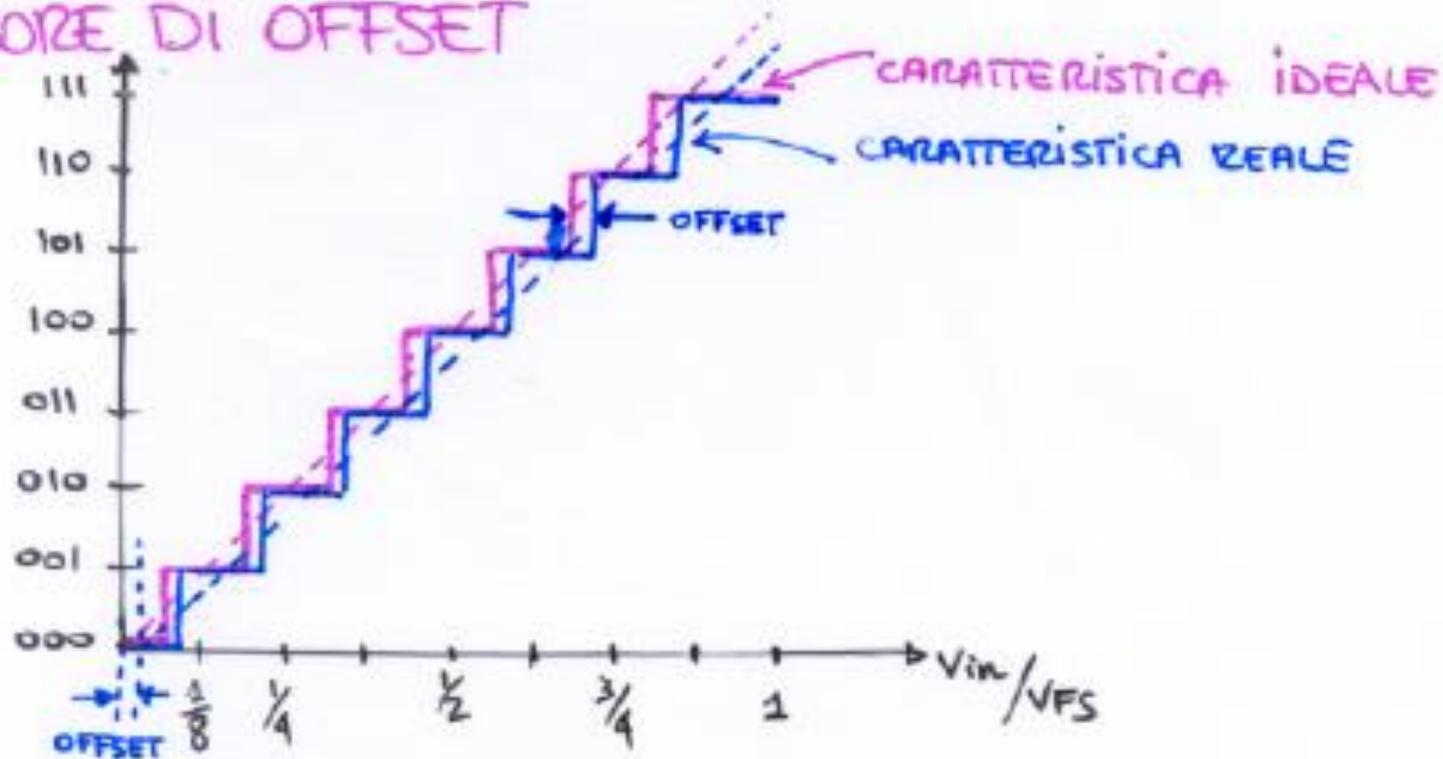


* Pendenza della retta congiungente i punti della prima e dell'ultima Transizione non coincidente con quella ideale



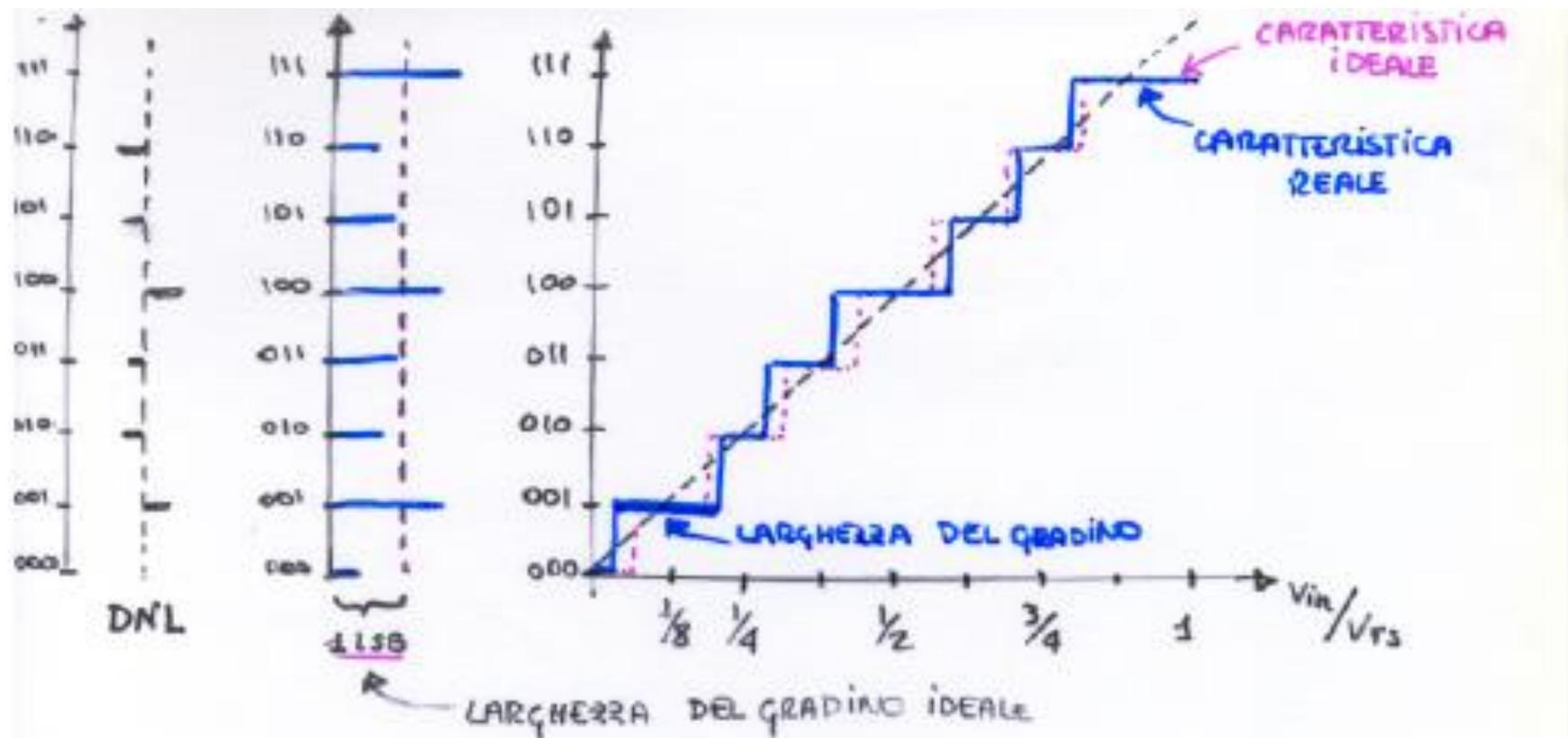
ERRORE DI QUADAGNO: scostamento tra la pendenza ideale e la pendenza reale, cioè differenza tra la larghezza dell'ultimo gradino ed il valore ideale di 1.5 LSB

ERRORE DI OFFSET



ERRORE DI OFFSET: differenza di larghezza del primo gradino rispetto al valore ideale di 0.5 LSB

NON-LINEARITÀ DIFFERENZIALE (DNL)

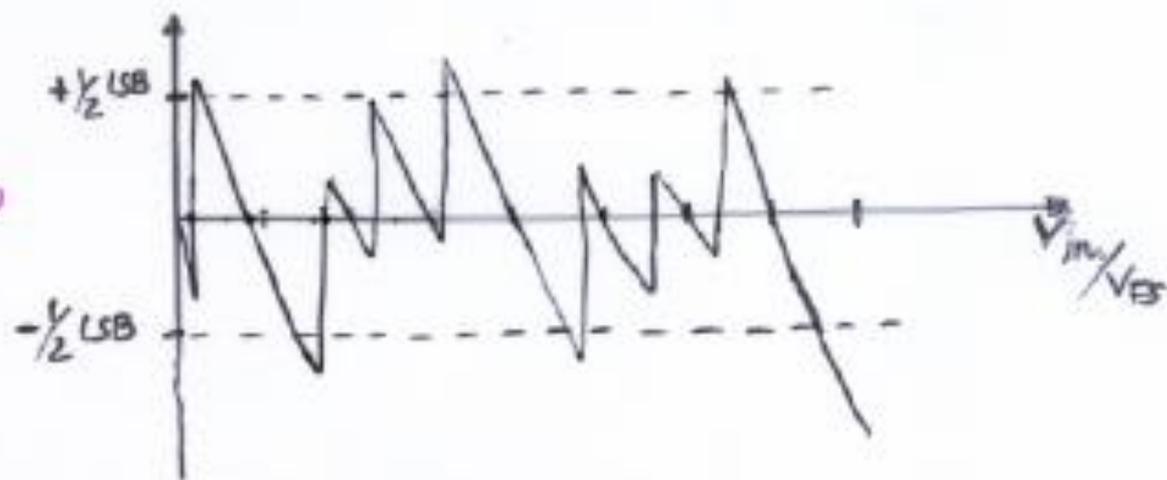


NON-LINEARITÀ DIFFERENZIALE (DNL): scostamento tra la larghezza dell' i -esimo gradino ed il suo valore ideale pari a $1LSB$
La DNL dei due codici estremi è calcolata sottraendo il valore ideale di $0.5LSB$ e di $1.5LSB$

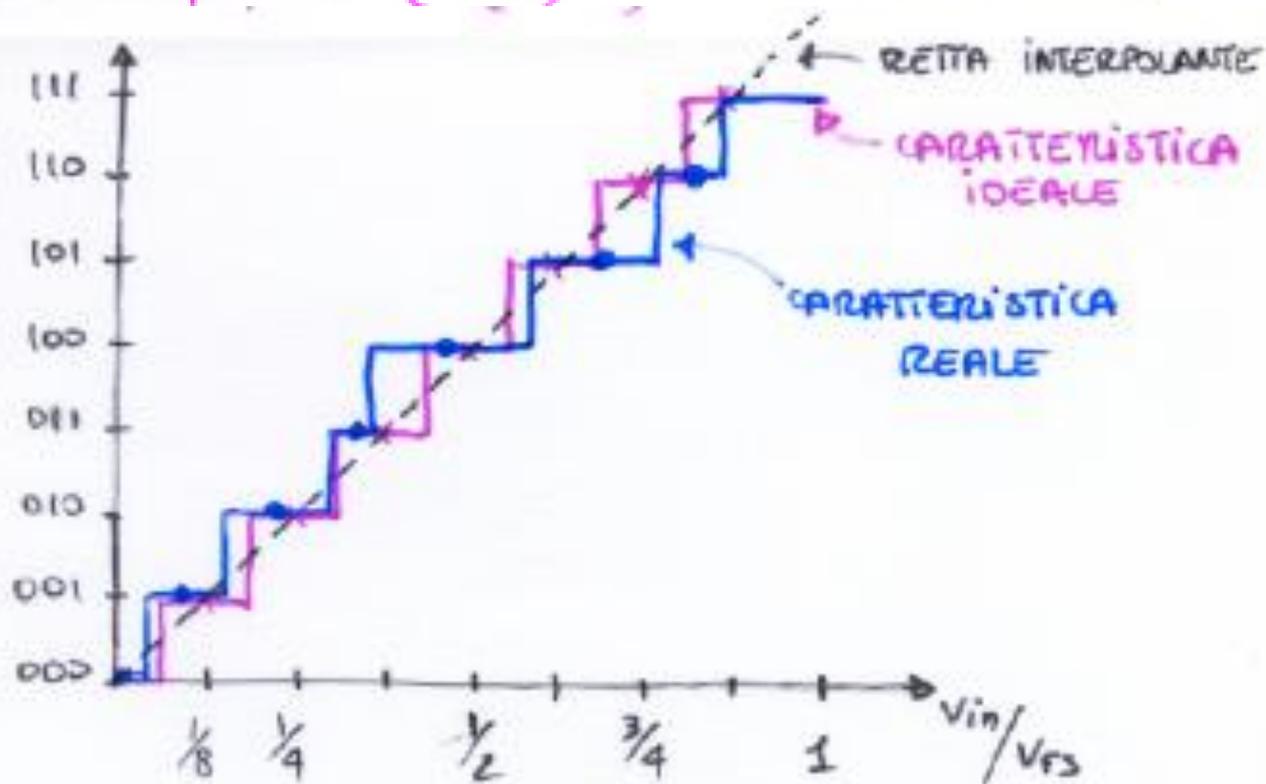
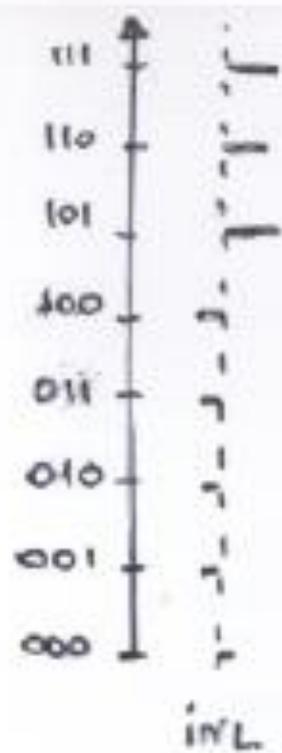
NON-LINEARITÀ DIFFERENZIALE (DNL)

La presenza di DNL in un ADC reale è causata da un errore di quantizzazione che si discosta da quello di un ADC ideale a pari numero di bit. Infatti ogni gradino più largo di 1LSB corrisponde ad un errore di quantizzazione maggiore di $\pm \frac{1}{2}$ LSB, mentre a gradini più stretti di 1LSB corrisponde un errore di quantizzazione inferiore a $\pm \frac{1}{2}$ LSB.

ERRORE DI
QUANTIZZAZIONE IN
UN ADC REALE
AFFETTO DA DNL



NON-LINEARITÀ INTEGRALE (INL)



NON-LINEARITÀ INTEGRALE: scostamento tra il centro del gradino reale e quello ideale

NON-LINEARITÀ INTEGRALE (INL)

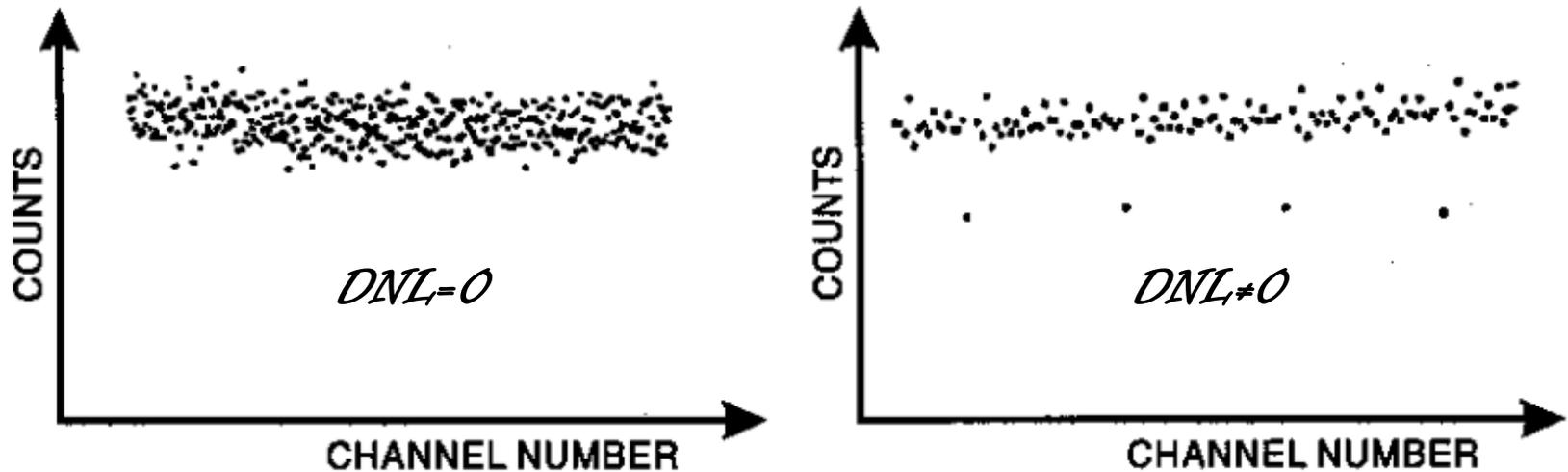
Lo scostamento può essere definito rispetto a:

- * caratteristica ideale (bisettrice del 1° quadrante)
- * retta interpolante ai minimi quadrati i centri dei gradini reali
- * retta congiungente il centro del primo gradino con il centro dell'ultimo gradino.

La non-linearità integrale relativa ad un dato codice è la somma algebrica delle non-linearità differenziali relative a tutti i codici precedenti.

Effetto della non-linearità differenziale

- *Si applica in ingresso all'ADC un segnale di ampiezza casuale (o una rampa lenta e precisa) che copra tutto il range dell'ADC*
- *L'istogramma dei conteggi deve essere piatto*
- *La presenza di DNL introduce delle strutture non corrispondenti alla reale distribuzione delle ampiezze in ingresso.*

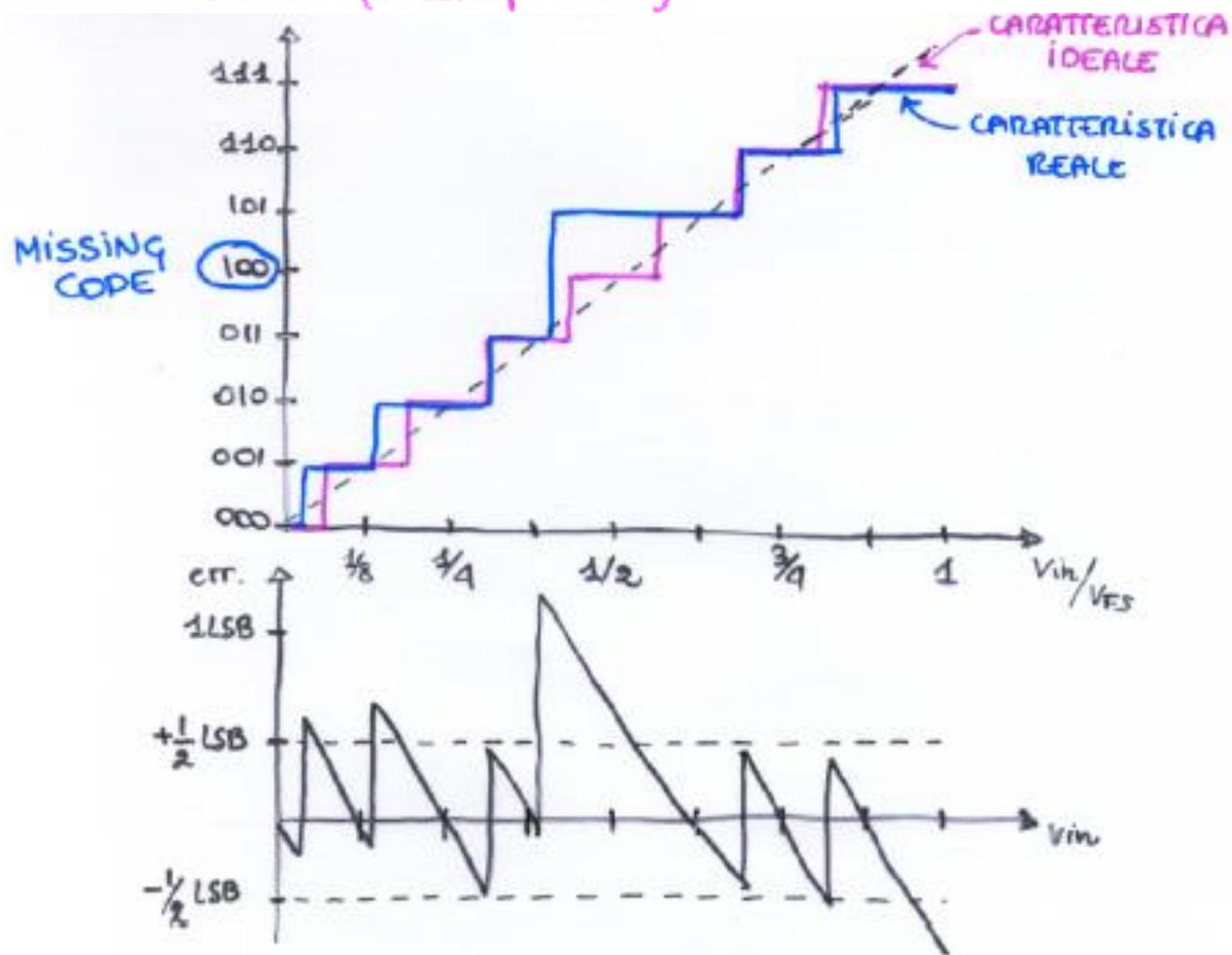


From A. Cardini, INFN Cagliari

Sliding-scale (regolo scorrente)

- *Questa tecnica permette di mitigare l'effetto della non-linearità differenziale dell'ADC.*
- *Normalmente impulsi di ampiezza definita finiscono sempre nello stesso bin di conversione e se questo è affetto da DNL ne paghiamo gli effetti.*
- *Con la tecnica del «regolo scorrente» si somma una tensione analogica casuale al segnale in ingresso e la sua equivalente codifica digitale è sottratta alla parola digitale frutto della conversione.*
- *La parola digitale risultante è ovviamente la stessa che si avrebbe in assenza di sliding scale, ma la conversione è effettuata in un punto casuale della scala, mitigando così l'effetto della DNL.*
- *Lo svantaggio è la riduzione del range disponibile dell'ADC (poiché sommiamo una tensione alla tensione in ingresso).*

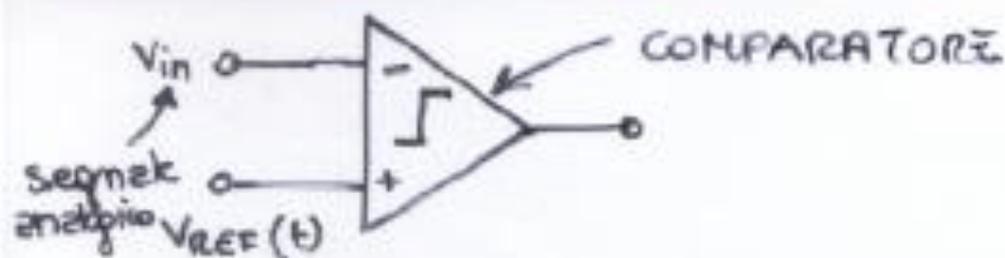
ERRORE DA CODICE MANCANTE (MISSING CODE)



d'errore da codice mancante si riferisce al fatto che esiste una parola digitale che non verrà mai fornita in uscita dall'ADC (MISSING CODE).

La presenza di codici mancanti è fonte di errore di quantizzazione necessariamente maggiore di $1LSB$.

STRUTTURA BASE DI UN ADC



↑ tensione di riferimento variata nel tempo secondo opportuni criteri

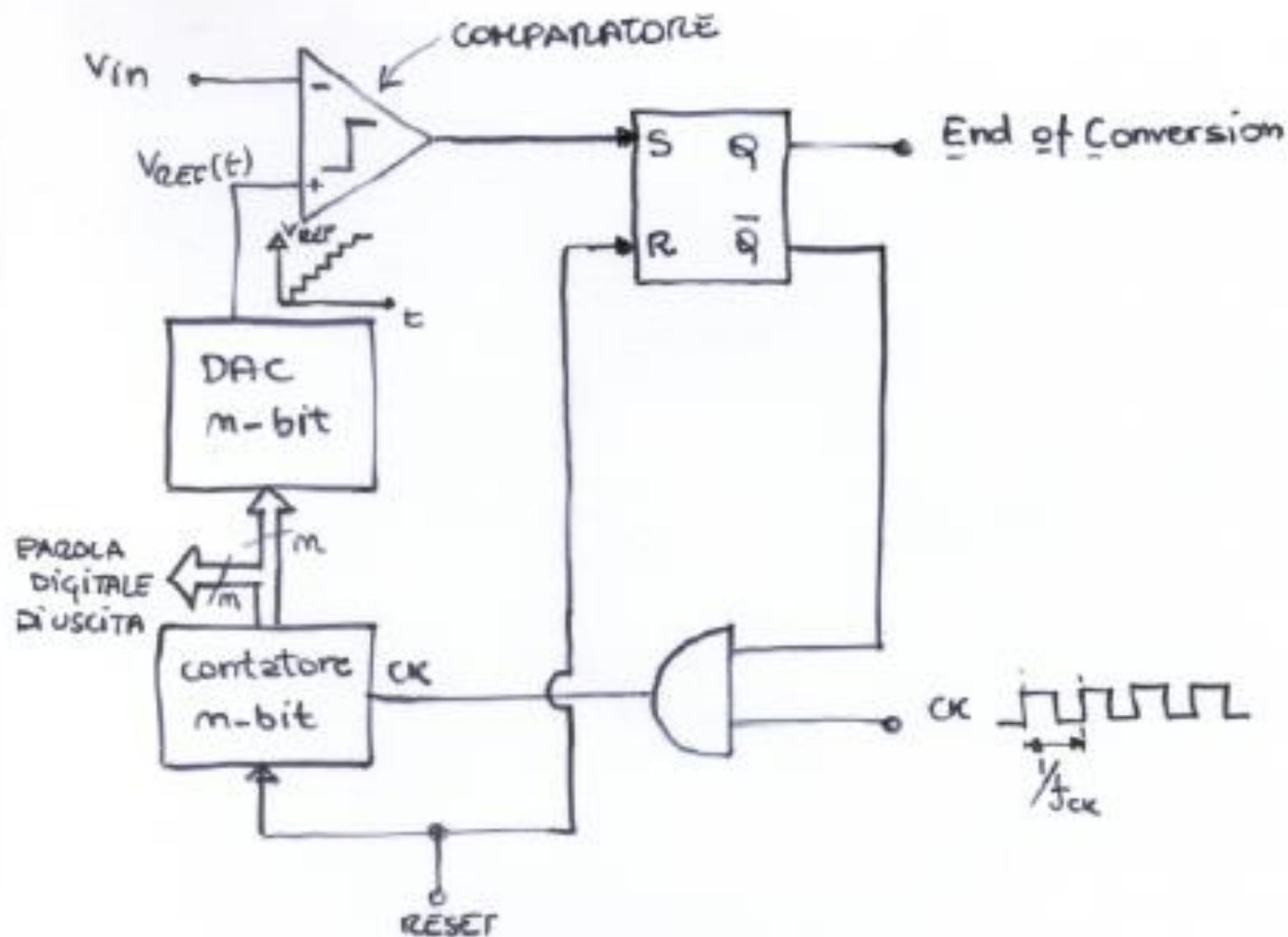
- V_{in} è mantenuta costante durante tutto il tempo della conversione da μm S&H

- quando $|V_{in} - V_{REF}(\bar{t})| \leq \frac{1}{2} \text{LSB}$

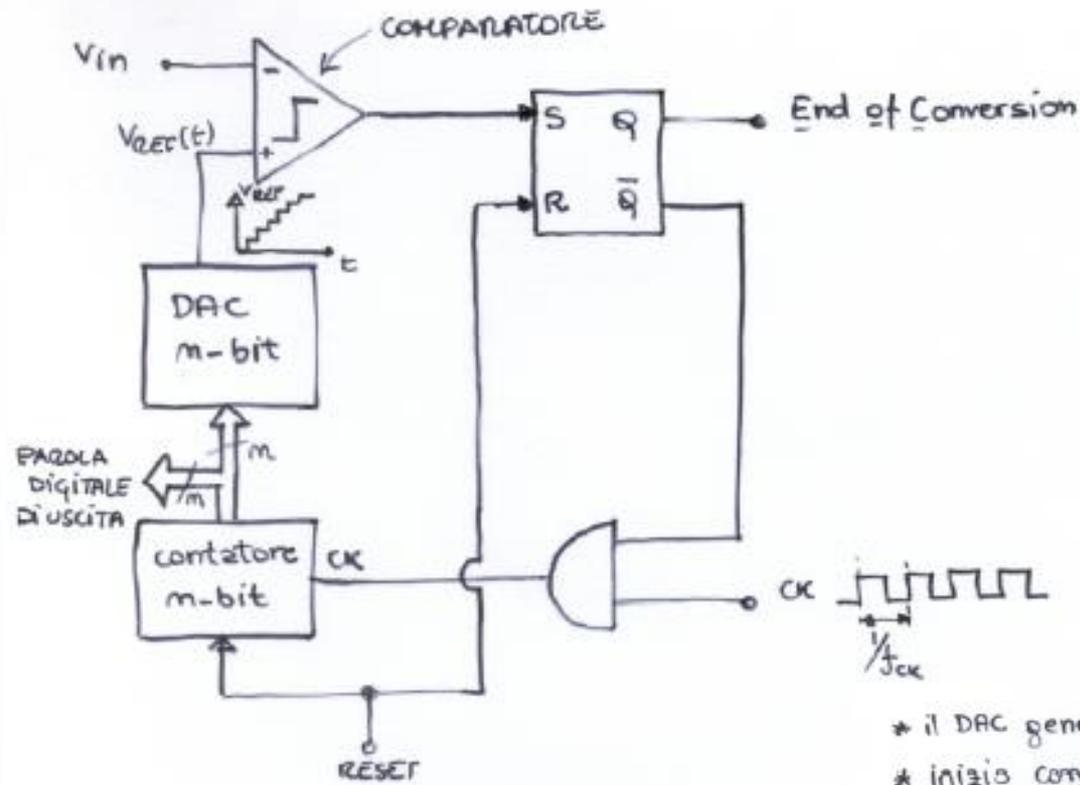


la logica di controllo dell'ADC individua il bit della parola digitale corrispondente a $V_{REF}(\bar{t})$ e quindi della parola digitale che rappresenta il codice di conversione della tensione in ingresso.

ADC A GRADINATA (1)



ADC A GRADINATA (1)



- * il DAC genera una sequenza di 2^m valori discreti
- * inizio conversione: il RESET azzerà il contatore ed azzererà il reset di un FF SR $\Rightarrow \bar{Q} = 1$ e il segnale di clock viene dato al contatore \Rightarrow ad ogni colpo di clock l'uscita del DAC si incrementa di 1 LSB
- * quando $V_{REF}(t) > V_{in} \Rightarrow$ comparatore commuta e azzererà il SET del FF $\Rightarrow \bar{Q} = 0$ e viene bloccato il contatore. $E_{OC} = 1 \Rightarrow$ la parola digitale in uscita è quella corrispondente alla tensione analogica di ingresso.

↓
TEMPO DI CONVERSIONE: varia proporzionalmente all'ampiezza del segnale di ingresso.

ADC A GRADINATA (2)

$$V_{in} = 0 \Rightarrow T_{conv}|_{min} = 0$$

$V_{in} \approx V_{FS} \Rightarrow$ l'uscita del DAC necessita di 2^m colpi di clock per portarsi a $(V_{FS} - \frac{V_{FS}}{2^m})$

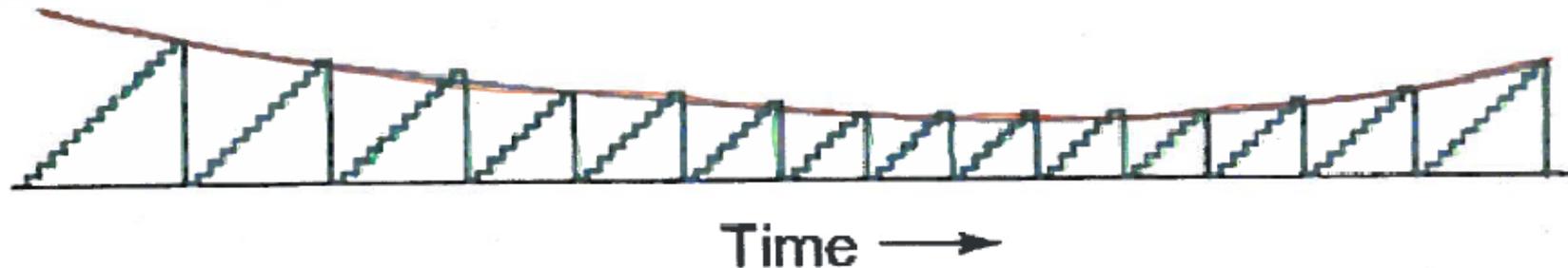
$$\hookrightarrow T_{conv}|_{max} \approx \frac{2^m}{f_{clk}}$$



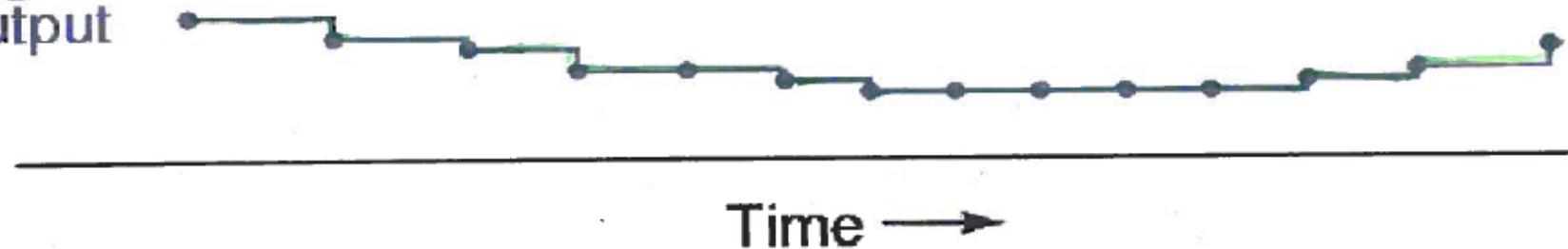
- ☹️ velocità di conversione relativamente bassa
ADC a 10 bit $\Rightarrow V_{in} \approx V_{FS}$ necessita di 1024 colpi di clock per essere convertito
 $f_{clk} = 1\text{MHz} \Rightarrow T_{conv}|_{max} = 1.024\text{ms} \Rightarrow \approx 1000\text{ convers./s}$
- 😊 architettura semplice, basata su pochi blocchi funzionali
 \hookrightarrow ADC economico
- ☹️ la parola digitale fornita in uscita è il più piccolo valore di V_{DAC} che sia maggiore di V_{in} , ma non è necessariamente il valore di V_{DAC} più vicino a $V_{in} \Rightarrow V_{in}$ è sempre sovrastimato

ADC A GRADINATA

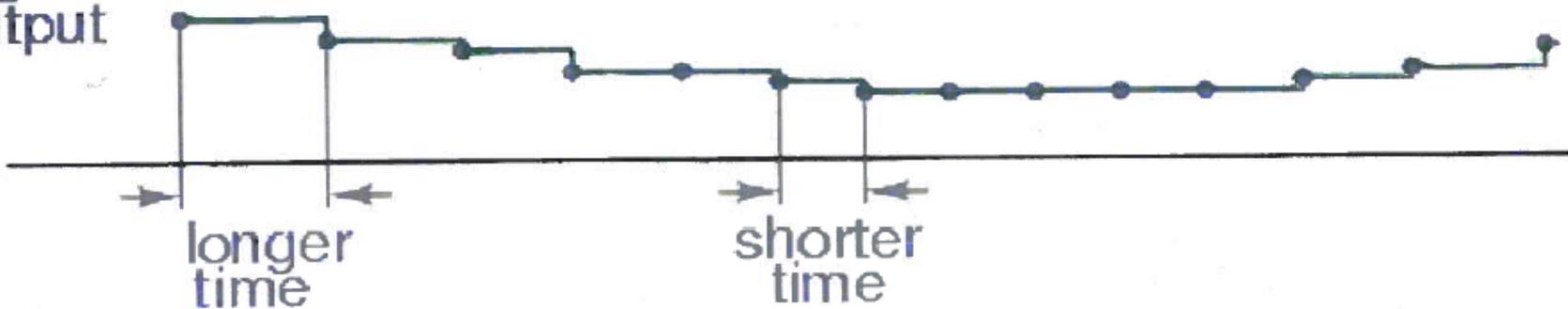
Analog
input



Digital
output

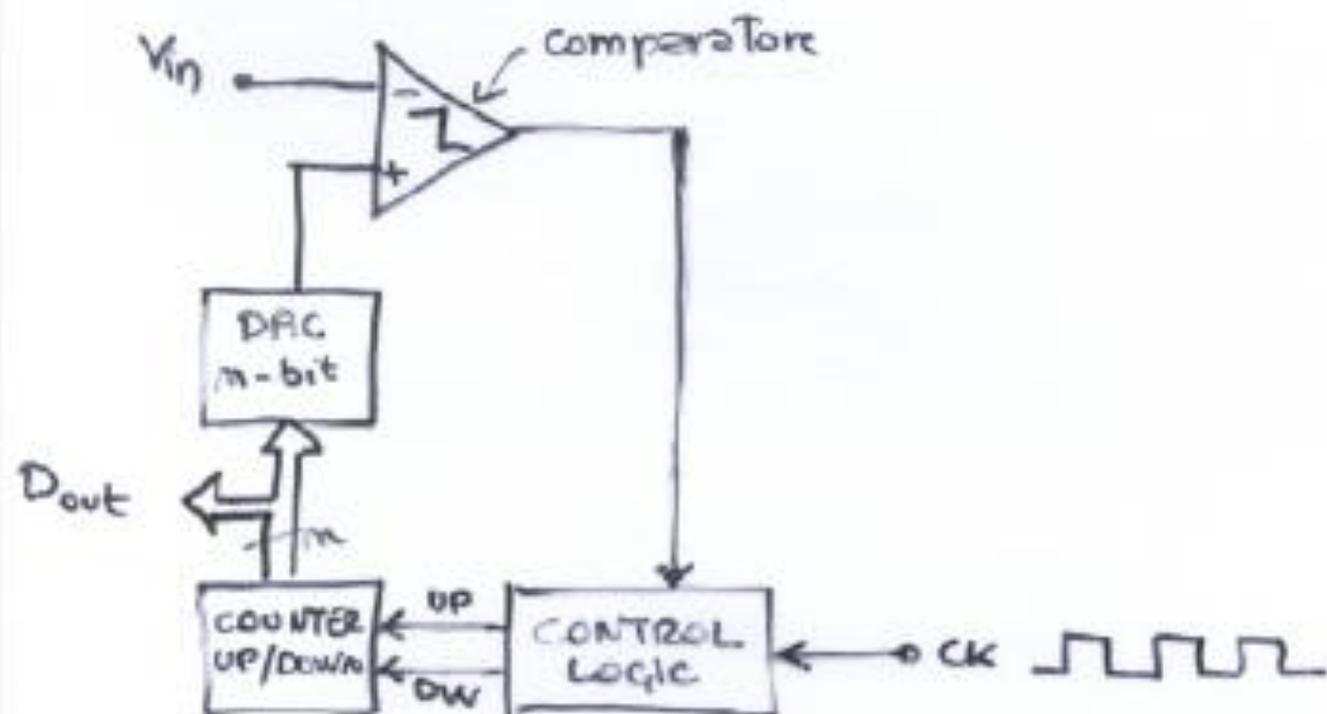


Digital
output

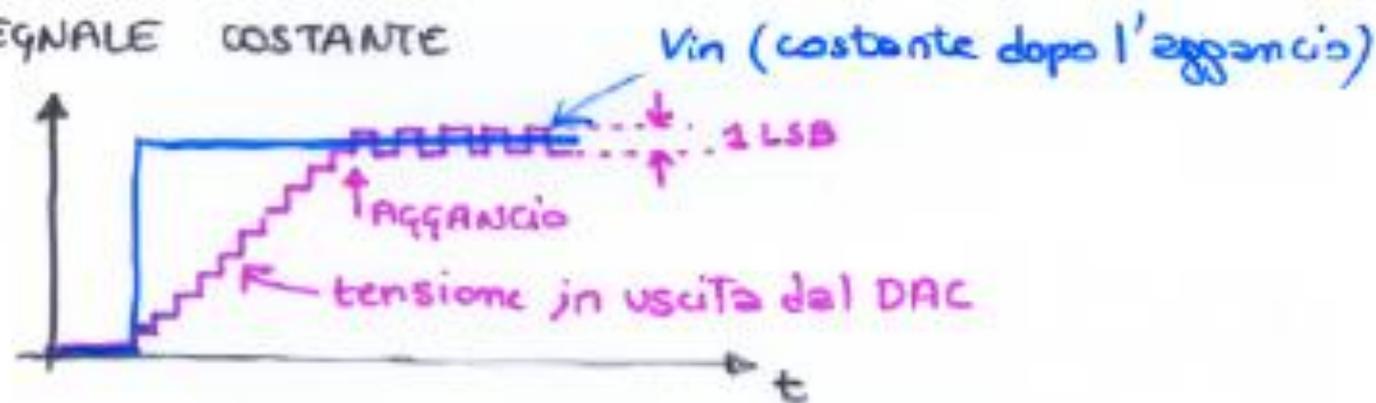


ADC TRACKING

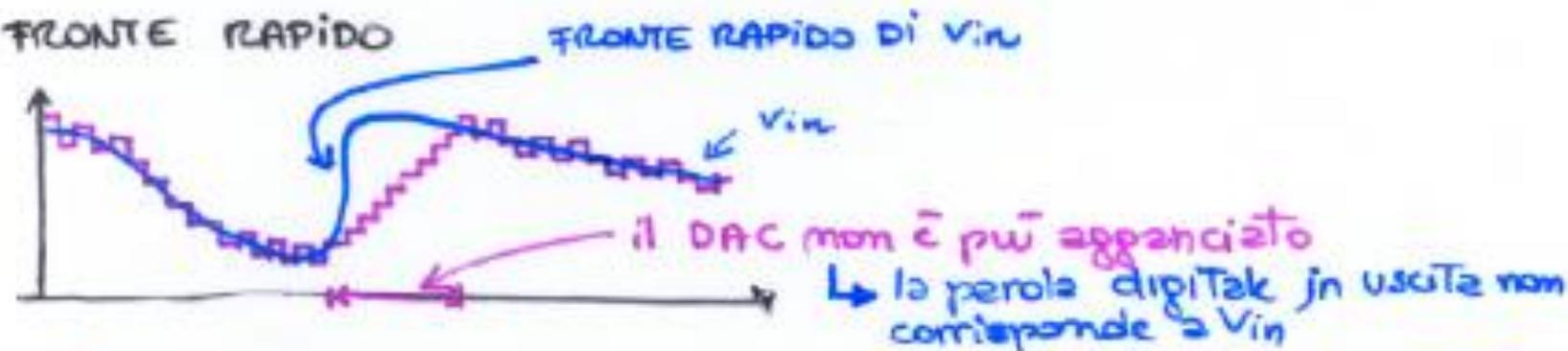
È ottenuto da un ADC a gradinata sostituendo il convertitore con un counter UP/DOWN



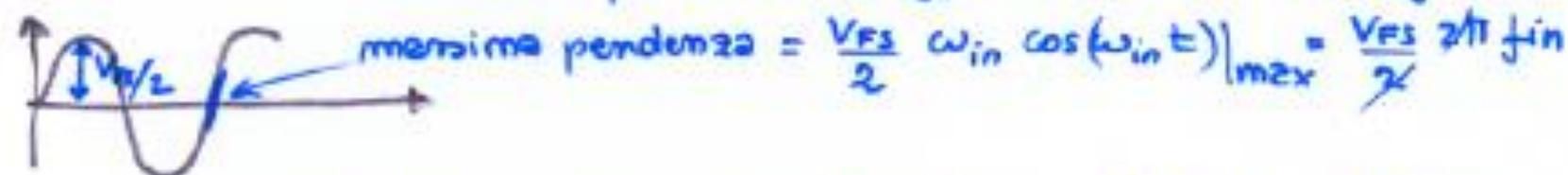
• SEGNALE COSTANTE



• FRONTE RAPIDO



Qual è la massima frequenza di aggancio di un Tracking ADC?

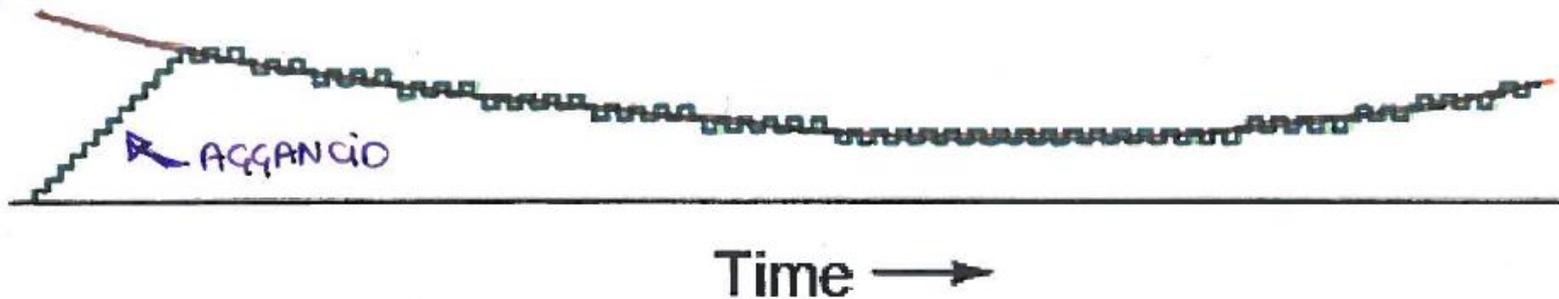


massima velocità di variazione dell'uscita del DAC: $1\text{LSB} \times f_{clk} = \frac{V_{FS}}{2^n} \times f_{clk}$

$\rightarrow V_{FS} \pi f_{in} < \left(\frac{V_{FS}}{2^n}\right) f_{clk} \Rightarrow f_{in} < \frac{f_{clk}}{2^n \pi}$ $f_{clk} = 1\text{MHz}; n = 10 \Rightarrow f_{in} < 300\text{Hz}!!$

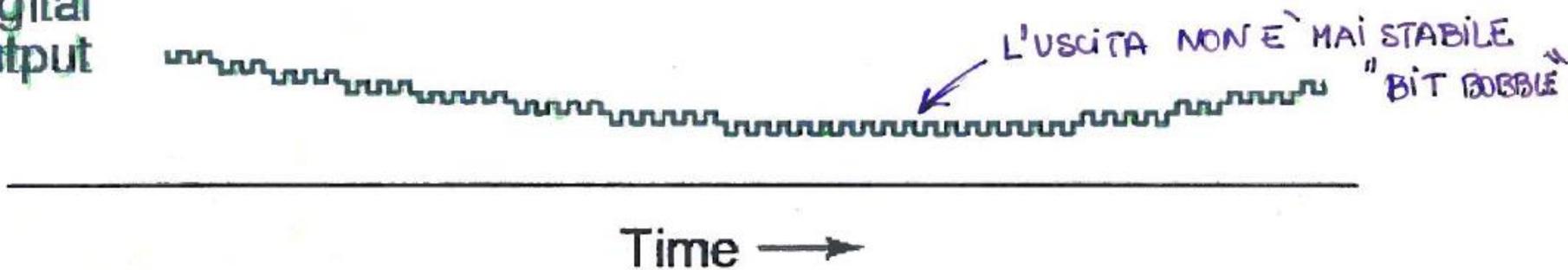
ADC TRACKING

Analog input



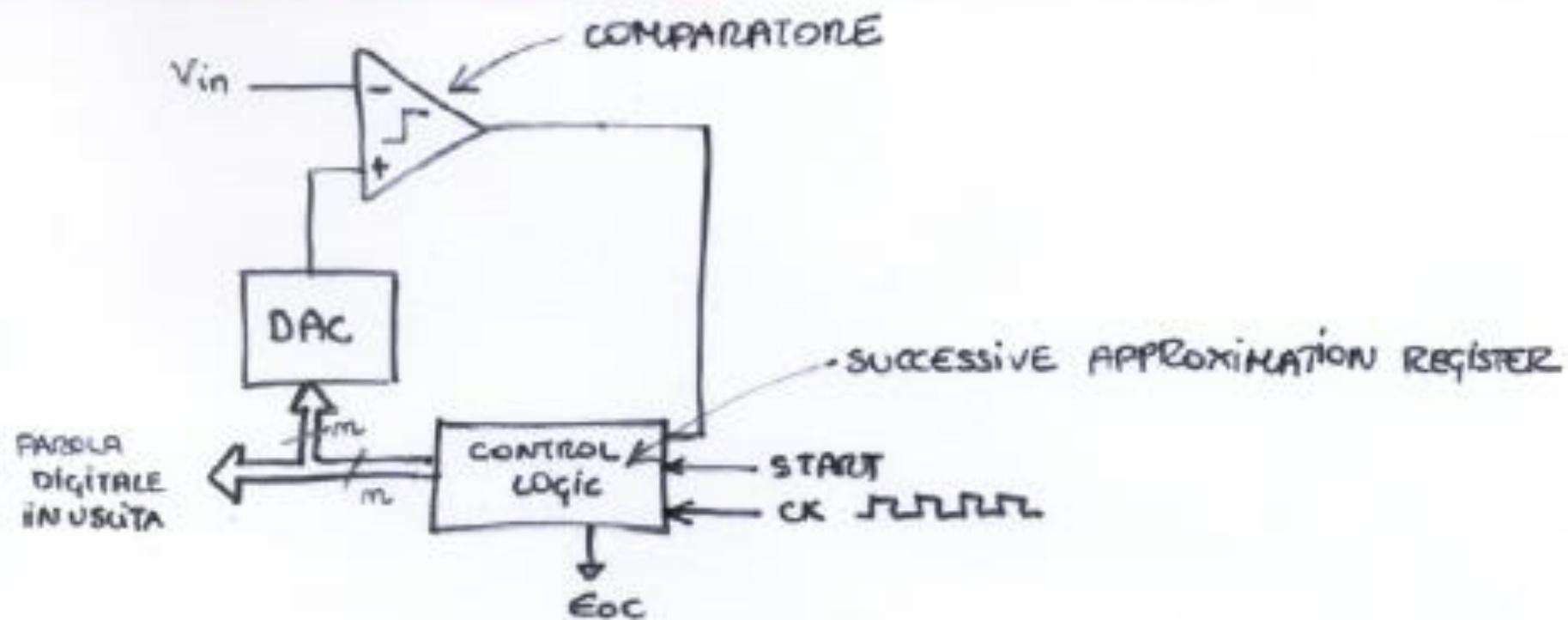
Time →

Digital output



Time →

ADC AD APPROSSIMAZIONI SUCCESSIVE



ADC AD APPROSSIMAZIONI SUCCESSIVE

La logica di controllo asserisce inizialmente il MSB $\Rightarrow V_{DAC} = \frac{V_{FS}}{2}$

$$MSB = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2}$$

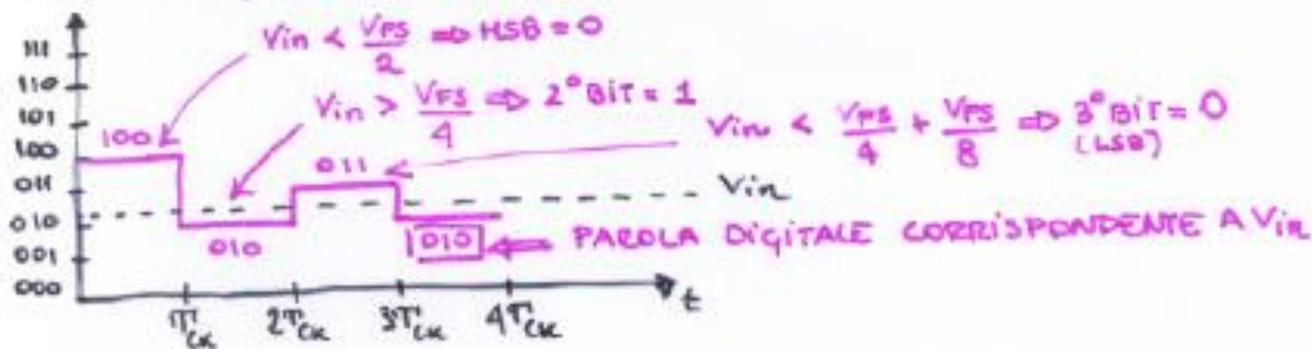
$$MSB = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2}$$

Al secondo colpo di ϕ è asserito il bit successivo

$$(MSB=1) \quad 2^{\circ} BIT = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$$

$$2^{\circ} BIT = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$$

e così via fino all'esaurimento dei bit ...

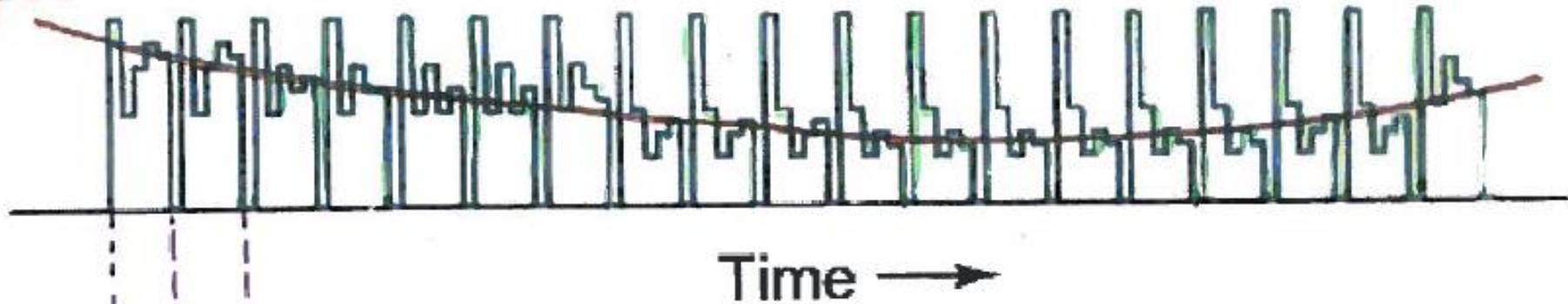


\downarrow
TEMPO DI CONVERSIONE $T_{CONV} = \frac{m}{f_{CK}}$ (ADC-10bit; $f_{CK} = 1MHz \Rightarrow T_{CONV} = 10\mu s$)

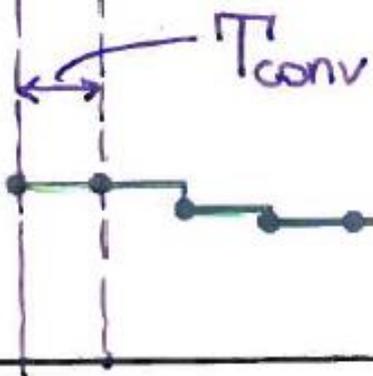
T_{CONV} limitato dal settling time del DAC e dal tempo di risposta del comparatore. In generale, il ritardo della logica SAR è trascurabile.

ADC AD APPROSSIMAZIONI SUCCESSIVE

Analog
input

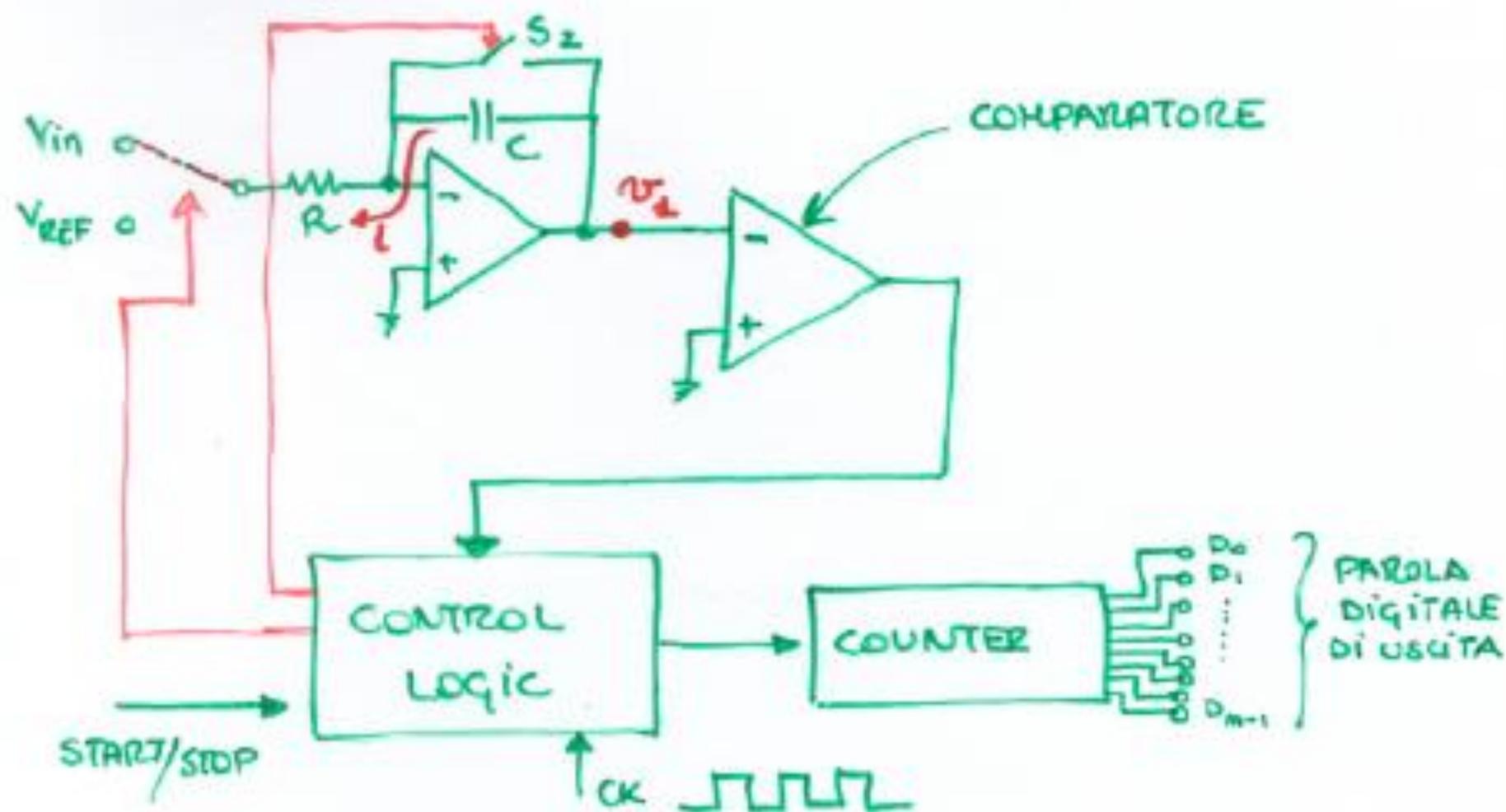


Digital
output



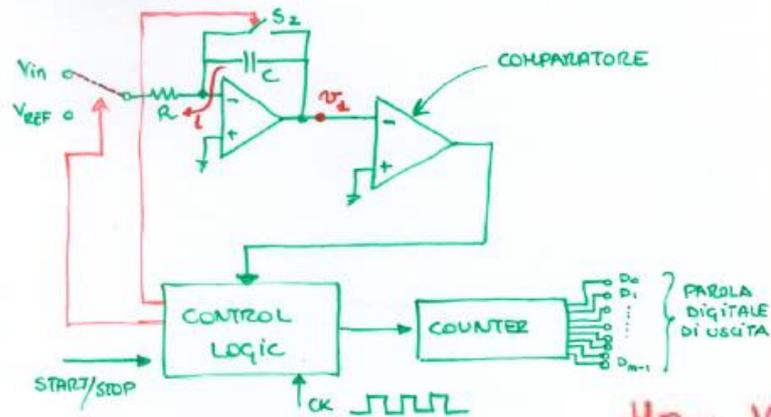
ADC A DOPPIA RAMPA (DUAL-SLOPE ADC) (1)

Architettura idonea per ADC ad elevata risoluzione.



ADC A DOPPIA RAMPA (DUAL-SLOPE ADC) (1)

Architettura idonea per ADC ad elevata risoluzione.



$$\underline{H_P} : V_{in} < 0$$

→ PRIMA DELL'INIZIO DELLA CONVERSIONE: S_2 CHIUSO $\Rightarrow V_2 = 0$

→ INIZIO DEL CICLO DI CONVERSIONE: FASE 1

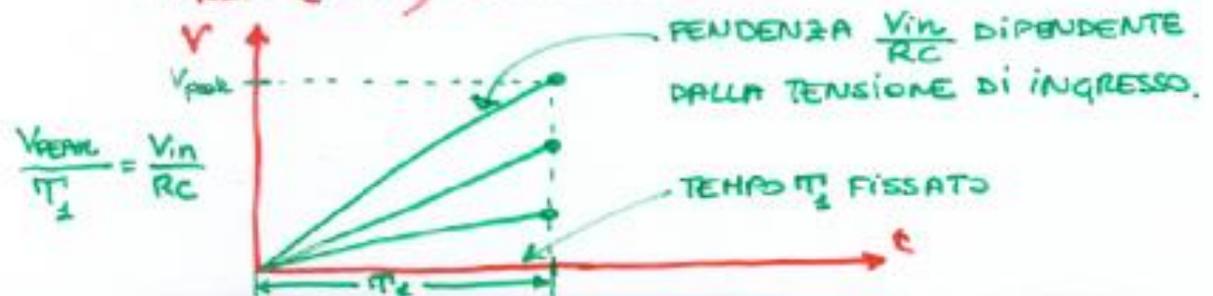
- S_2 SI APRE

- S_1 CONNETTE L'INGRESSO DELL'INTEGRATORE A V_{in}

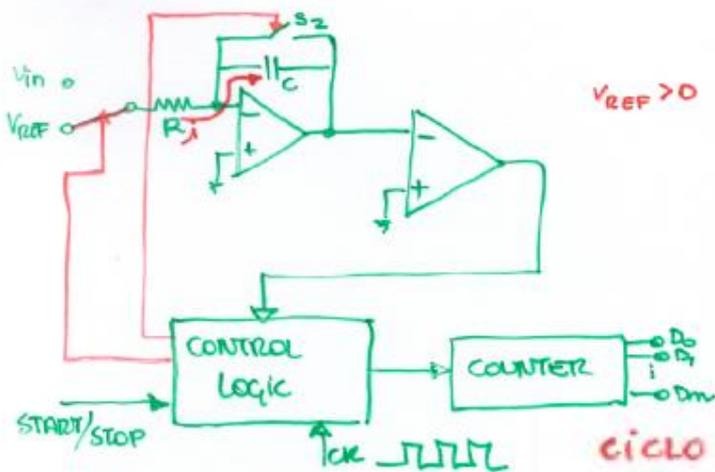
↳ $i = \frac{V_{in}}{R} \Rightarrow V_2$ CRESCE LINEARMENTE (PENDENZA $\frac{i}{C} = \frac{V_{in}}{RC}$)

- CONTATORE È ABILITATO E CONTA PER UN TEMPO π_1

↳ la prima fase termina quando il contatore ha contato $m_{REF} (= 2^m)$ e viene resettato

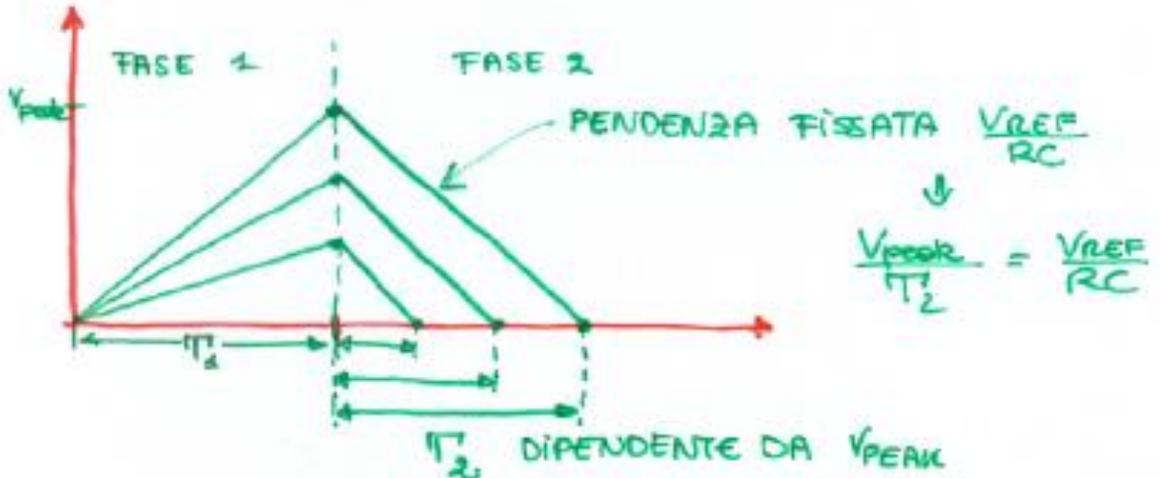


ADC A DOPPIA RAMPA (2)



CICLO DI CONVERSIONE: FASE 2

- S_2 CONNETTE LA TENSIONE V_{REF} ALL'INGRESSO DELL'INTEGRATORE
 $\hookrightarrow i = \frac{N_{REF}}{R_i} \Rightarrow V_i$ DECRESCe LINEARMENTE (PENDENZA $\frac{V_{REF}}{RC}$)
- IL CONTATORE È ABILITATO E CONTA
- QUANDO $V_i = 0 \Rightarrow$ IL COMPARATORE COMUTA E LA LOGICA FERMA IL CONTATORE



ADC A DOPPIA RAMPA (3)

$$\begin{array}{l} \text{FASE 1: } \frac{V_{\text{peak}}}{T_1} = \frac{V_{\text{in}}}{RC} \\ \text{FASE 2: } \frac{V_{\text{peak}}}{T_2} = \frac{V_{\text{REF}}}{RC} \end{array} \left. \vphantom{\begin{array}{l} \text{FASE 1: } \\ \text{FASE 2: } \end{array}} \right\} \begin{array}{l} \frac{V_{\text{in}}}{RC} T_1 = \frac{V_{\text{REF}}}{RC} T_2 \\ \downarrow \\ T_1 V_{\text{in}} = T_2 V_{\text{REF}} \end{array}$$

$$\hookrightarrow T_2 = \frac{V_{\text{in}}}{V_{\text{REF}}} T_1$$

MA: m_{REF} È PROPORZIONALE A T_1
 k (CONTEGGIO DEL COUNTER @ T_2) È PROPORZIONALE A T_2



$$k = m_{\text{REF}} \left(\frac{V_{\text{in}}}{V_{\text{REF}}} \right) = \frac{m_{\text{REF}}}{V_{\text{REF}}} \cdot V_{\text{in}} = \underbrace{\frac{2^m}{V_{\text{REF}}}}_{\text{RISOLUZIONE DELL'ADC}} \cdot V_{\text{in}}$$

↳ la parola digitale k in uscita al contatore al tempo T_2 è la parola digitale equivalente a V_{in}

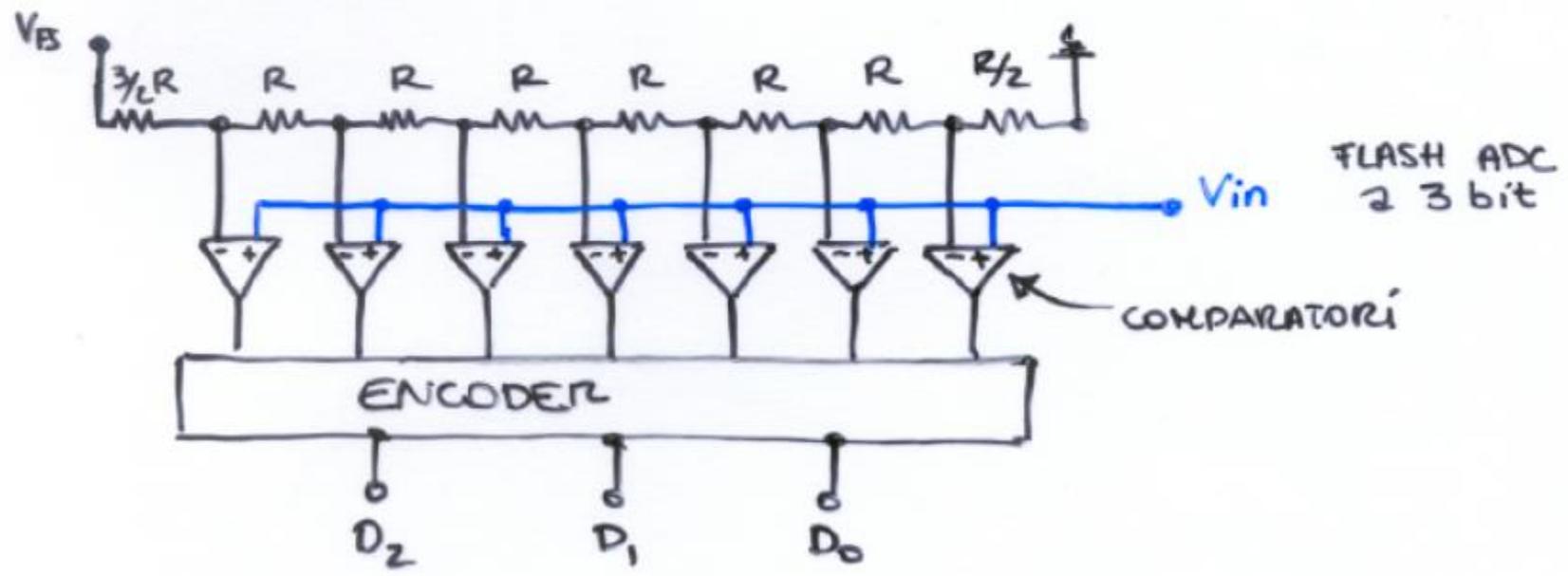
😊 elevata accuratezza, poiché le prestazioni non dipendono dalle tolleranze sui valori di R e C

😊 ridotto numero di componenti e blocchi circuitali

😞 tempi di conversione piuttosto lunghi

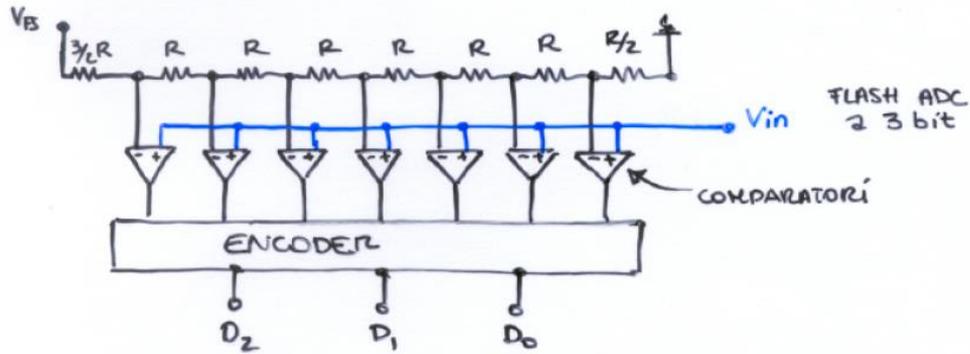
FLASH ADC

Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di tipo parallelo.



FLASH ADC

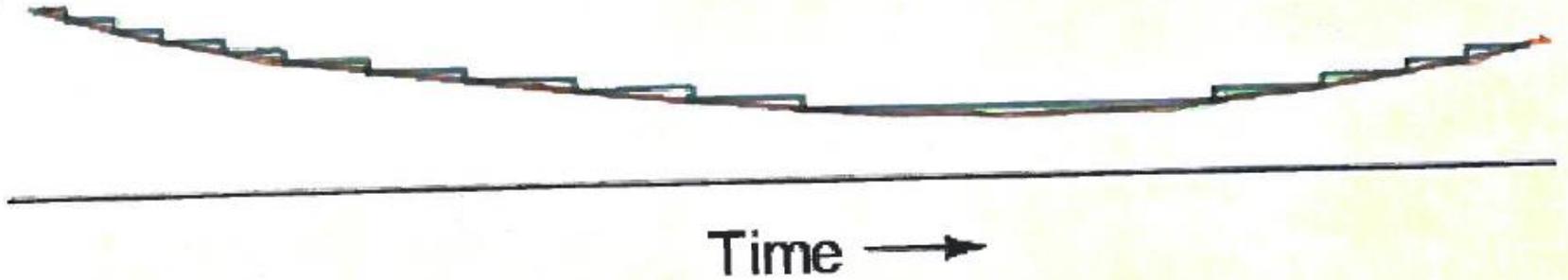
Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di tipo parallelo.



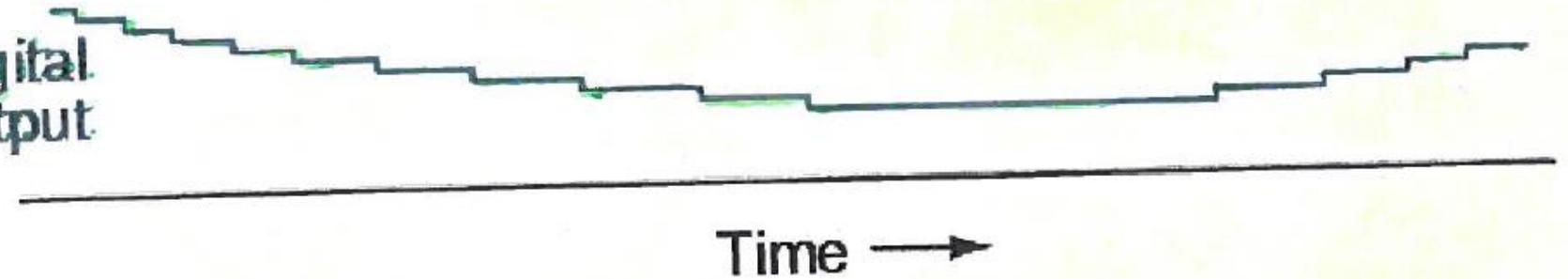
- * Il segnale analogico è confrontato con $2^m - 1$ diverse tensioni di riferimento ottenute con un partitore di resistenze ad elevata precisione.
- * Le uscite dei comparatori sono codificate dall'encoder per fornire la parola digitale di uscita
- ☹️ Servono $2^m - 1$ comparatori e 2^m resistenze ad elevata precisione
↳ architettura flash adatta per ADC a basso numero di bit
- ☹️ L'offset dei comparatori degrada la linearità dell'ADC
- 😊 Tempi di conversione molto brevi, limitati solo dai tempi di ritardo dei comparatori e della rete logica
↳ $T_{conv} \approx$ decine di ns.

FLASH ADC

Analog
input



Digital
output



• DINAMICA DELL'ADC

È data dal rapporto tra il massimo valore formabile dall'ADC e il valore del minimo intervallo di tensione che può essere discriminato

$$\begin{aligned} \text{DINAMICA} &= 20 \log \frac{\text{FSR}}{\text{LSB}} = 20 \log \frac{\text{FSR}}{\frac{\text{FSR}}{2^n}} = 20 \log 2^n = \\ &= 6.02 \cdot n \end{aligned}$$

ADC a 12 bit con $V_{\text{REF}} = 5V$

000000000000 $\Rightarrow \frac{V_{\text{REF}}}{2^{12}} = \frac{5V}{4096} = 1.22 \text{ mV}$

||||| $\Rightarrow V_{\text{REF}} = 5V$

↳ $\text{DINAMICA} = 20 \log \frac{5V}{1.22 \text{ mV}} = 72 \text{ dB}$

\downarrow
 $= 12 \cdot 6.02 = 72 \text{ dB}$

● RAPPORTO SEGNALE / RUMORE

Qual è il valore massimo di rapporto segnale / rumore (SNR) ottenibile con un ADC ideale?

SEGNALE: sinusoide di ampiezza max consentita

RUMORE: rumore di quantizzazione

$$SNR|_{MAX} = \frac{\text{potenza max segnale}}{\text{potenza min rumore}} =$$

$$= 10 \log \frac{\left(\frac{FSR}{2} \cdot \frac{1}{\sqrt{2}} \right)^2}{\frac{LSB^2}{12}} =$$

← valore efficace

$$= 10 \log \frac{\frac{FSR^2}{8}}{\frac{FSR^2}{2^{2n}} \cdot \frac{1}{12}} = 10 \log [2^{2n-1} \cdot 3] =$$

$$= (2n-1) [10 \log 2] + 10 \log 3 = 6.02 \cdot n + 1.76$$

↑
n° di bit dell'ADC

↳ ADC a 12 bit $SNR|_{max} = 12 \cdot 6.02 + 1.76 \approx 74 \text{ dB}$

In realtà all'interno dell'ADC si sovrappongono al segnale analogico anche altri rumori elettronici

↓ il risultato della conversione sarà soggetto ad un rumore maggiore del solo rumore di quantizzazione.

BIT EFFICACI dell'ADC: numero di bit che un ADC ideale, affetto dal solo rumore di quantizzazione, dovrebbe possedere per presentare il medesimo SNR.

$$m_{\text{bit eff.}} = \frac{\text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}}$$

ADC a 12 bit; FSR = 5V; $\text{SNR}_{\text{reale}} = 68 \text{ dB} \Rightarrow \frac{68 - 1.76}{6.02} = 11 \text{ bit efficaci}$

100000000001 $\rightarrow 2.5012 \pm 1 \text{ LSB} !!$ 

EFFECTIVE NUMBER OF BIT (ENOB)

L'uscita dell'ADC (anche se ideale) può perdere risoluzione in tutti i casi in cui il segnale analogico in ingresso presenta un'ampiezza minore della massima ampiezza consentita

↳ il segnale di ingresso non sfrutta l'intera dinamica



Quando il segnale di ingresso non ha ampiezza sufficiente per sfruttare l'intera dinamica dell'ADC è conveniente amplificare preliminarmente il segnale di ingresso per "portarlo in dinamica".