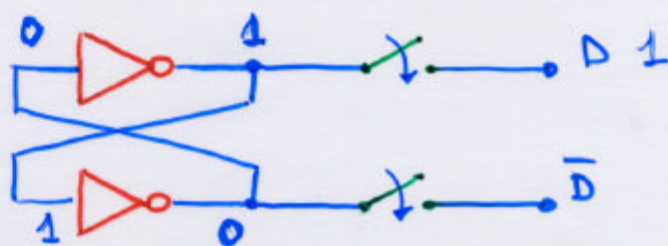
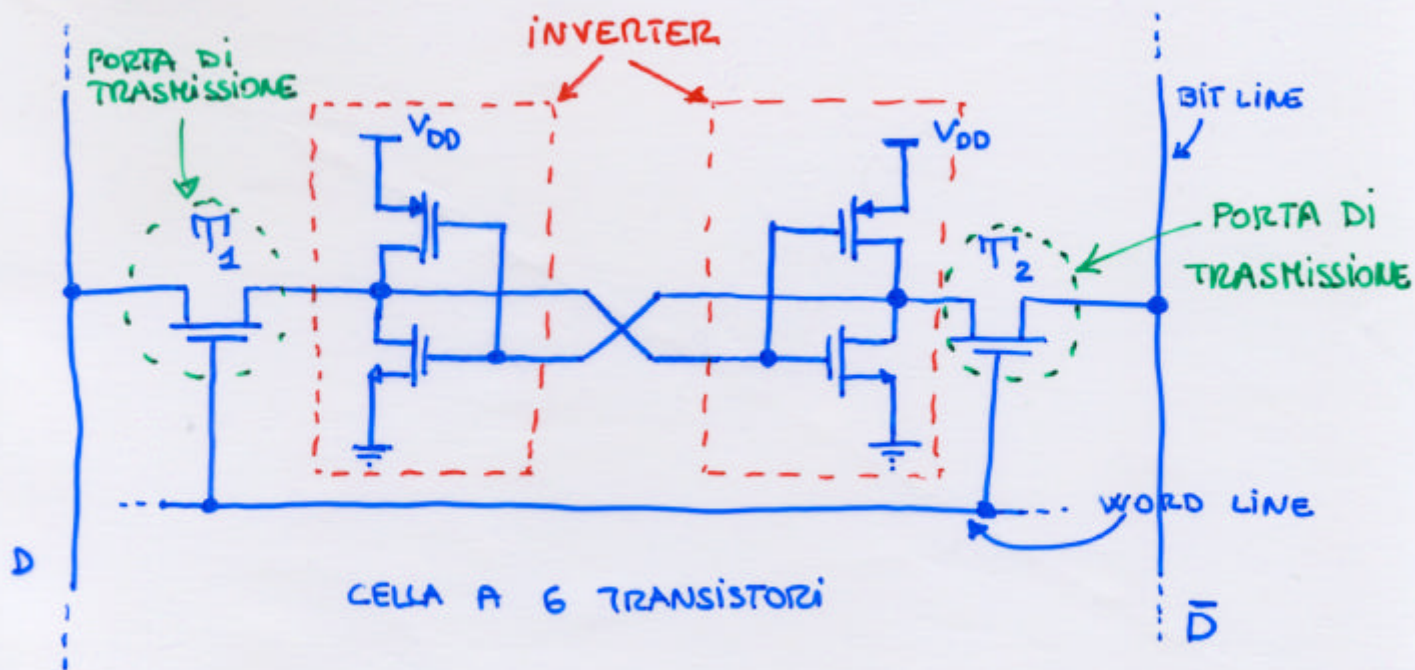
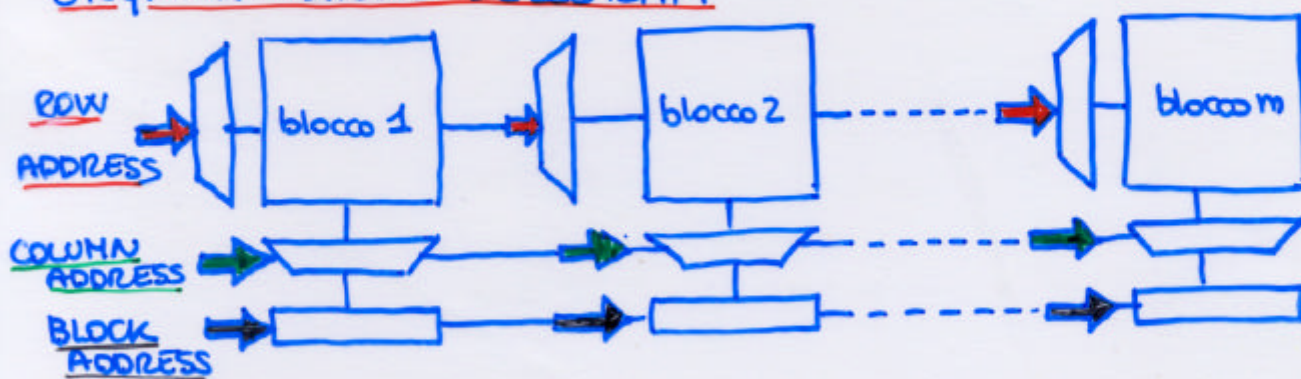


# CELLA DI MEMORIA BASE DI UNA CMOS SRAM



- $T_1$  e  $T_2$  connettono la cella alle bit-line e sono comandati dalla word-line  $w$ .

## ORGANIZZAZIONE DELLE RAM



Per memorie di elevata capacità (> 128 kbit)  $\Rightarrow$  ARCHITETTURA A BLOCCHI

INDIRIZZO DI ACCESSO:

- $m_1$  bit per l'indirizzo di RIGA
- $m_2$  bit per l'indirizzo di COLONNA
- $m_3$  bit per l'indirizzo di BLOCCO