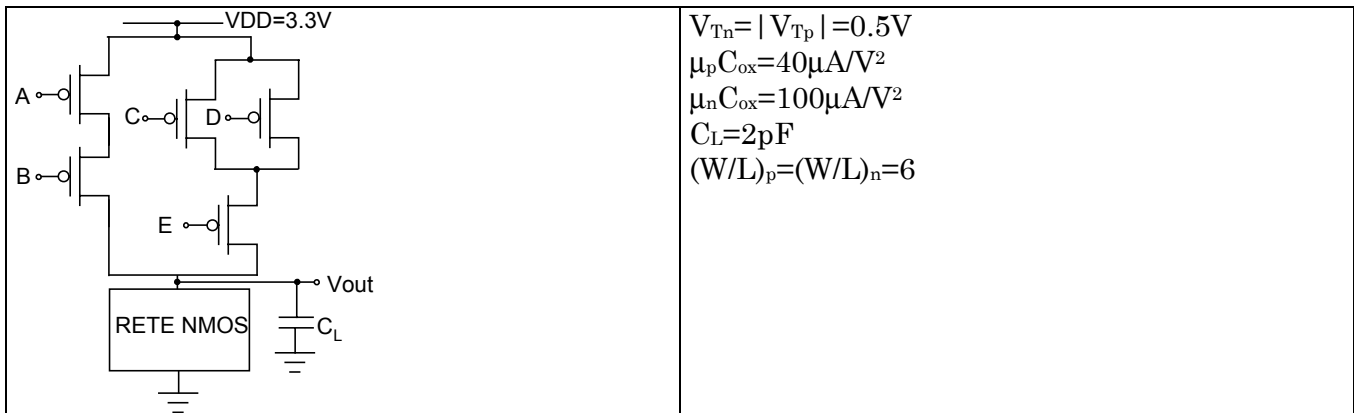


ESERCIZIO

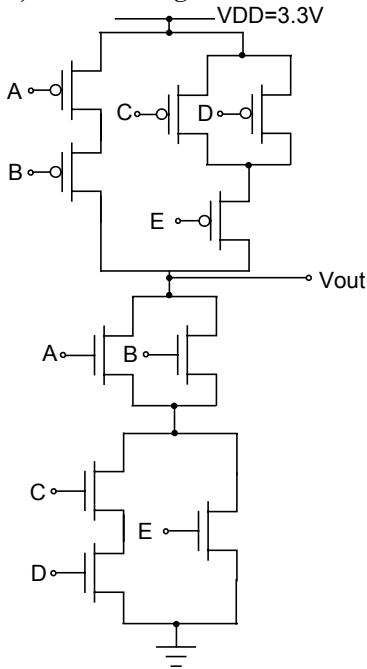
Si consideri la porta logica CMOS in figura



- Determinare la funzione logica realizzata dalla porta.
- Disegnare la rete di pull-down a NMOS, assegnata la rete dei PMOS.
- Si assuma che inizialmente $A=D=E=0$, $B=C=V_{DD}$. All'istante $t=0$ D commuta da 0 a V_{DD} . Disegnare qualitativamente l'evoluzione temporale di $V_{out}(t)$ e calcolare approssimativamente il tempo di propagazione della commutazione.
- Calcolare il valore (W/L) dei transistori PMOS necessario perche' i tempi di propagazione t_{pLH} e t_{pHL} della porta logica siano uguali per le configurazioni di ingressi piu' gravose nei riguardi delle variazioni dell'uscita, assumendo $(W/L)_n=6$.

SOLUZIONE

a) La rete degli NMOS e' il duale della rete di PMOS

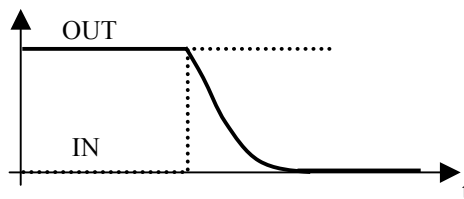


b) La funzione logica realizzata dalla porta CMOS e':

$$Y = \overline{A} \cdot \overline{B} + \overline{(C + D)} \cdot \overline{E} = \overline{(A + B)} + \overline{(C \cdot D)} \cdot \overline{E} = \overline{(A + B)} + \overline{(C \cdot D) + E} = \overline{(A + B) \cdot [(C \cdot D) + E]}$$

c) Per la configurazione di ingressi $A=E=0$, $B=C=1$ e D che commuta dal livello logico basso al livello logico alto:

- gli NMOS pilotati da A e da E sono OFF, mentre quelli pilotati da B e da C sono ON.
- i PMOS pilotati da A e da E sono ON mentre quelli pilotati da B e da C sono OFF.
- la commutazione di D da 0 a 1 fa spegnere il relativo PMOS ed accendere il relativo NMOS, quindi l'uscita commuta dal livello logico alto a quello basso.



La scarica della capacita' C_L avviene attraverso la rete di pull-down ed in particolare attraverso gli NMOS pilotati da B , C , D . Per calcolare il tempo di commutazione calcoliamo il (W/L) del NMOS dell'inverter equivalente.

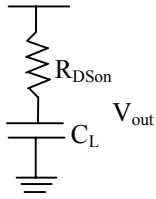
Gli NMOS pilotati da B , da C e da D sono tra loro in serie, per cui:

$$\left(\frac{W}{L}\right)_{n,eq} = \frac{1}{3} \left(\frac{W}{L}\right)_n = 2$$

Possiamo usare due diverse approssimazioni per calcolare il tempo di propagazione:

1. PMOS in zona ohmica
2. PMOS in zona satura

1. PMOS in zona ohmica: il circuito puo' essere schematizzato come segue



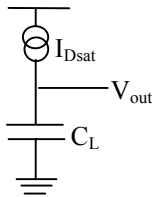
dove

$$R_{DSon} = \frac{1}{\left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{DS}=0}} = \frac{1}{2k_n(V_{GS} - V_T)} = \frac{1}{2 \cdot \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{n,eq} (V_{GS} - V_T)} = 1.79 k\Omega.$$

Il tempo di propagazione e' dato, in questo caso, da

$$t_{p,LH} = \ln(2) \cdot \tau = 0.69 \cdot R_{DSon} \cdot C_L = 2.47 ns$$

2. PMOS in zona satura: il circuito puo' essere schematizzato come segue



dove

$$I_{Dsat} = k_n (V_{GS} - V_T)^2 = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{n,eq} (V_{DD} - V_T)^2 = 784 \mu A.$$

Il tempo di propagazione e' dato, in questo caso, da

$$t_{p,LH} = \frac{Q_{acc}}{I_{Dsat}} = \frac{C_L \frac{V_{DD}}{2}}{I_{Dsat}} = 4.2 ns$$

d) Ricorriamo all'inverter equivalente caratterizzato da $k_p=k_n$, quindi avente $(W/L)_p=2.5(W/L)_n$.

Per $t_{p,LH}$ la situazione piu' gravosa si ha quando l'eventuale capacita' di carico e' caricata attraverso la serie di due PMOS:

$$\left(\frac{W}{L} \right)_{p,eq} = \frac{1}{\left(\frac{L}{W} \right)_p + \left(\frac{L}{W} \right)_p} = \frac{1}{2} \left(\frac{W}{L} \right)_p$$

Per gli NMOS la situazione piu' gravosa si ha quando la scarica della capacita' avviene attraverso la serie dei tre NMOS B,C,D:

$$\left(\frac{W}{L} \right)_{n,eq} = \frac{1}{\left(\frac{L}{W} \right)_n + \left(\frac{L}{W} \right)_n + \left(\frac{L}{W} \right)_n} = \frac{1}{3} \left(\frac{W}{L} \right)_n$$

Assumendo come riferimento l'inverter equivalente caratterizzato da $(W/L)_n=10$ e $(W/L)_p=2.5(W/L)_n$, si ha:

$$\frac{1}{2} \left(\frac{W}{L} \right)_p = 2.5 \frac{1}{3} \left(\frac{W}{L} \right)_n$$

$$\left(\frac{W}{L} \right)_p = \frac{5}{3} \left(\frac{W}{L} \right)_n = 10$$

Questa scelta garantisce l'uguaglianza dei tempi di propagazione per la situazione piu' gravosa, mentre le combinazioni di ingressi che portano piu' di un MOSFET tra quelli in parallelo a condurre presenteranno tempi di propagazione minori.