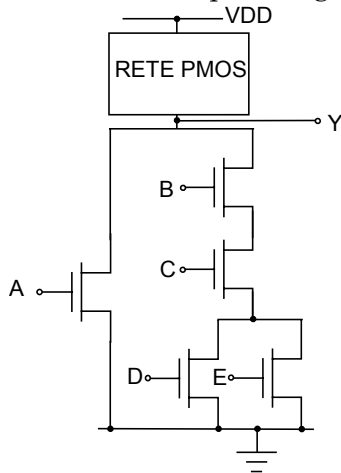


## ESERCIZIO

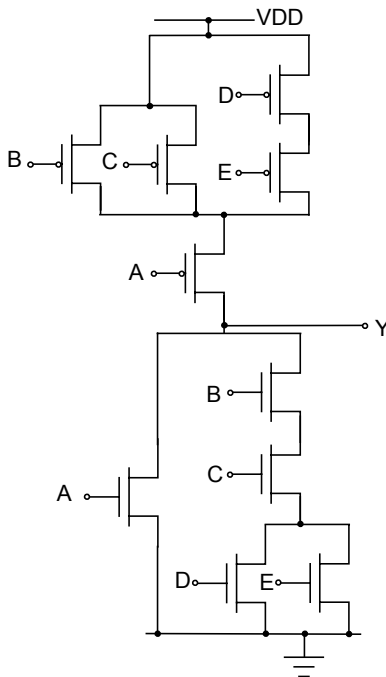
Si consideri la porta logica CMOS in figura



- Disegnare la rete PMOS, assegnata la rete NMOS.
- Determinare la funzione logica realizzata dalla porta.
- Dimensionare i  $(W/L)$  dei transistori in modo che i tempi di propagazione  $t_{pLH}$  e  $t_{pHL}$  siano uguali per le configurazioni di ingressi più gravose nei riguardi delle variazioni dell'uscita. Fare riferimento ad un inverter equivalente con  $(W/L)_n=2$ .

**SOLUZIONE**

a) La rete dei PMOS e' il duale della rete di NMOS



b) La funzione logica realizzata dalla porta CMOS e':

$$Y = \overline{A + B \cdot C \cdot (D + E)} = \overline{A} \cdot \overline{[B \cdot C \cdot (D + E)]} = \overline{A} \cdot [\overline{B + C} + \overline{(D + E)}] = \overline{A} \cdot [\overline{B} + \overline{C} + (\overline{D} \cdot \overline{E})]$$

c) Ricorriamo all'inverter equivalente caratterizzato da  $k_p=k_n$ , quindi avente  $(W/L)_p=2.5(W/L)_n$ .

Per  $t_{pLH}$  la situazione piu' gravosa si ha quando l'eventuale capacita' di carico e' caricata dai PMOS (D) (E) (A). Assumendo come riferimento l'inverter equivalente caratterizzato da  $(W/L)_n=2$  e  $(W/L)_p=2.5(W/L)_n=5$ , si ha:

$$\left[ \left( \frac{W}{L} \right)_{pD} \right]^{-1} + \left[ \left( \frac{W}{L} \right)_{pE} \right]^{-1} + \left[ \left( \frac{W}{L} \right)_{pA} \right]^{-1} = \frac{1}{5} \Rightarrow \left( \frac{W}{L} \right)_{pD} = \left( \frac{W}{L} \right)_{pE} = \left( \frac{W}{L} \right)_{pA} = 15$$

$$\left( \frac{W}{L} \right)_{pB} = \left( \frac{W}{L} \right)_{pC} = 7.5$$

Per gli NMOS la situazione piu' gravosa si ha quando la scarica della capacita' avviene lungo il percorso (B) (C) (D) oppure (B) (C) (E), quindi:

$$\left( \frac{W}{L} \right)_{nB} = \left( \frac{W}{L} \right)_{nC} = \left( \frac{W}{L} \right)_{nD} = \left( \frac{W}{L} \right)_{nE} = 6$$

$$\left( \frac{W}{L} \right)_{nA} = 2$$

Questa scelta garantisce l'uguaglianza dei tempi di propagazione per la situazione piu' gravosa, mentre le combinazioni di ingressi che portano piu' di un MOSFET tra quelli in parallelo a condurre presenteranno tempi di propagazione minori.