

Fondamenti di Elettronica

Domande di autovalutazione per gli studenti (sez. Padovini)

- 1) Disegnare il modello completo di un Amplificatore Operazionale (AO) reale, definire gli elementi che vi compaiono e indicarne il valore tipico.
- 2) Cosa sono lo Slew Rate (SR) e la Full Power Bandwidth di un AO? Quale è la relazione che le lega?
- 3) Un AO con $SR=1$ V al microsecondo viene utilizzato in una configurazione amplificatrice invertente che guadagna 10. Trovare la massima frequenza sinusoidale in ingresso con ampiezza = 1 V che può essere trasmessa in uscita senza distorsione. Rifare il conto con una ampiezza di ingresso di 100 mV.
- 4) Una configurazione amplificatrice invertente che guadagna -1 utilizza un AO con prodotto guadagno banda $GBW=1$ MHz. Qual è la banda dell'amplificatore invertente? (Giustificare la risposta)
- 5) Una configurazione amplificatrice non invertente con guadagno = 10 viene realizzata con un AO con $CMRR= 80$ dB e $V_{offset}=1$ mV. Se all'ingresso dell'amplificatore inviamo un gradino di 1V, quanto vale in uscita l'errore dovuto al $CMRR$ dell'AO? Quanto vale l'errore dovuto all'offset?
- 6) Disegnare lo schema di un voltage follower e illustrarne le caratteristiche.
- 7) Un AO con $GBW=1$ MHz e $SR=1$ V al microsecondo viene utilizzato in un voltage follower. Quale è l'ampiezza massima che può avere un gradino in ingresso cui corrisponda una uscita lineare?
- 8) Quali condizioni deve soddisfare un circuito reazionato che funzioni da oscillatore sinusoidale?
- 9) Definire gli errori di linearità differenziale e integrale per un DAC e per un ADC.
- 10) Disegnare lo schema di un DAC a 2 bit realizzato con una rete R-2R.
- 11) Cosa si intende per DAC moltiplicatore a 1 quadrante?
- 12) Valutare la banda passante di un DAC moltiplicatore R-2R a 2 bit che impieghi un AO con $GBW=1$ MHz.
- 13) I DAC R-2R risentono dell'errore di sovrapposizione? Giustificare la risposta.
- 14) Quali possono essere le cause di non linearità differenziale in un DAC R-2R? E in un DAC a partitore?
- 15) Disegnare lo schema a blocchi di un ADC ad approssimazioni successive a 10 bit. Indicare i blocchi che ne limitano la linearità differenziale.
- 16) Si considerino due ADC a 10 bit, uno ad approssimazioni successive e l'altro a contatore-rampa, funzionanti con un clock da 1 MHz: trovare il tempo di conversione nei due casi.
- 17) Disegnare lo schema a blocchi e descrivere il funzionamento di un ADC a doppia rampa.
- 18) Un ADC a doppia rampa utilizza un tempo di integrazione di 40 ms per il segnale di ingresso. Quale sarà il suo tempo di conversione massimo?
- 19) Che cosa limita il numero dei bit in un ADC di tipo flash?
- 20) Disegnare lo schema di un Sample and Hold reazionato e descriverne il funzionamento. Da cosa dipende il tempo di acquisizione? Quali errori si manifestano durante il tempo di Hold?