

Esercizio 1

Si consideri il circuito riportato nella Fig. 1a.

a) **Disegnare la caratteristica di trasferimento ingresso-uscita, quotandone tutti i punti significativi.** (Si assuma che l'uscita dell'amplificatore operazionale saturi alle tensioni di alimentazione).

b) **Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita V_{out} quando il segnale in ingresso e' quello riportato in Fig. 1b.**

c) Quale e' la massima ampiezza del rumore che puo' essere sovrapposto al segnale di ingresso di Fig. 1b senza pregiudicare il funzionamento del circuito?

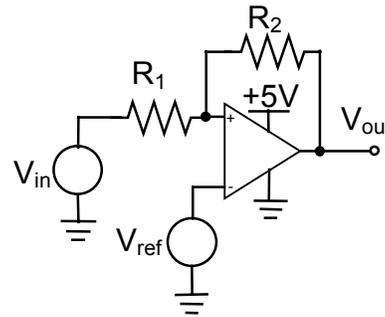


Fig. 1a
 $R_1 = 1k\Omega$ $R_2 = 25k\Omega$ $V_{ref} = 1V$

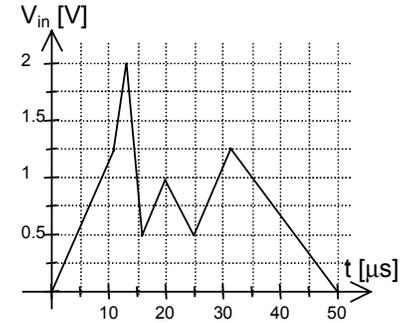


Fig. 1b

Esercizio 2

Si consideri l'amplificatore riportato nella Fig. 2.

a) **Determinare l'espressione ed il valore del guadagno ideale a bassa frequenza.**

b) **Determinare il valore che la resistenza R deve avere per minimizzare l'effetto delle correnti di bias.**

c) Se si assume che l'amplificatore operazionale sia caratterizzato da un guadagno in continua $A_0 = 120$ dB e da una resistenza di ingresso differenziale $R_{iD} = 10M\Omega$, determinare l'espressione ed il valore della resistenza R^* mostrata in Fig. 2, a bassa frequenza.

d) Assumendo una resistenza di ingresso differenziale $R_{iD} = \infty$ ed un prodotto guadagno-banda dell'operazionale $GBWP = 30MHz$ ($A_0 = 120$ dB), si determini il margine di fase del circuito.

e) Disegnare in un diagramma temporale l'andamento della tensione di uscita *ideale*, quotandone tutti i punti significativi quando in ingresso e' applicato un gradino positivo di tensione di ampiezza 90mV.

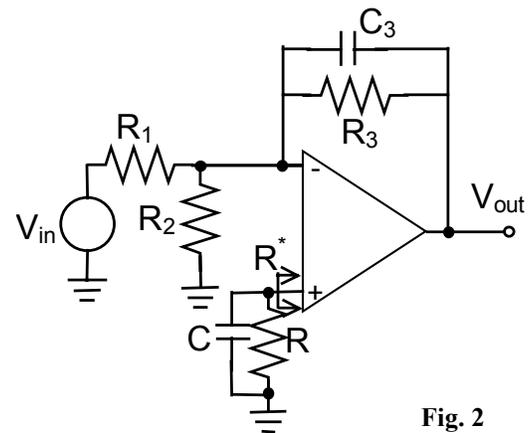
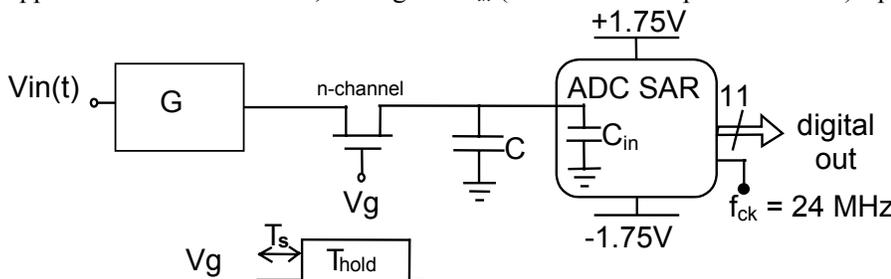


Fig. 2
 $R_1 = 5k\Omega$ $R_2 = 3k\Omega$ $R_3 = 25k\Omega$
 $C = 10pF$ $C_3 = 470pF$

Esercizio 3

Si consideri il circuito per il campionamento e la conversione, mediante un convertitore analogico digitale ad approssimazioni successive, del segnale V_{in} (sinusoide di ampiezza 150mV) riportato nella Fig. 3.



$V_{g|sample} = 4V$
 $C = 200pF$
 $V_{Tn} = 0.9V$
 $\frac{1}{2}\mu_n C_{ox} = 200\mu A/V^2$

Fig. 3

a) **Dimensionare il minimo guadagno G del blocco amplificatore che garantisca una risoluzione del sistema pari ad almeno 1/1000 del segnale in ingresso. Quale sarebbe il massimo valore ammesso per tale guadagno e perche'?**

b) **Determinare il fattore di forma del transistorore nMOS usato nel circuito di S&H necessario perche' il massimo errore commesso nella fase di *sample* (di durata pari a 250ns) sia pari a 1/4 LSB (Si trascuri la capacita' di ingresso dell'ADC e si assuma una escursione del segnale che copra l'intero FSR dell'ADC).**

c) Determinare la massima frequenza ammessa per il segnale in ingresso (supposto sinusoidale) dato l'ADC in figura, in assenza ed in presenza del circuito di S&H (Si assuma un errore massimo nella conversione pari a 1LSB, una durata del tempo di *sample* pari a $1/f_{ck}$ ed una escursione del segnale che copra l'intero FSR dell'ADC).

d) Se l'ADC e' caratterizzato da una capacita' parassita di ingresso $C_{in} = 50pF$ e da una corrente di bias in ingresso $I_L = 40nA$, determinare la massima durata del tempo di *hold*, che garantisca un errore inferiore a 1/2 LSB.