

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)

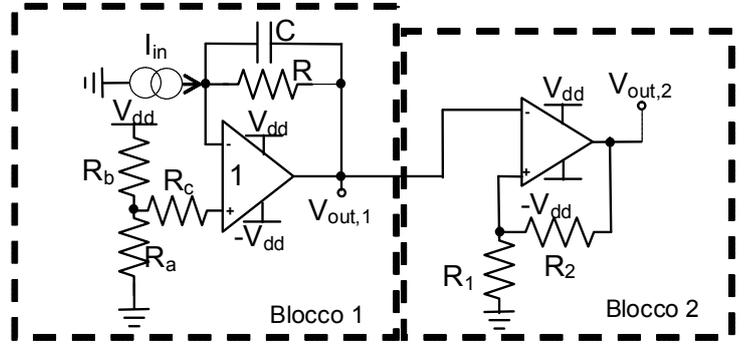
Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.

Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito mostrato in Fig. 1. Si assuma che gli amplificatori operazionali saturino alle tensioni di alimentazione.

- a. **Determinare l'espressione ed il valore del guadagno ideale ($V_{out,1}/I_{in}$) a bassa frequenza del circuito nel Blocco 1.**
- b. **Disegnare l'andamento nel tempo della tensione di uscita del Blocco 1, assumendo l'amplificatore operazionale ideale, se in ingresso e' applicato un segnale a rettangolo positivo di corrente di durata $1 \mu s$ ed area pari a $500 pC$.**
- c. **Determinare il massimo valore r.m.s. del rumore sovrapposto all'uscita dell'amplificatore operazionale del Blocco 1, che renda trascurabili commutazioni spurie del circuito del Blocco 2, assumendo un segnale a media nulla in uscita dall'amplificatore del Blocco 1. Si commentino le scelte effettuate.**
- d. **Determinare il margine di fase del circuito del Blocco 1, se l'amplificatore operazionale 1 e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 100 MHz$.**
- e. **Si consideri ora il circuito del Blocco 1, privato della capacita' C . Determinare il minimo valore di *Slew-Rate* che deve possedere l'amplificatore operazionale 1, perche' la massima pendenza del segnale in uscita sia limitata dalla banda ad anello chiuso, se l'amplificatore operazionale 1 e' caratterizzato da un prodotto guadagno, larghezza di banda di $100 MHz$ e in ingresso e' applicato un gradino di corrente di ampiezza $10 \mu A$.**



$V_{dd} = +5 V$
 $C = 10 pF$
 $R_1 = 0.5 k\Omega$
 $R_a = R_b = R_c = 500 k\Omega$
 $R = 5 k\Omega$
 $R_2 = 9.5 k\Omega$

Fig. 1

Esercizio 2

Si consideri la catena mostrata in Fig. 2 per l'amplificazione, il campionamento e la conversione del segnale V_{in} , costituito da segnali positivi e negativi di ampiezza massima pari a $200 mV$.

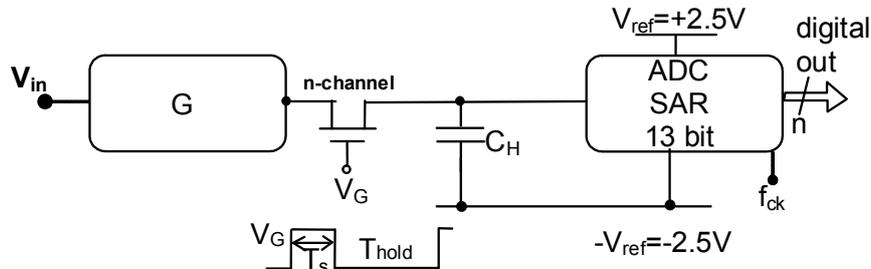


Fig. 2

$f_{ck} = 10 MHz$ $V_{Tn} = 0.7 V$ $k_n = 10 mA/V^2$

- a) **Determinare il minimo guadagno G che garantisca una risoluzione in ingresso pari a $1/2000$ della massima dinamica del segnale in ingresso.**
- b) **Si consideri un segnale in uscita al blocco di guadagno che copra la massima dinamica dell'ADC. Determinare i valori limite della tensione di comando che deve essere applicata all'elettrodo di gate del transistore MOS per garantire una resistenza $R_{ds,off}$ idealmente infinita nella fase di *Hold* e una resistenza $R_{ds,on}$ non superiore a 5Ω nella fase di *Sample*.**
- c) **Determinare il minimo valore di capacita' di *Hold* per garantire che l'errore dovuto alla scarica della capacita', nelle ipotesi che il transistore che realizza l'interruttore del circuito di *Sample & Hold* presenti una resistenza nella fase di *off* pari a $R_{ds,off} = 100 M\Omega$ sia minore di $1/2 LSB$. Si assuma il minimo tempo di *Hold* compatibile con l'ADC ad approssimazioni successive che segue.**
- d) **Determinare il valore minimo della frequenza di *clock* che garantisca di poter ricostruire la forma di una sinusoide in ingresso con frequenza $1 MHz$, se il convertitore e' del tipo ad approssimazioni successive. Si assuma il minimo tempo di *Sample*.**
- e) **Determinare la frequenza massima di un segnale sinusoidale, di massima dinamica, applicato in ingresso che potrebbe essere correttamente convertito dall'ADC, supposto ad approssimazioni successive ed operante con una frequenza di *clock* pari a $100 MHz$, in assenza del circuito di *Sample & Hold*.**