

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2011/12

terzo appello– 29 gennaio 2013

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.
 Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito mostrato in Fig. 1a. Si assuma che l'amplificatore operazionale saturi alle tensioni di alimentazione.

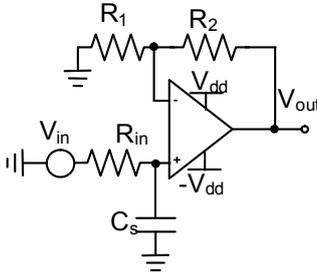


Fig. 1a

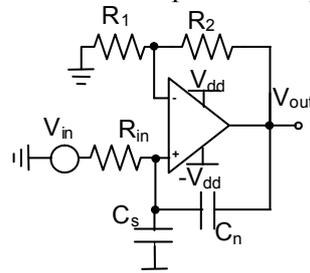


Fig. 1b

$$\begin{aligned} V_{dd} &= +5\text{ V} \\ R_1 &= 50\text{ k}\Omega \\ R_2 &= 550\text{ k}\Omega \\ C_s &= 10\text{ pF} \\ R_{in} &= 5\text{ k}\Omega \end{aligned}$$

- Determinare l'espressione ed il valore del guadagno reale (V_{out}/V_{in}) a bassa frequenza, se l'amplificatore operazionale e' caratterizzato da un guadagno ad anello aperto in continua pari a $A_0 = 80\text{ dB}$.**
- Determinare l'effetto sulla tensione di uscita delle correnti di bias dell'amplificatore operazionale pari a 75 nA .**
- Determinare il margine di fase del circuito, se l'amplificatore e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 1\text{ MHz}$ e da una resistenza di ingresso differenziale $R_{id} = 10\text{ M}\Omega$.**
- Se l'amplificatore operazionale e' caratterizzato da un rapporto di reiezione del modo comune $CMRR = 70\text{ dB}$, determinare la variazione percentuale del guadagno a bassa frequenza che ne deriva.
- Si consideri, ora, il circuito mostrato in Fig. 1b. Determinare il massimo valore che puo' assumere la capacita' C_n perche' il circuito risulti retroazionato negativamente e stabile.

Esercizio 2

Si consideri il circuito amplificatore mostrato in Fig. 2, in cui v_1 e v_2 sono due generatori di tensione di piccolo segnale.

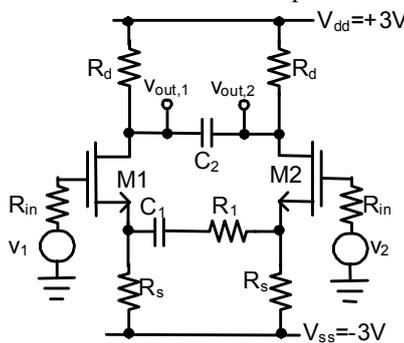


Fig. 2

$$\begin{aligned} R_d &= 2.6\text{ k}\Omega \\ C_2 &= 10\text{ pF} \\ R_1 &= 100\ \Omega \\ C_1 &= 1\text{ nF} \\ V_{Tn} &= 0.7\text{ V} \\ k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 250\ \mu\text{A}/\text{V}^2 \\ R_s &= 300\ \Omega \\ R_{in} &= 50\ \Omega \end{aligned}$$

- Determinare la polarizzazione del circuito, calcolando le tensioni a tutti i nodi e le correnti in tutti i rami.**
- Calcolare il guadagno di piccolo segnale $v_{out,1}/v_1$ a bassa frequenza.**
- Tracciare il diagramma di Bode del modulo del guadagno differenziale di piccolo segnale $(v_{out,2} - v_{out,1})/(v_2 - v_1)$, quotandone tutti i punti significativi.
- Tracciare il diagramma di Bode del modulo del guadagno di modo comune di piccolo segnale $(v_{out,2} + v_{out,1})/(v_2 + v_1)$, quotandone tutti i punti significativi.

Esercizio 3

Si consideri la catena di acquisizione mostrata in Fig. 3a. Il segnale di ingresso e' mostrato in Fig. 3b.

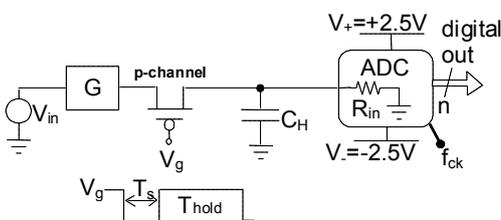


Fig. 3a

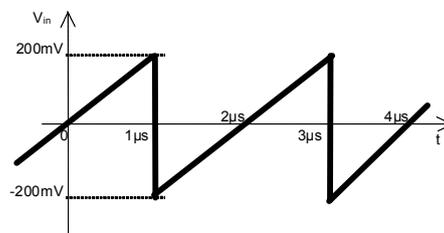


Fig. 3b

$$\begin{aligned} V_{Tp} &= -0.8\text{ V} \\ |k_p| &= \frac{1}{2}\mu_p C_{ox}(W/L) = 2\text{ mA}/\text{V}^2 \\ C_H &= 0.5\text{ nF} \\ R_{in} &= 1\text{ k}\Omega \end{aligned}$$

- Si assuma un guadagno $G = 8$. Determinare le tensioni di comando del gate del pMOS che garantiscano una resistenza virtualmente infinita nella fase di Hold con 1 V di margine ed una costante di tempo di carica della capacita' di Hold (C_H) minore di 100 ns nella fase di Sample.**
- Determinare il minimo valore che deve assumere la resistenza di ingresso dell'ADC R_{in} , per garantire un droop-rate, durante la fase di Hold, non superiore a $\frac{1}{2}\text{ LSB}/\mu\text{s}$ se l'ADC e' caratterizzato da un numero di bits $n = 12$.
- E' possibile richiedere un errore in ingresso minore dello 0.5% dell'ampiezza picco-picco del segnale, se l'ADC ha $n = 12\text{ bits}$? (Si trascuri la $R_{ds,on}$ del pMOS e si giustifichi la risposta). Quanto varrebbe l'errore minimo possibile se l'ADC fosse caratterizzato da 10 ENOB ?