Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2007/08
Primo appello– 29 febbraio 2008– Traccia di soluzione

Esercizio 1

a) Valore R e W/L

Ipotizziamo che tutti i transistori lavorino in zona di saturazione (M_1 sara' sicuramente saturo!). La capacita' C e' un circuito aperto. Perche' nel transistore M_1 scorra una corrente pari a 0.5mA la sua tensione V_{GS} deve essere pari a

$$V_{GS}\big|_{M_1} = V_{Tp} - \sqrt{\frac{I_{M_1}}{\frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)_p}} = -2.5V$$

Pertanto la resistenza R deve soddisfare la seguente relazione:

$$R = \frac{V_{G,M_1} - V_{ss}}{I_{M_1}}$$

da cui risulta che il valore richiesto per la resistenza R e' pari a 7kΩ. Grazie allo specchio di corrente realizzato da M_1 e M_2, la corrente che scorre nel transistore M_3 sara' ancora pari a 0.5mA. Poiche' il transistore M_3 e' caratterizzato da una V_{GS} che soddisfa la seguente relazione:

$$V_{GS_3} = \frac{R_b}{R_b + R_a}\left(V_{GD} - V_{ss}\right) = +1.5V$$

il suo (W/L) sara' dato da:

$$\left(\frac{W}{L}\right)_{M_3} = \frac{I_{M_3}}{\frac{1}{2}\mu_n C_{ox}\left(V_{GS_3} - V_{Tn}\right)^2} = 2$$

La transconduttanza del transistore M_3 e pari a $g_m = 2k_n\left(V_{GS} - V_{Tn}\right) = 1mA/V$.

b) trasferimento di piccolo segnale v_{out}/v_{in} a media frequenza

$$\frac{v_{out}}{v_{in}} = -\frac{R_a // R_b}{R_{in} + R_a // R_b} g_{m3} r_{o2} = -45.9\,.$$

c) valore della capacita' C

La capacita' C introduce uno zero nell'origine ed un polo con costante di tempo pari a $\tau_p = C\left(R_{in} + R_a // R_b\right)$.

Se desideriamo che il segnale in ingresso alla frequenza di 1kHz subisca una attenuazione di -10dB, occorrera' porre il polo a frequenze superiori a 1kHz. Calcoliamo l'esatta posizione del polo. Nel tratto precedente al polo avremo pendenza +20 dB/dec, quindi possiamo scrivere

$$\left|\frac{v_g}{v_{in}}\right|_{dB} = 20\log\left(\omega\tau_p\right)$$

Pertanto dobbiamo imporre che

$$-10dB = 20\log\left(2\pi(1kHz)\tau_p\right)$$

da cui ricaviamo

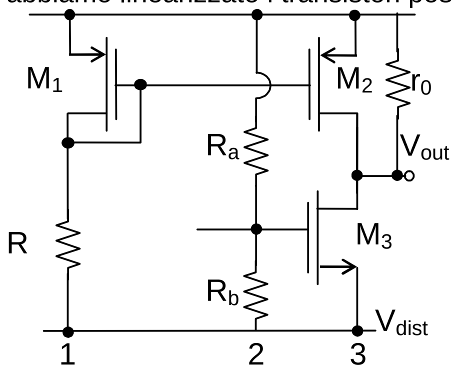
$$\tau_p = 10^{0.5}\frac{1}{2\pi f}$$

ed, infine

$$C = \frac{\tau_p}{R_{in} + R_a // R_b} = 2nF$$

c) effetto sull'uscita di un disturbo su V_{ss}

La capacita' *C* e' un circuito aperto poiche' lavoriamo ad una frequenza che e' piu' di una decade antecedente alla frequenza del polo (sicuramente maggiore di 1kHz). Poiche' siamo su segnale ed abbiamo linearizzato i transistori possiamo applicare il principio di sovrapposizione degli effetti.



$$v_{out,1} = -v_{dist}\frac{r_0}{R + \dfrac{1}{g_{m,1}}}$$

$$v_{out,2} = -v_{dist}\, g_{m3} r_0 \frac{R_a}{R_a + R_b}$$

$$v_{out,3} = v_{dist}\, g_{m3} r_0$$

Da cui

$$v_{out} = v_{out,1} + v_{out,2} + v_{out,3} = -694mV$$

Esercizio 2

a) Guadagno reale – Diodo spento

Se consideriamo l'amplificatore operazionale ideale la retroazione tende a fissare a terra la tensione del morsetto invertente, che risulta, quindi, un nodo di terra virtuale. La corrente nella resistenza R_1 sara' pari a $I_{R_1} = \frac{V_{in}}{R_1}$ e scorre, quindi, tutta in R_2. La tensione di uscita risulta $V_{out} = -I_{R_1} R_2$.

Il trasferimento V_{out}/V_{in} nel caso di amplificatore operazionale ideale risulta

$$\left.\frac{V_{out}}{V_{in}}\right|_{LF,id} = -\frac{R_2}{R_1} = -20$$

Calcoliamo il guadagno d'anello del circuito tagliando, al solito, l'anello a valle del generatore pilotato che modellizza l'amplificatore operazionale.

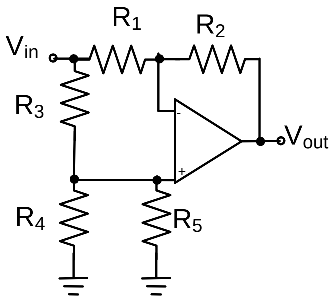
$$\left.G_{loop}\right|_{LF} = -\frac{R_1}{R_1 + R_2} A_0 = -755$$

Il guadagno reale sara' dato dalla relazione:

$$\left.\frac{V_{out}}{V_{in}}\right|_{LF,reale} = \frac{G_{id}}{1 - \dfrac{1}{G_{loop}}} = -19.97$$

b) Guadagno ideale – Diodo acceso

Il diodo acceso si comporta come un generatore di tensione da 0.7V in continua, che, dunque, su segnale e' un cortocircuito. Il segnale di tensione in ingresso risulta, quindi, applicato sia al morsetto + che al morsetto – come visibile nello schema circuitale seguente.



Applicando il principio di sovrapposizione degli effetti avremo:

$$\left.\frac{V_{out}}{V_{in}}\right|_{LF,ideale} = -\frac{R_2}{R_1} + \frac{R_4 // R_5}{R_3 + R_4 // R_5}\left(1+\frac{R_2}{R_1}\right) = -9.5$$

c) Tensione di accensione diodo

Perche' il diodo sia acceso deve esserci una tensione di 0.7V ai suoi capi con la polarizzazione corretta.
Quando il diodo e' spento la tensione al morsetto + e' pari a 0V, quindi, perche' il diodo si accenda dovremo avere che la tensione di ingresso e' tale da portare la tensione su R_4 ad essere pari a -0.7V:

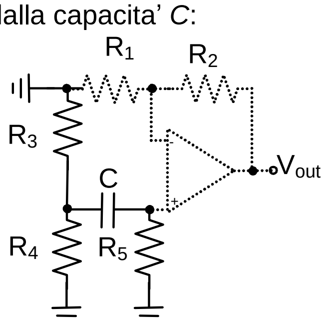
$$V_{R_4} = V_{in}\frac{R_4}{R_4 + R_3} = -0.7V$$

$$\Rightarrow V_{in} = -0.7V\frac{R_4 + R_3}{R_4} = -1.05V$$

Pertanto l'accensione del diodo si avra' per una tensione di ingresso pari a -1.05V.

d) espressione ed il valore della costante di tempo

Possiamo schematizzare il circuito come segue ai fini del calcolo della costante di tempo introdotta dalla capacita' *C*:



$$\tau_C = C\left[\left(R_4 // R_3\right) + R_5\right] = 1.33\mu s$$

e) frequenza di *clock*

Nel caso di un ADC a doppia rampa il tempo di conversione (si veda qualsiasi libro di testo per la giustificazione) e' dato da:

$$T_{conv\,ADC\,doppia\,rampa} = 2\frac{2^n}{f_{ck}}$$

Il tempo di campionamento e' dato dalla somma della durata della fase di *sample* e della fase di *hold.* Quest'ultima deve essere pari almeno al tempo di campionamento, mentre il tempo di sample, al minimo, puo' durare un periodo di *clock*. Possiamo scrivere, quindi, la seguente relazione:

$$T_{campionamento} = T_{sample} + T_{hold} = T_{sample} + T_{conv\,ADC\,doppia\,rampa} = \frac{1}{f_{ck}} + 2\frac{2^n}{f_{ck}} = \frac{2^{n+1}+1}{f_{ck}}$$

da cui ricaviamo che $f_{ck} \geq \left(2^{n+1}+1\right) f_{campionamento} = 81.9MHz$.

Esercizio 3

a) funzione logica

Se consideriamo il segnale EN='1', allora i due MOSFET pilotati da EN ed EN negato sono accesi, pertanto il circuito logico si comporta come un inverter. Se, invece, EN='0' allora i due MOSFET pilotati da EN ed EN negato sono spenti, pertanto l'uscita non e' collegata ad alcunche' ed e' flottante. La risultante tabella delle verita' e' la seguente:

IN	EN	OUT
1	1	0
0	1	1
1	0	HighZ
0	0	HighZ

b) ritardo di propagazione della porta logica

Quando EN='0', la capacita' vede ai suoi capi un impedenza infinita, quindi, non ha senso parlare di ritardo di propagazione.

Se, invece, EN='1', possiamo ricorrere o all'approssimazione ohmica (cioe' approssimare ciascun MOSFET acceso con la sua $R_{ds,on}$) o a quella satura (cioe' considerare che i transistori interessati carichino o scarichino la capacita' lavorando sempre in zona di saturazione) a scelta. La capacita' si carichera' e scarichera' sempre attraverso la serie di due MOSFET.

<u>*Approssimazione ohmica*</u>:

Calcoliamo le $R_{ds,on}$ dei due transistori:

$$R_{ds,on_p} = \frac{1}{2\left|k_p\right|\left(-V_{DD} - V_{Tp}\right)} = 1.92k\Omega$$

$$R_{ds,on_n} = \frac{1}{2k_n\left(V_{DD} - V_{Tn}\right)} = 583\Omega$$

I tempi di propagazione saranno dati dalle seguenti espressioni:

$$t_{pLH} = (\ln 2)2R_{ds,on_p}C$$

$$t_{pHL} = (\ln 2)2R_{ds,on_n}C$$

da cui il ritardo di propagazione risulta pari a

$$\tau_p = \frac{t_{pLH} + t_{pHL}}{2} = (\ln 2)C\left(R_{ds,on_p} + R_{ds,on_n}\right) = 1.73ns$$

<u>*Approssimazione satura*</u>:

Il *(W/L)* equivalente della serie dei due transistori accesi e', ovviamente, pari al meta' del *(W/L)* di quei transistori. Avremo, quindi, i seguenti tempi di propagazione:

$$t_{pLH} = \frac{Q_{50\%}}{I_{p,sat}} = \frac{C\frac{V_{DD}}{2}}{k_{p,eq}\left(-V_{DD} - V_{Tp}\right)^2} = \frac{C\frac{V_{DD}}{2}}{\frac{1}{2}\mu_p C_{ox}\left(\frac{1}{2}\frac{W}{L}\Big|_p\right)\left(-V_{DD} - V_{Tp}\right)^2} = 4.88ns$$

$$t_{pHL} = \frac{Q_{50\%}}{I_{n,sat}} = \frac{C\frac{V_{DD}}{2}}{k_{n,eq}\left(V_{DD} - V_{Tn}\right)^2} = \frac{C\frac{V_{DD}}{2}}{\frac{1}{2}\mu_n C_{ox}\left(\frac{1}{2}\frac{W}{L}\Big|_n\right)\left(V_{DD} - V_{Tn}\right)^2} = 1.48ns$$

da cui il ritardo di propagazione risulta pari a

$$\tau_p = \frac{t_{pLH} + t_{pHL}}{2} = 3.2ns$$