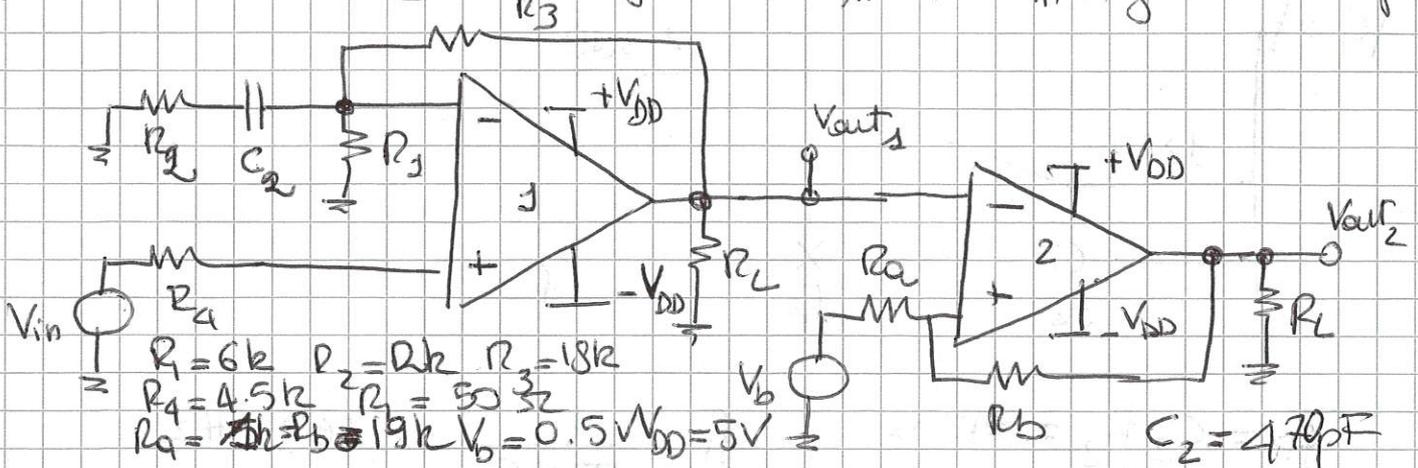


ES.1

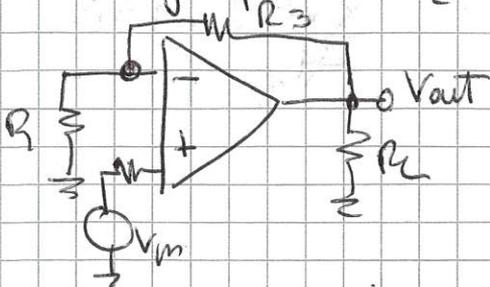
Si consideri il circuito in Fig. 1. Gli opamp saturano alle tensioni di alimentazione.  $V_b$  sia un generatore in DC e  $V_{in}$  un generatore di segnale.



- A (a) Determinare l'espressione ed il valore del guadagno  $V_{out1}/V_{in}$  a bassa frequenza. Tracciare quindi il diagramma di Bode del modulo del trasferimento ideale.
- A (b) Determinare l'espressione ed il valore delle soglie di scelta del Trigger di Schmitt e il massimo valore rms del rumore sovrapposto al segnale in ingresso che non causa eccessive commutazioni spurie.
- (c) Se entrambi gli amplificatori operazionali sono caratterizzati da una tensione di offset di 12mV, determinare l'effetto sul funzionamento del blocco amplificatore e del Trigger di Schmitt.
- A (d) Determinare il margine di fase del blocco amplificante se  $GBWP = 50 MHz$ .
- (e) Determinare il minimo valore della corrente di uscita che deve possedere l'opamp 1 per non compromettere il funzionamento del circuito.

a)  $V_{out1}/V_{in}$

A bassa frequenza  $C_2$  è un circuito aperto, quindi



$$\left. \frac{V_{out}}{V_{in}} \right|_{f_{id.}} = \left( 1 + \frac{R_3}{R_1} \right) = 1 + \frac{18k}{6k} = 4$$

3.5 VdB

$$G_{loop} = - \frac{R_1}{R_1 + R_3} A_0 = - \frac{6}{24} \cdot 10 = -790$$

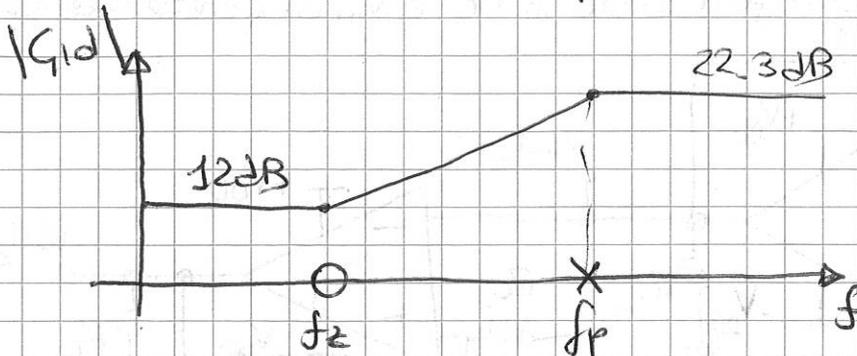
$$G_{red} = \frac{G_{id}}{1 - G_{loop}} = \frac{4}{1 + 790} = 3.9949$$

Procedo per ispezione -

$$\text{Calcolo } \left. \frac{V_{out}}{V_{in}} \right|_{HF} = 1 + \frac{R_3}{R_2 \parallel R_1} = 1 + \frac{18k}{\frac{6k \parallel 12k}{}} = 13 \Rightarrow 22.3 \text{ dB}$$

$$\frac{12k}{6k} = \frac{3k}{2} = 1.5k$$

per forz2 ci sono un polo e uno zero e  $f_z < f_p$



$$f_p = C_2 R_2 = 940 \text{ ns}$$

$$f_p = \frac{1}{2\pi C_2 R_2} = 169 \text{ kHz}$$

$$f_z: V_{out} = 0 \quad \forall V_{in} \neq 0 \Rightarrow Z_{eq}(s) = 0$$

$$Z_{eq}(0) = R_3 + R_1 \parallel (R_2 + 1/sC_2) =$$

$$= R_3 + \frac{R_1 \frac{1 + sC_2 R_2}{sC_2}}{R_1 + \frac{1 + sC_2 R_2}{sC_2}} = R_3 + \frac{R_1 (1 + sC_2 R_2)}{1 + sC_2 (R_2 + R_1)} =$$

$$= \frac{R_3 + sC_2 R_3 (R_2 + R_1) + R_1 + sC_2 R_2 R_1}{1 + sC_2 (R_2 + R_1)} =$$

$$= (R_3 + R_1) \left[ \frac{1 + sC_2 [R_1 R_2 + R_3 (R_2 + R_1)] / (R_2 + R_1)}{1 + sC_2 (R_2 + R_1)} \right] =$$

$$= (R_3 + R_1) \frac{1 + sC_2 (R_2 + R_1 \parallel R_3)}{1 + sC_2 (R_2 + R_1)}$$

$$\tau_z = C_2 (R_2 + R_1 \parallel R_3) = (2k + 6k \parallel 18k) 970 \text{ pF} = 3.06 \mu\text{s}$$

$$f_z = \frac{1}{2\pi \tau_z} = 52.1 \text{ kHz}$$

$$\frac{6+18}{24} = 4.5k$$

(b) SOGGE DI SCATTO E  $\sigma_{rms}$

Si ha la commutazione quando  $V_2^+ = V_2^-$

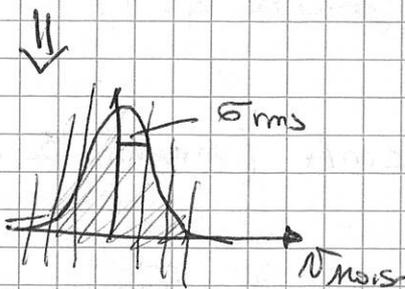
$$V^- = V_{out1}$$

$$V^+ = \frac{R_b}{R_a + R_b} V_b + V_{out2} \frac{R_a}{R_a + R_b}$$

$V_{out2}$  può assumere i soli valori stabili, pari ai livelli di retroazione

$$V_{out1} = \frac{R_b}{R_a + R_b} V_b \pm V_{DD} \frac{R_a}{R_a + R_b} = \frac{0.5V}{20} \pm \frac{5V}{20} = 0.475 \pm 0.25$$

$$= \left[ \begin{array}{l} 0.725 \\ 0.225 \end{array} \right] \Delta V = 0.5V$$



Assumo di scegliere  $\pm 3\sigma \Rightarrow 1\%$  di commutazioni spurie

$$6\sigma = 0.5V \quad \sigma = \frac{0.5V}{6} = 83.3mV$$

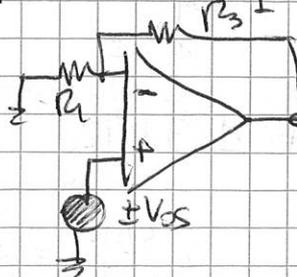
Devo riportarlo in ingresso - Divido per il massimo guadagno (condizione più povera)

$$\sigma_{rms, in} = \frac{83.3mV}{13} = 6.4mV$$

(c) EFFETTO  $V_{OS} = \pm 12mV$

Siamo in DC

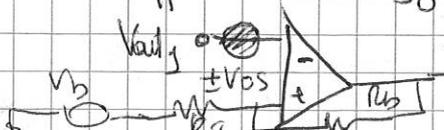
Effetto su  $V_{out1}$



$$V_{out1} = \pm V_{OS} \left(1 + \frac{R_3}{R_1}\right) = \pm 12mV * 4 = \pm 48mV$$

il nostro risultato trasferito di  $\pm 48mV$  al massimo

Effetto sul trigger di Schmitt



$$V^- = V_{out1} \pm V_{OS} \quad V^+ = V_b \frac{R_b}{R_b + R_a} + V_{out2} \frac{R_a}{R_a + R_b}$$

$$\Downarrow V_{out1} \pm V_{os} = V_b^+ \frac{R_b}{R_a + R_b} + V_{out2} \frac{R_a}{R_a + R_b}$$

$$V_{out1} = \pm V_{os} + V_b \frac{R_b}{R_a + R_b} \pm V_{out} \frac{R_a}{R_a + R_b}$$

$\Downarrow$  Le soglie sono totalmente regolate da  $\pm V_{os}$ , non cambia la ampiezza del ciclo di isteresi.

d) **MMMA  $I_{out}$**

da tensione massima di uscita con i segnali considerati in tutte le frequenze sarebbe

$$V_{out_{MAX}} = 200 \text{ mV} * 13 = 2.6 \text{ V}$$

La corrente di uscita alimenta le seguenti resistenze, ad alta frequenza

$$\left[ R_3 + R_1 \parallel R_2 \right] \parallel R_L \cong R_L = 50 \Omega \quad (\text{avrebbe } 49.9)$$

$$\Downarrow I_{out_{MAX}} = \frac{V_{out_{MAX}}}{R_L} = \frac{2.6 \text{ V}}{50 \Omega} = 52 \text{ mA} \quad (\text{in realtà } 52.1 \text{ mA})$$

e) **MARGINE DI FASE**

$$\textcircled{*} \varphi_M = \left[ -180^\circ - \arctan \frac{3.85 \text{ MHz}}{69 \text{ kHz}} - \arctan \frac{3.85 \text{ MHz}}{52.1 \text{ kHz}} + \arctan \frac{3.85 \text{ MHz}}{69 \text{ kHz}} \right] - (-360^\circ) \cong -180^\circ - 90^\circ - 90^\circ + 90^\circ + 360^\circ \cong 90^\circ$$

Calcolo  $G_{loop}(s)$

$$G_{loop}(s) = G_{loop}(s) \frac{1+s\tau_c}{1+s\tau_p} \frac{1}{1+s\tau_0}$$

$$G_{loop}(s) = -\frac{R_1}{R_1 + R_3} A_0 = -\frac{6 \text{ k}}{24 \text{ k}} A_0 = -\frac{A_0}{4}$$

$$\tau_p = C_2 (R_2 + R_1 \parallel R_3) = 470 \text{ pF} (2 \text{ k} + 6 \text{ k} \parallel 18 \text{ k}) = 3.06 \mu\text{s}$$

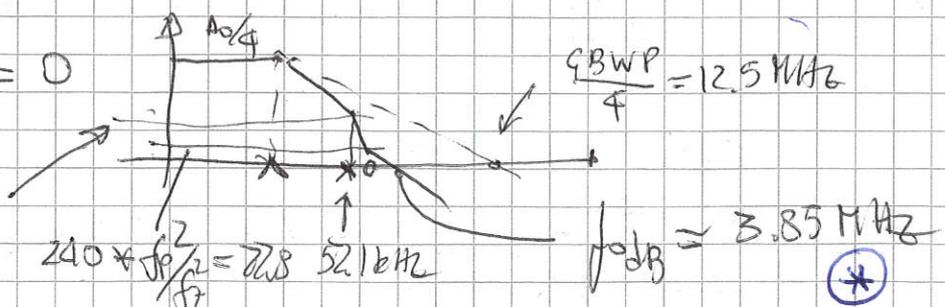
$$\hookrightarrow f_p = 52.1 \text{ kHz}$$

$$\frac{6 \times 189}{24} = 4.5 \text{ k}$$

$$\tau_2 = C_2 R_2 = 470 \text{ pF} * 2 \text{ k} = 940 \text{ ns} \Rightarrow 169 \text{ kHz}$$

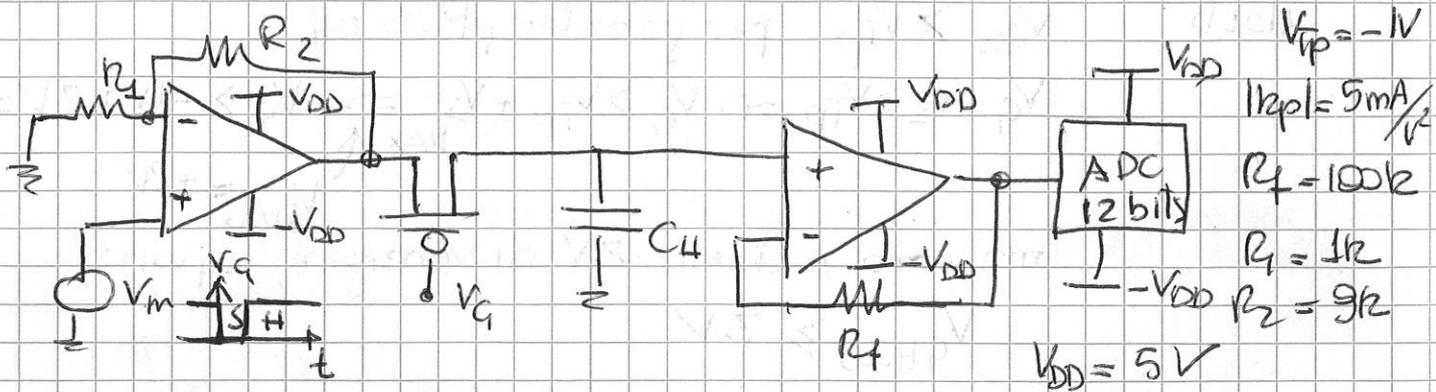
$$\tau_{eq}(s) = R_2 + \frac{1}{sC_2} = 0$$

$$\frac{A_0}{4} \frac{1}{f_p} = 240$$



# ES. 2

Si consideri la catena di acquisizione mostrata in figura 2.  $V_{in}$  sia un generatore di segnali sinusoidali di ampiezza massima 200 mV e frequenza 200 kHz. Gli amplificatori operazionali sono saturati alle tensioni di alimentazione.



a) **a)** Determinare la risoluzione ottenibile in ingresso espressa in mV. Qual sarebbe il valore ottimale della resistenza  $R_1$ . Motivare la risposta.

**b)** Determinare le tensioni di comando del pte del pMOS che garantiscono  $R_{on} \leq 10 \Omega$  in fase di sample e pMOS aperto con 2V di margine in fase di hold.

**c)** Se  $T_{sample} = 200$  ns e la frequenza di campionamento è pari a 1 MHz, determinare il minimo valore di frequenza di clock dell'ADC supportato ed approssimazioni successive che sia compatibile con il corretto funzionamento della catena.

**d)** Assumendo che gli amplificatori operazionali siano caratterizzati da un valore medio delle correnti di bias uscenti dall'amplificatore operazionale pari a  $I_B = 200$  nA, determinare quali valori può assumere la capacità di hold. Si assume  $R_{on} = 10 \Omega$ .

**e)** Determinare il minimo valore della SR che deve precedere il secondo operazionale per non incorrere in limitazioni di SR. Si assume  $C_H = 120$  pF e  $V_G = 6$  V.

**a) Risoluzione**

$$1 \text{ LSB} = \frac{FSR}{2^m} = \frac{2V_{DD}}{2^{12}} = \frac{10V}{4096} = 2.44 \text{ mV}$$

Devo riportare tale valore in ingresso. Convertire per correttezza dividendo per il guadagno reale presente in un solo stadio.

$$G_{ind} = 1 + \frac{R_2}{R_1} = 1 + 9 = 10 \Rightarrow G_m = \frac{2.44 \text{ mV}}{10} = 244 \mu\text{V}$$

La risoluzione in ingresso è pari a 244  $\mu\text{V}$

Il valore ottimale di  $R_1$  è quello che porta a coprire tutta la dinamica, cioè tale da garantire  $G = \frac{5V}{200 \text{ mV}} = 25$

$$\Downarrow G = 1 + \frac{R_2}{R_1} = 25 \Rightarrow \frac{R_2}{R_1} = 24 \Rightarrow R_1 = \frac{R_2}{24} = \frac{9}{24} = 375 \Omega$$

## (b) TENSIONI DI COMANDO

HOLD

$V_{GS} \geq V_{TP}$  per garantire pMOS off

$$V_G - V_S \geq V_{TP} \Rightarrow V_G \geq V_{TP} + V_S \Rightarrow V_G \geq -1V + 2V = +1V$$

ma sono richiesti 2V di margine, quindi

$$V_{G\text{HOLD}} \geq 3V$$

SAMPLE

$V_{GS} < V_{TP}$  per garantire pMOS on

$$V_G - V_S < V_{TP}$$

$$V_G < V_{TP} + V_S$$

$$V_G < V_{TP} + V_{S\text{min}} \Rightarrow -1V - 2V = -3V$$

$$V_{S\text{min}} = -2V$$

ma ciò non basta poiché si richiede  $R_{DS\text{on}} \leq 10 \Omega$

$$\Downarrow R_{DS\text{on}} = \frac{1}{2k_p(V_{GS} - V_{TP})} \Rightarrow 10 \geq \frac{-1}{2 * 5\text{mA}/V^2 (V_{GS} + 1V)}$$

$$10 * 10 \frac{\text{mA}}{V^2} \geq \frac{-1}{V_{GS} + 1V}$$

$$V_{GS} + 1V \leq - \frac{1}{10 \frac{\text{V}}{\text{A}} * 10 \frac{\text{mA}}{V^2}}$$

$$V_{GS} \leq -1V - \frac{1}{10^{-1}} = -11V$$

$$\Downarrow V_G - V_S \leq -11V \Rightarrow V_G \leq -11V + V_{S\text{min}} = -13V$$

## (c) FCK ADC SAR

Per il corretto funzionamento della catena si deve avere:

$$f_{\text{SAMP}} = \frac{1}{\tau_{\text{HOLD}} + \tau_{\text{SAMPLE}}}, \quad \text{Shannon è rispettato}$$

$$\begin{aligned} \hookrightarrow \tau_{\text{HOLD}} &= \frac{1}{f_{\text{SAMPLE}}} - \tau_{\text{SAMPLE}} = \frac{1}{1 \text{ MHz}} - 200 \text{ ns} \\ &= 1 \mu\text{s} - 0.2 \mu\text{s} = 0.8 \mu\text{s} \end{aligned}$$

Per il corretto funzionamento del convertitore il segnale in ingresso deve permanere costante per tutta la durata della conversione.

$$\tau_{\text{HOLD}} \geq \tau_{\text{CONV}}$$

$$\tau_{\text{CONV}} \Big|_{\text{SAR}} = \frac{m}{f_{\text{CLK}}} \Rightarrow 0.8 \mu\text{s} = \frac{m}{f_{\text{CLK}}}$$

$$f_{\text{CLK}} = \frac{12 \text{ bits}}{0.8 \mu\text{s}} = 15 \text{ MHz}$$

d)  $C_H$

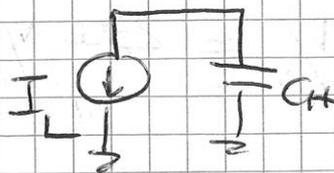
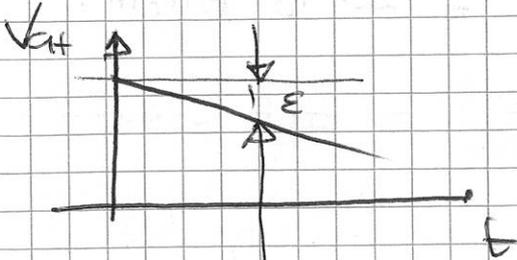
Quello che occorre è che la corrente di bias del buffer al morsetto  $\oplus$  possa caricare durante la fase di Hold limitando, quindi, la massima durata del tempo di Hold.

$$\tau_{\text{CONV}} = \frac{m}{f_{\text{CLK}}} = \frac{12 \text{ bit}}{30 \text{ MHz}} = 400 \text{ ns}$$

$$\Downarrow \tau_{\text{HOLD}} \Big|_{\text{min}} = 400 \text{ ns}$$

$$1 \text{ LSB} = \frac{\text{FSR}}{2^m} = 2.44 \text{ mV}$$

$$\Downarrow 244 \mu\text{V}$$



$$\frac{dV_{\text{CH}}}{dt} = \frac{I_L}{C_H}$$

$$\text{Assumo } \epsilon = \frac{1}{2} \text{ LSB, come potremmo.} \quad \epsilon \geq \frac{I_L}{C_H} \times \tau_{\text{HOLD}} \Big|_{\text{min}} \Rightarrow \tau_{\text{HOLD}} \Big|_{\text{min}} = \frac{200 \text{ mA}}{C_H} \times \tau_{\text{HOLD}} \Big|_{\text{min}}$$

$C_H$

$$\frac{1}{2} \text{ LSB} \cong \frac{I_L}{C_H} \times \tau_{\text{HOLD}} \Big|_{\text{min}}$$

$$C_H \geq \frac{I_L}{\frac{1}{2} \text{ LSB}} \times \tau_{\text{HOLD}} \Big|_{\text{min}}$$

$$= 200 \text{ mA} \times \frac{1}{1.22 \text{ mV}} \times 400 \text{ ms} = 210^{-7} \text{ A} \times \frac{1}{1.22 \cdot 10^{-3} \text{ V}} \times 4 \cdot 10^{-7} \text{ s}$$

$$= 6.55 \cdot 10^{-11} \text{ F} = 65.5 \text{ pF}$$

⑤ SR

Lo SR limita la capacità del secondo opamp di seguire la tensione di capi di  $V_{out}$

La massima pendenza della tensione si ha nella fase di sample quando la capacità inizia a caricarsi esponenzialmente tramite la resistenza  $R_{ds, on}$

$$R_{ds, on} = \frac{1}{2k_p (V_{GS} - V_{TP})} = \frac{1}{2 \times 5 \text{ mA/V}^2 (V_{GS} - V_{TP})} = \frac{1}{2}$$



$$\left. \frac{dV}{dt} \right|_{max} = \frac{4V}{\tau} = \frac{10 \text{ mA/V}^2 \cdot k_p (V_{GS} - V_{TP})}{2}$$

↳ l'attico fronte presenterebbe  $R_{ds, on}$  maggiore e quindi, minore pendenza

$$\tau = R_{ds, on} \times C$$

$$R_{ds, on} = \frac{10^3}{70} = 14.3 \Omega$$

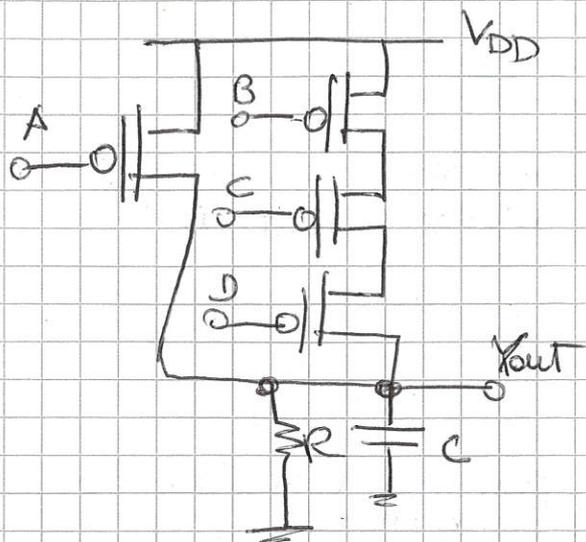
$$\Downarrow \text{SR} \geq \frac{4V}{\tau}$$

$$\text{SR} \geq \frac{4V}{\tau} = \frac{4V}{14.3 \Omega \cdot C} = \frac{4V}{14.3 \Omega \cdot 122 \text{ pF}}$$

$$= 2.3 \cdot 10^9 \text{ V/s} = 2300 \text{ V}/\mu\text{s}$$

### ES. 3 (SOLO APPELLO)

Si consideri il circuito a transistori mostrato in Fig. 3



$$R = 4k\Omega$$

$$C = 5pF$$

$$|k_p| = k_n = 0.5 \text{ mA/V}^2$$

$$|V_{tp}| = V_{tn} = 0.9V$$

$$V_{DD} = 2.7V$$

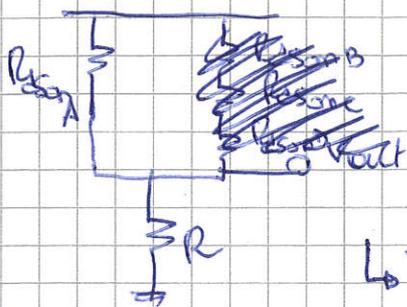
- Determinare la funzione logica svolta dalla porta ed il valore analogico (della tensione) di uscita  $V_{out}$  se  $A=B=C=D=1$  e se  $A=0$  e  $B=C=D=1$ .
- Disegnare l'andamento temporale della tensione di uscita  $V_{out}$ , a seguito della commutazione  $A=1, B=C=0, D=1$  e  $A=0, B=1, C=D=0$  qualora tutti i punti significativi.
- Disegnare la corrispondente porta logica in tecnologia CMOS, giustificando tutte le scelte effettuate.
- Determinare la massima ampiezza di un disturbo sulla alimentazione positiva che non faccia ~~disturbare la porta~~ variare il valore analogico della tensione di uscita di più di  $V_{DD}/4$ . Si formino le dovute approssimazioni.

#### ② FUNZIONE LOGICA E VALORI $V_{out}$

$$Y = \bar{A} + \bar{B} \cdot \bar{C} \cdot \bar{D} = \bar{A} + \overline{(B+C+D)} = A \cdot (B+C+D)$$

Se  $A=0, B=C=D=1 \Rightarrow$  ~~il~~ il PMOS ~~è acceso~~ ~~è acceso~~

Posso approssimare la rete come

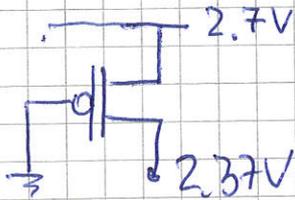


$$R_{DSMA} = \frac{1}{2k_p(V_{GS} - V_{tp})} = \frac{1}{2 \times 0.5 \text{ mA/V}^2 (2.7V - 0.9V)}$$

$$= \frac{1}{1.8 \text{ mA/V}} = 555 \Omega$$

$$V_{out} = R / (R + R_{DSMA}) \cdot V_{DD} = \frac{4k}{4k + 555\Omega} \cdot 2.7V$$

Con  $V_{out} = 2.37V$  il pMOS a mezzo piccolamente in



20m2 ohmice  
~~2~~

Se  $A=B=C=D=1 \Rightarrow$  tutti i pMOS sono aperti, non può passare corrente tra alimentazione e mezzo e  $V_{out}=0$

**(b) ANDAMENTO  $V_{out}$ .**

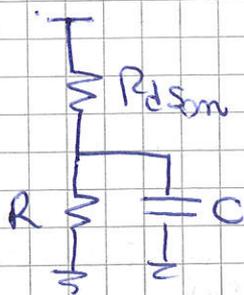
Con la combinazione di ingressi

$A=1, B=C=0, D=1$  non c'è percorso conduttivo tra alimentazione e mezzo  $\rightarrow V_{out}=0$

Quando gli ingressi cominceranno a

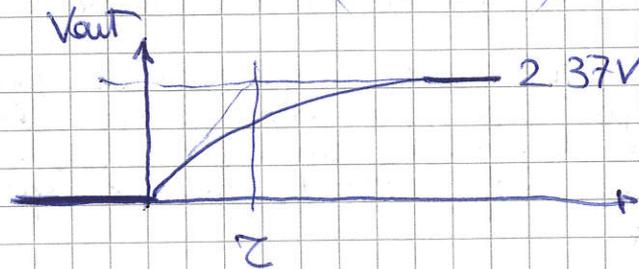
$A=0, B=1, C=0, D=0$

Si accendono, i MOS pilotati da A, C e D sono responsabile dello carico della capacità e solo il pMOS



Approssimaz. ohmice

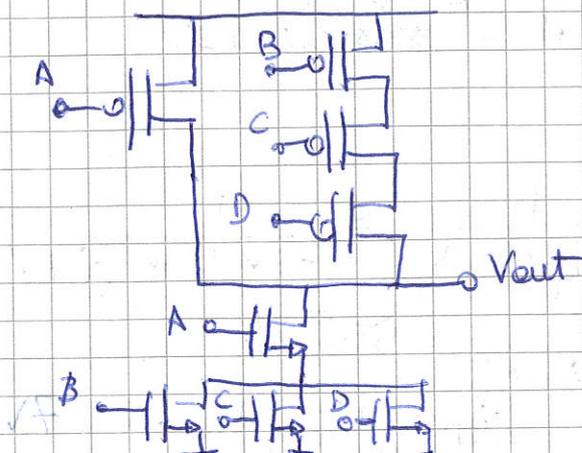
$$\tau = C (R_{ds_{on}} \parallel R) = 5pF (555\Omega \parallel 4k\Omega) = 487\Omega$$



$$V_{regime} = \frac{R}{R + R_{ds_{on}}} V_{DD} = 2.37V$$

$R_{ds_{on}} = 555\Omega$  (dal punto a)  $\tau = 2.43 ms$

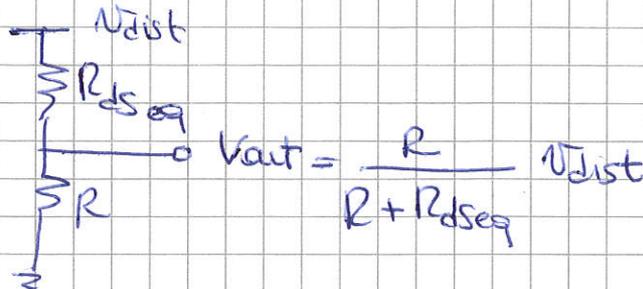
**(c) PORTA CMOS**



### (d) DISTURBO AUMENTAZIONE

Un disturbo sull'alimentazione ha effetto solo quando i MOS sono accesi.

La situazione peggiore si ha quando ~~l'impedenza~~ <sup>l'impedenza</sup> ~~è~~ <sup>sono</sup> ~~il~~ <sup>le</sup> ~~più~~ <sup>più</sup> ~~basso~~ <sup>basso</sup> e, quindi, la partizione più sfavorevole.



$$R_{dseq} = R_{dsonA} \parallel (3R_{dson}) = \frac{1 \times 3}{4} R_{dson} = \frac{3}{4} R_{dson}$$
$$= \frac{3}{4} \times 555 \Omega = 416 \Omega$$

$$\Downarrow \frac{V_{DD}}{4} \geq \frac{R}{R + R_{dseq}} V_{dist}$$

$$V_{dist} \leq \frac{V_{DD}}{4} \left( 1 + \frac{R_{dseq}}{R} \right) = \frac{2.7V}{4} \left( 1 + \frac{416}{4000} \right) = 745 \text{ mV}$$