

# Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2010/11

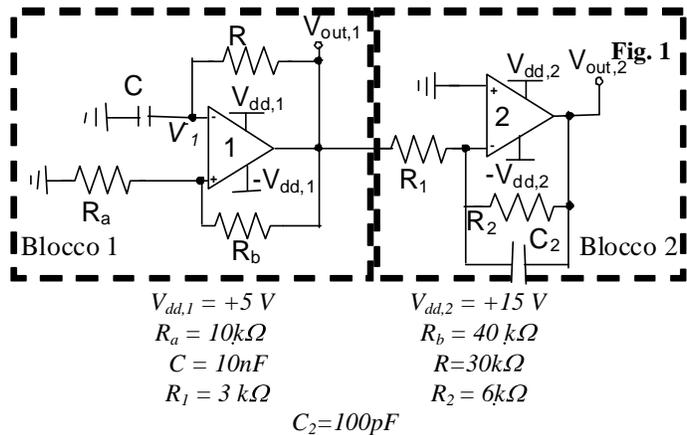
## 2<sup>a</sup> prova in itinere – 28 giugno 2011

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ....  
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.  
 Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

### Esercizio 1

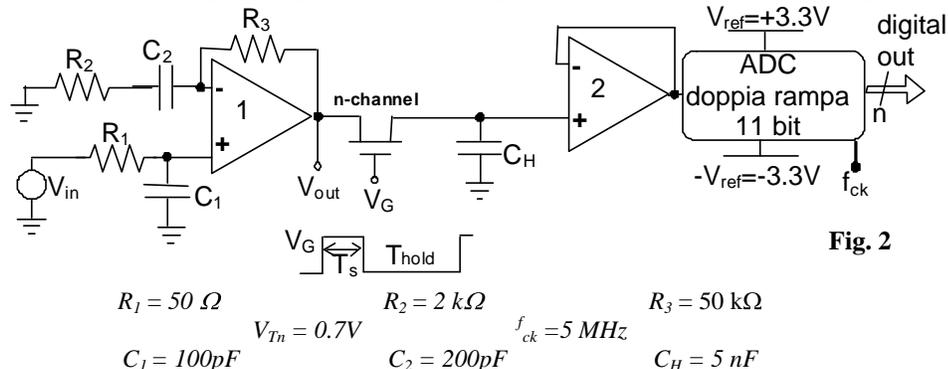
Si consideri il circuito mostrato in Fig. 1. Si assuma che gli amplificatori operazionali saturino alle tensioni di alimentazione.

- a. **Determinare l'espressione ed il valore del guadagno ideale ( $V_{out,2}/V_{out,1}$ ) a bassa frequenza del circuito nel blocco 2.**
- b. **Determinare la frequenza del segnale in uscita dal blocco 1 ( $V_{out,1}$ ), nelle ipotesi di amplificatore operazionale ideale.**
- c. **Disegnare in tre diagrammi temporali separati, quotandone tutti i punti significativi, l'andamento delle tensioni,  $V_1$ ,  $V_{out,1}$ ,  $V_{out,2}$ , nelle ipotesi di amplificatori operazionali ideali.**
- d. Se si assume che l'amplificatore operazionale 2 sia caratterizzato da una tensione di offset  $V_{os} = 5mV$  e da una corrente di bias entrante nei morsetti dell'operazionale  $I_B = 10 nA$ , determinare la massima traslazione della tensione di uscita  $V_{out,2}$ .
- e. Determinare il minimo valore di *Slew-Rate* che deve possedere l'amplificatore operazionale 2, perche' il segnale in uscita non subisca distorsioni.
- f. Determinare il massimo valore che deve assumere la capacita'  $C_2$  perche' la tensione  $V_{out,2}$  vada a regime in ogni semiperiodo.



### Esercizio 2

Si consideri la catena mostrata in Fig. 2 per l'amplificazione, il campionamento e la conversione del segnale.



- a) **Disegnare, quotandone tutti i punti significativi, il diagramma di Bode del modulo del guadagno ideale  $V_{out}/V_{in}$ .**
- b) **Determinare il minimo valore della resistenza  $R_{ds,off}$ , che deve mostrare il transistor del circuito di *Sample&Hold*, perche' il massimo errore causato dal *droop* sia minore di  $1/2 LSB$ . Si assuma il minimo tempo di *Hold* necessario.**
- c) **Determinare il minimo valore del guadagno ad anello aperto  $A_0$  che deve possedere l'amplificatore operazionale 2, perche' la tensione in ingresso all'ADC differisca al piu' di un fattore  $2 \times 10^{-5}$  dalla tensione memorizzata sulla capacita' di *Hold*.**
- d) Se il segnale di ingresso fosse una tensione costante pari a  $300 mV$ , determinare i valori della tensione di comando  $V_G$  del gate del transistor che garantiscano una resistenza virtualmente infinita in fase di *Hold* e l'accensione del transistor in fase di *Sample*.
- e) Assumendo che l'amplificatore operazionale sia caratterizzato da un guadagno ad anello aperto pari a  $A_0 = 80 dB$ , determinare la costante di tempo del polo ad anello chiuso introdotto dalla capacita'  $C_2$  nel guadagno reale.
- f) Determinare il margine di fase del primo circuito amplificatore, se l'amplificatore operazionale e' caratterizzato da un guadagno in continua  $A_0 = 70 dB$  e da una frequenza del polo ad anello aperto  $f_0 = 100 Hz$  e commentare la stabilita' del circuito.