

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2012/13

appello 0° – 27 giugno 2013

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.
 Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito mostrato in Fig. 1. Si assuma che gli amplificatori operazionali saturino alle tensioni di alimentazione.

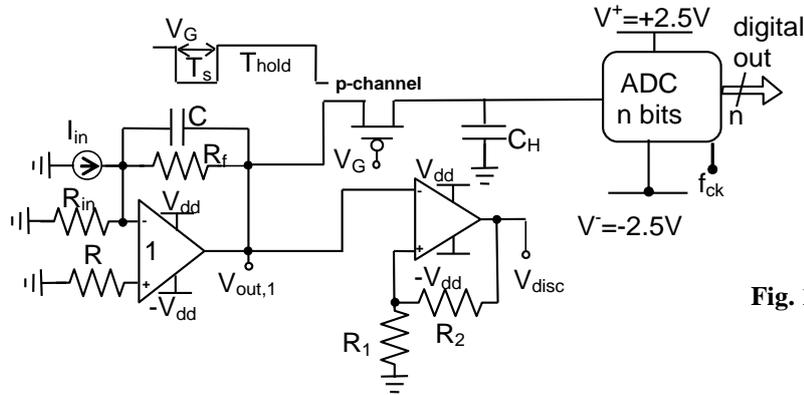
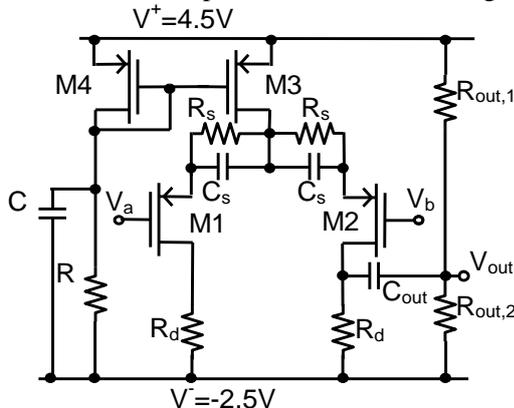


Fig. 1

- $V_{dd} = +5\text{ V}$ $R_{in} = 100\text{ k}\Omega$ $R_f = 500\text{ k}\Omega$ $R = 500\text{ k}\Omega$ $C = 10\text{ pF}$
 $R_1 = 0.5\text{ k}\Omega$ $R_2 = 9.5\text{ k}\Omega$ $C_H = 10\text{ pF}$ $|V_{Tpl}| = 1\text{ V}$ $|k_p| = \frac{1}{2}\mu_p C_{ox}(W/L) = 10\text{ mA/V}^2$
- Tracciare il diagramma di Bode del modulo del trasferimento ideale ($V_{out,1}/I_{in}$), quotandone tutti i punti significativi.**
 - Determinare i valori limite della tensione di comando che deve essere applicata all'elettrodo di gate del transistor $pMOS$ per garantire una resistenza $R_{ds,off}$ idealmente infinita nella fase di *Hold* e una resistenza $R_{ds,on}$ non superiore a $6\ \Omega$ nella fase di *Sample*, assumendo segnali di massima dinamica.**
 - Disegnare l'andamento della caratteristica di trasferimento ingresso-uscita ($V_{disc}/V_{out,1}$), quotandone tutti i punti significativi e mostrando in dettaglio i calcoli effettuati per determinare l'andamento di tale caratteristica.**
 - Determinare la frequenza di *clock* minima perche' la catena di acquisizione sia in grado di digitalizzare correttamente segnali sinusoidali di frequenza compresa nell'intervallo $[1\text{ kHz} - 100\text{ kHz}]$, se l'ADC e' ad approssimazioni successive a 12 bits . Si assuma il minimo tempo di *Sample* pari a un colpo di *clock*.
 - Determinare la frequenza del polo ad anello chiuso del trasferimento $V_{out,1}/I_{in}$ se l'amplificatore operazionale 1 e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 90\text{ MHz}$.

Esercizio 2

Si consideri il circuito amplificatore mostrato in Fig. 2.



- $R_d = 12\text{ k}\Omega$
 $R_s = 500\ \Omega$
 $C_s = 16\text{ pF}$
 $R_{out,1} = 450\text{ k}\Omega$
 $R_{out,2} = 250\text{ k}\Omega$
 $C_{out} = 220\text{ pF}$
 $C = 2.2\ \mu\text{F}$
 $|V_{Tpl}| = 0.7\text{ V}$
 $\frac{1}{2}\mu_p C_{ox} = 40\ \mu\text{A/V}^2$
 $(W/L)_{1,2,4} = 5$
 $(W/L)_3 = 10$
 $\mu_p = 400\text{ cm}^2/(\text{Vs})$
 $\mu_n = 1350\text{ cm}^2/(\text{Vs})$

- Determinare il valore della resistenza R che garantisca una corrente nei transistori $M1$ e $M2$ pari a 0.2 mA . Calcolare, quindi, la polarizzazione del circuito, calcolando le tensioni a tutti i nodi e le correnti in tutti i rami.**
- Calcolare il guadagno di piccolo segnale differenziale $v_{out}/(v_b - v_a)$ a media frequenza (C e C_{out} chiuse, C_s aperte).**
- Determinare il numero di quadri necessario per realizzare la resistenza R in una tecnologia che offra diffusioni di Fosforo con una dose $D = 1.4 \times 10^4\ \mu\text{m}^{-2}$.**
- Calcolare il guadagno di piccolo segnale di modo comune $2v_{out}/(v_b + v_a)$ a media frequenza (C e C_{out} chiuse, C_s aperte), assumendo per il transistor $M3$ una resistenza di uscita $r_o = 50\text{ k}\Omega$.
- Tracciare il diagramma di Bode del guadagno di piccolo segnale differenziale $v_{out}/(v_b - v_a)$.