

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2012/13

2^a prova in itinere – 27 giugno 2013

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.
 Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito mostrato in Fig. 1. Si assuma che gli amplificatori operazionali saturino alle tensioni di alimentazione.

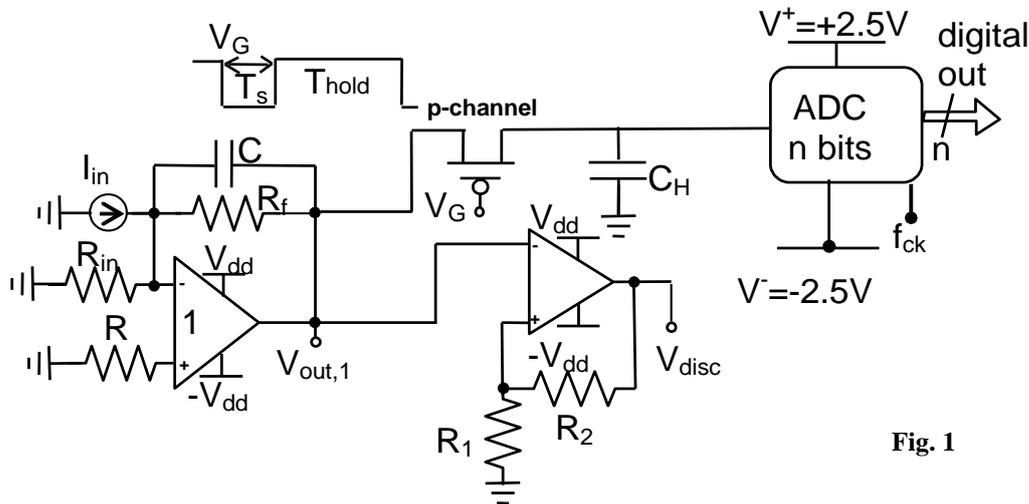


Fig. 1

$$\begin{array}{llll}
 V_{dd} = +5\text{ V} & R_{in} = 100\text{ k}\Omega & R_f = 500\text{ k}\Omega & R = 500\text{ k}\Omega & C = 10\text{ pF} \\
 R_1 = 0.5\text{ k}\Omega & R_2 = 9.5\text{ k}\Omega & C_H = 10\text{ pF} & |V_{Tp}| = 1\text{ V} & |k_p| = \frac{1}{2}\mu_p C_{ox} (W/L) = 10\text{ mA/V}^2
 \end{array}$$

- a. **Tracciare il diagramma di Bode del modulo del trasferimento ideale ($V_{out,1}/I_{in}$), quotandone tutti i punti significativi.**
- b. **Determinare i valori limite della tensione di comando che deve essere applicata all'elettrodo di gate del transistor *pMOS* per garantire una resistenza $R_{ds,off}$ idealmente infinita nella fase di *Hold* e una resistenza $R_{ds,on}$ non superiore a $6\ \Omega$ nella fase di *Sample*, assumendo segnali di massima dinamica.**
- c. **Disegnare l'andamento della caratteristica di trasferimento ingresso-uscita ($V_{disc}/V_{out,1}$), quotandone tutti i punti significativi e mostrando in dettaglio i calcoli effettuati per determinare l'andamento di tale caratteristica.**
- d. **Determinare il minimo PSRR che deve possedere l'amplificatore operazionale 1, per evitare commutazioni spurie dell'uscita V_{disc} , se il disturbo sovrapposto all'alimentazione positiva V_{dd} ha ampiezza 500 mV picco-picco e frequenza 50 Hz .**
- e. **Determinare il minimo valore dell'ampiezza del segnale in ingresso che consenta di far commutare la parola digitale in uscita e il massimo valore di tale ampiezza, se l'ADC ha 12 bits.**
- f. **Determinare la frequenza di *clock* minima perche' la catena di acquisizione sia in grado di digitalizzare correttamente segnali sinusoidali di frequenza compresa nell'intervallo $[1\text{ kHz} - 100\text{ kHz}]$, se l'ADC e' ad approssimazioni successive a 12 bits. Si assuma il minimo tempo di *Sample* pari a un colpo di *clock*.**
- g. **Determinare la frequenza del polo ad anello chiuso del trasferimento $V_{out,1}/I_{in}$ se l'amplificatore operazionale 1 e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 90\text{ MHz}$.**
- h. **Determinare il minimo valore del *CMRR* dell'amplificatore operazionale 1, perche' l'effetto sull'uscita sia minore di 1 LSB , nel caso di segnali di massima dinamica e di ADC a 12 bits.**
- i. **Determinare il massimo valore della resistenza di ingresso dell'ADC, supposto a gradinata e a 12 bits, perche' il sistema possa funzionare con una frequenza di *clock* non inferiore a 10 MHz .**
- j. **Calcolare il massimo valore di capacita' di *Hold* che consenta di avere un errore minore di 1 LSB con un ADC a 12 bits se la minima resistenza che l'amplificatore operazionale 1 puo' pilotare e' $100\ \Omega$ e il tempo di *Sample* e' pari a 250 ns .**