

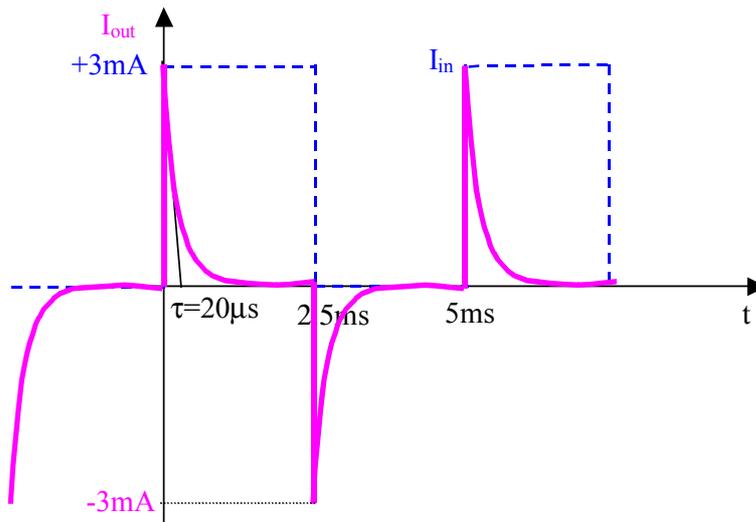
**Fondamenti di Elettronica – Ing. Elettronica - AA 2004/2005 – 23 novembre 2004**  
**Traccia di soluzione Compito B**

**Esercizio 1**

**a)  $I_{out}$  con periodo onda quadra di ingresso  $T=5ms$**

La costante di tempo del circuito  $\tau = C \cdot (R_1 // R_2) = 20\mu s$  e' molto minore del semi-periodo dell'onda quadra di ingresso. Pertanto in ogni semi-periodo la corrente  $I_{out}$  puo' andare a regime.

Sul fronte la corrente fluisce tutta nel condensatore poiche' il condensatore non puo' variare istantaneamente la tensione ai suoi capi. La corrente nel condensatore varia esponenzialmente con costante di tempo  $\tau$  per assestarsi a regime a 0.



**b)  $I_{out}$  con periodo onda quadra di ingresso  $T=20\mu s$**

La costante di tempo del circuito  $\tau = C \cdot (R_1 // R_2) = 20\mu s$  e' uguale al semi-periodo dell'onda quadra di ingresso. Pertanto in ogni semi-periodo la corrente  $I_{out}$  non riesce ad andare a regime.

La corrente di uscita avra' quindi un andamento piu' simile ad un onda quadra (sebbene le transizioni siano sempre comunque esponenziali).

Calcoliamo i valori massimi e minimi di corrente in uscita.

Durante il semiperiodo positivo la corrente di uscita avra' espressione:

$$I_{out_a}(t) = I_1 e^{-\frac{t}{\tau}}$$

mentre durante il semiperiodo negativo avra' espressione:

$$I_{out_b}(t) = I_2 e^{-\frac{t}{\tau}}$$

dove  $I_1$  e  $I_2$  indicano, rispettivamente, il massimo ed il minimo valore del segnale di corrente in uscita.

I valori  $I_1$  e  $I_2$  si trovano impostando la continuita' in valore del segnale di corrente di uscita:

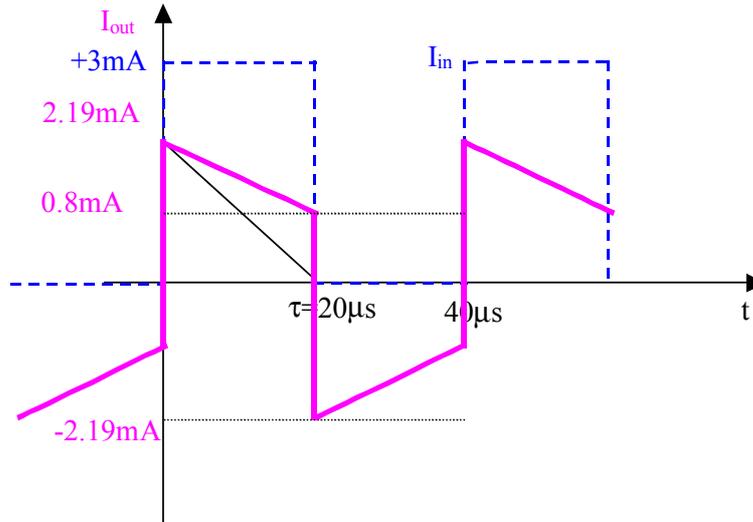
$$\begin{cases} I_{out_a}(\tau) - 3mA = I_{out_b}(0) \\ I_{out_a}(0) = I_{out_b}(\tau) + 3mA \end{cases}$$

Tale sistema ammette come soluzione:

$$I_1 = 3mA \frac{\left(1 - \frac{1}{e}\right)}{\left(1 - \frac{1}{e^2}\right)} = 2.19mA$$

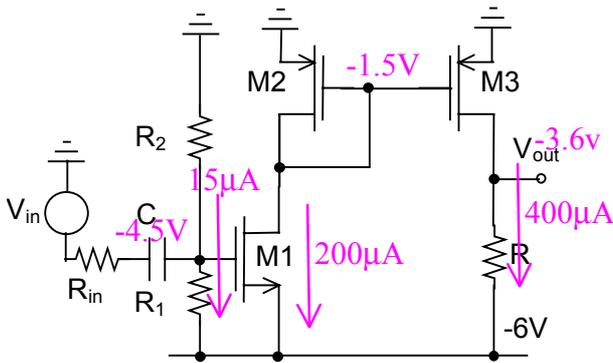
$$I_2 = -3mA \frac{\left(1 - \frac{1}{e}\right)}{\left(1 - \frac{1}{e^2}\right)} = -2.19mA$$

e, come ovvio,  $I_1$  e  $I_2$  sono uguali in modulo.



## Esercizio 2

### a) Polarizzazione



Tutti i transistori operano in zona di saturazione e le transconduttanze valgono:

$$g_{m,n} = 2k_n(V_{GS} - V_{T,n}) = 400\mu S = g_{m,p2}$$

$$g_{m,p3} = 2k_{p3}(V_{GS} - V_{T,p}) = 800\mu S$$

### b) Guadagno di piccolo segnale a media frequenza

$$v_{gs} = \frac{R_1 // R_2}{R_1 // R_2 + R_{in}} v_{in}$$

$$i_{d1} = g_{m,n} v_{gs} = i_{d2}$$

$$i_{d3} = 2i_{d2}$$

$$v_{out} = i_{d3} R = 2g_{m,n} R \frac{R_1 // R_2}{R_1 // R_2 + R_{in}} v_{in}$$

Quindi il guadagno di piccolo segnale risulta

$$\frac{v_{out}}{v_{in}} = i_{d3} R = 2g_{m,n} R \frac{R_1 // R_2}{R_1 // R_2 + R_{in}} = +4.74$$

### c) Dimensionamento della capacita' di disaccoppiamento

La capacita'  $C$  introduce uno zero nell'origine ed un polo con costante di tempo

$$\tau_p = C(R_1 // R_2 + R_{in})$$

Per garantire la corretta amplificazione di segnali nella banda 5kHz – 500kHz si deve avere

$$f_p < 5kHz$$

⇓

$$C > \frac{1}{2\pi f_p (R_1 // R_2 + R_{in})} = 0.42nF$$

In realta' si deve avere che il polo cada almeno una decade prima della minima frequenza di segnale da amplificare.

**d) Guadagno di piccolo segnale a media frequenza considerando  $r_0$**

$$G = \frac{R_2 // R_1}{R_2 // R_1 + R_{in}} \cdot g_{m1} \cdot \frac{r_0/2}{r_0/2 + 1/g_{m2}} \cdot 2 \cdot (R // r_{03}) = +3.97$$

**e) Dinamica**

Sulla dinamica negativa la tensione di uscita puo' scendere, senza rischi per quanto riguarda M3, fino a 0V, M2 e' sempre in zona di saturazione, ma M1 rischia di spegnersi. Cio' accade quando  $V_G = -5.5V$  che corrisponde ad avere corrente nulla in uscita e cioe'  $V_{out} = -6V$ . Pertanto la dinamica negativa e' pari a  $-2.4V$ .

Sulla dinamica positiva rischiano di uscire dalla saturazione sia M1 che M3; vediamo a chi accade prima di uscire dalla zona di saturazione.

Per M3  $V_{out}$  puo' salire fino a  $V_{G3} + |V_T|$  e, quindi, puo' salire fino a  $-1V$ , in prima approssimazione. In realta' dovrei considerare che il suo gate scende, ma scende meno di quanto salga il suo drain dal momento che l'impedenza sul drain di M1 e'  $1/g_m$ .

Per M1 la tensione di drain puo' scendere fino a  $-5V$ , quindi in prima approssimazione si avrebbe  $V_{GS3} = -5V$  e quindi una corrente di drain di M3 pari a  $8.1mA$ , situazione chiaramente irraggiungibile poiche' M3 esce prima dalla saturazione.

La dinamica del circuito risulta, pertanto, in prima approssimazione:

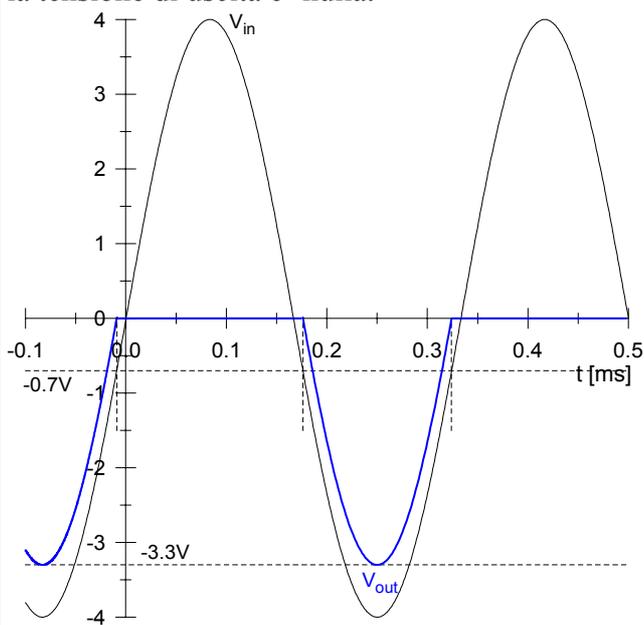
$$-2.4V \leq \Delta V_{out} \leq +2.6V$$

**Esercizio 3**

**a) Tensione di uscita in presenza di ingresso di ampiezza 4V**

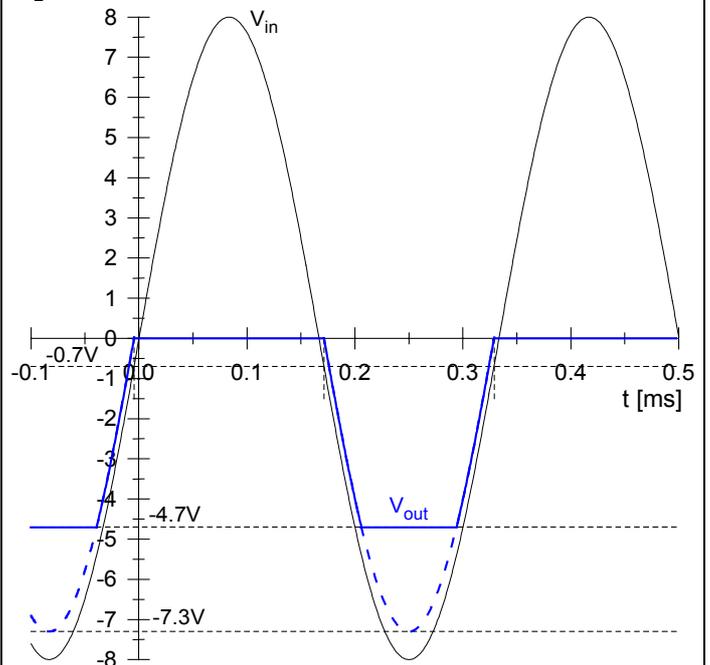
Perche' si accenda il diodo  $D_2$  occorre che la tensione di uscita sia inferiore a  $-4.7V$ . Questo e' impossibile se il segnale sinusoidale di ingresso ha ampiezza pari a 4V. Pertanto il diodo  $D_2$  sara' sempre spento e, quindi, non influenza il comportamento del circuito.

Perche'  $D_1$  si accenda la tensione di ingresso  $V_{in}$  deve essere inferiore a  $-0.7V$ . Se  $V_{in}$  e' maggiore di  $-0.7V$  non circola corrente nella resistenza R e la tensione di uscita e' nulla.



**b) Tensione di uscita in presenza di ingresso di ampiezza 8V**

In questo caso si puo' accendere anche  $D_2$  poiche' la tensione di uscita  $V_{out}$  puo' scendere sotto i  $-4.7V$ . Per tensioni  $V_{out}$  minori di  $-4.7V$  si accende il diodo  $D_2$  e limita la tensione di uscita a  $-4.7V$ .



**c) Potenza dissipata dalla resistenza**

$$V_{in} = -4V \Rightarrow V_{out} = -3.3V = -V_R \Rightarrow I_R = 1mA \Rightarrow P_{diss,R} = I_R V_R = 3.3mW$$

$$V_{in} = -8V \Rightarrow V_R = 7.3V \Rightarrow I_R = 2.21mA \Rightarrow P_{diss,R} = I_R V_R = 16.1mW$$

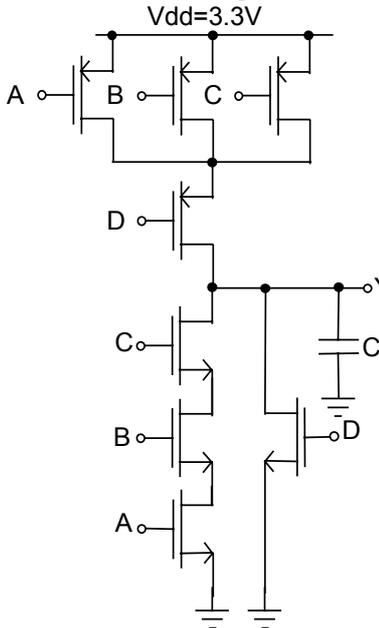
## Esercizio 4

### a) Rete di pull-up e pull-down

La funzione logica svolta dal circuito e'

$$Y = \overline{(A \cdot B \cdot C)} + D = \overline{(A \cdot B \cdot C)} \cdot \overline{D} = (\overline{A} + \overline{B} + \overline{C}) + \overline{D}$$

Pertanto la rete logica risulta la seguente:



### b) Tempo di commutazione

#### Transizione ABCD=0101 → ABCD=0110

ABCD=0101: e' acceso l'NMOS D e, quindi, l'uscita Y e' allo zero logico.

ABCD=0110: sono accesi i PMOS A e D che caricano la capacita'  $C_L$  portando, cosi', l'uscita Y all'uno logico.

*Approssimazione ohmica:* (e' sufficiente uno dei due approcci!)

$$R_{DS_{on}} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{DS}=0} = \left| \frac{1}{2k_p (V_{GS} - V_{T,p})} \right| = \frac{1}{2 \cdot \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{dd} - |V_{T,p}|)} = 500\Omega$$

La carica della capacita' avviene attraverso la serie dei due PMOS A e D

$$t_{pLH} = 0.69\tau = 0.69(R_{DS_{on}} + R_{DS_{on}})C_L = 3.45ns$$

*Approssimazione satura:*

Calcoliamo il fattore di forma del PMOS dell'inverter equivalente relativo a questa transizione

$$\left(\frac{W}{L}\right)_{p,eq} = \frac{1}{\left(\frac{W}{L}\right)_{p,A} + \left(\frac{W}{L}\right)_{p,D}} = \frac{1}{2} \left(\frac{W}{L}\right)_p$$

$$t_{pLH} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{p,eq} (V_{dd} - |V_{T,p}|)^2} = 6.6ns$$

#### Transizione ABCD=0110 → ABCD=0101

ABCD=0110: sono accesi i PMOS A e D e, quindi, l'uscita Y e' all'uno logico.

ABCD=0101: e' acceso l'NMOS D attraverso il quale la capacita' si puo' scaricare e, quindi, l'uscita Y si porta allo zero logico.

*Approssimazione ohmica:* (e' sufficiente uno dei due approcci!)

$$R_{DS_{on}} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{DS}=0} = \left| \frac{1}{2k_n (V_{GS} - V_{T,n})} \right| = \frac{1}{2 \cdot \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,p})} = 400\Omega$$

La scarica avviene attraverso l'NMOS D:

$$t_{pLH} = 0.69\tau = 0.69 \cdot R_{DS_{on}} C_L = 1.38ns$$

*Approssimazione satura:*

$$t_{pLH} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,n})^2} = 2.64ns$$

### c) Tempo di commutazione con rete modificata

La presenza della resistenza R modifica la resistenza attraverso cui si carica o si scarica la capacita'.

Utilizziamo l'approssimazione ohmica perche' piu' semplice:

La scarica della capacita' avviene attraverso la serie dei PMOS A e D e la resistenza R:

*ABCD*: 0101 → 0110

*Y*: 0 → 1

$$t_{pLH} = 0.69\tau = 0.69 \cdot C_L (R + 2R_{DS_{on,p}}) = 10.35ns$$

*ABCD*: 0110 → 0101

*Y*: 1 → 0

$$t_{pLH} = 0.69\tau = 0.69 \cdot C_L (R + R_{DS_{on,n}}) = 8.28ns$$

In conclusione la presenza della resistenza R rallenta tutti tempi di commutazione.