

Fondamenti di Elettronica – Ing. Elettronica - AA 2004/2005 – 23 novembre 2004
Traccia di soluzione Compito A

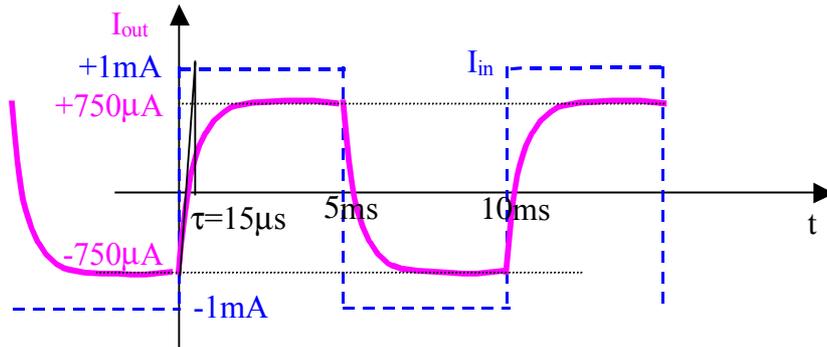
Esercizio 1

a) I_{out} con periodo onda quadra di ingresso $T=10\text{ms}$

La costante di tempo del circuito $\tau = C \cdot (R_1 // R_2) = 15\mu\text{s}$ e' molto minore del semi-periodo dell'onda quadra di ingresso. Pertanto in ogni semi-periodo la corrente I_{out} puo' andare a regime.

Sul fronte la corrente fluisce tutta nel condensatore poiche' il condensatore non puo' variare istantaneamente la tensione ai suoi capi. La corrente nella resistenza, sul fronte, e' quindi uguale al valore che aveva prima della commutazione e varia esponenzialmente per assestarsi al valore a regime

$$I_{out} = \frac{R_1}{R_1 + R_2} I_{in_{max}} = 750\mu\text{A}$$



b) I_{out} con periodo onda quadra di ingresso $T=30\mu\text{s}$

La costante di tempo del circuito $\tau = C \cdot (R_1 // R_2) = 15\mu\text{s}$ e' uguale al semi-periodo dell'onda quadra di ingresso. Pertanto in ogni semi-periodo la corrente I_{out} non riesce ad andare a regime.

La corrente di uscita avra' quindi un andamento piu' simile ad un onda triangolare (sebbene le transizioni siano sempre comunque esponenziali).

Calcoliamo i valori massimi e minimi di corrente in uscita.

Durante il semiperiodo positivo la corrente di uscita avra' espressione:

$$I_{out_a}(t) = (I_2 - I_{in}^+) e^{-\frac{t}{\tau}} + I_{in}^+$$

mentre durante il semiperiodo negativo avra' espressione:

$$I_{out_b}(t) = (I_1 - I_{in}^-) e^{-\frac{t}{\tau}} + I_{in}^-$$

dove I_{in}^- e I_{in}^+ indicano, rispettivamente, il valore negativo e positivo a cui giungerebbe a regime il segnale di corrente in uscita e I_1 e I_2 indicano, rispettivamente, il massimo ed il minimo valore del segnale di corrente in uscita.

I valori I_1 e I_2 si trovano impostando la continuita' in valore del segnale di corrente di uscita:

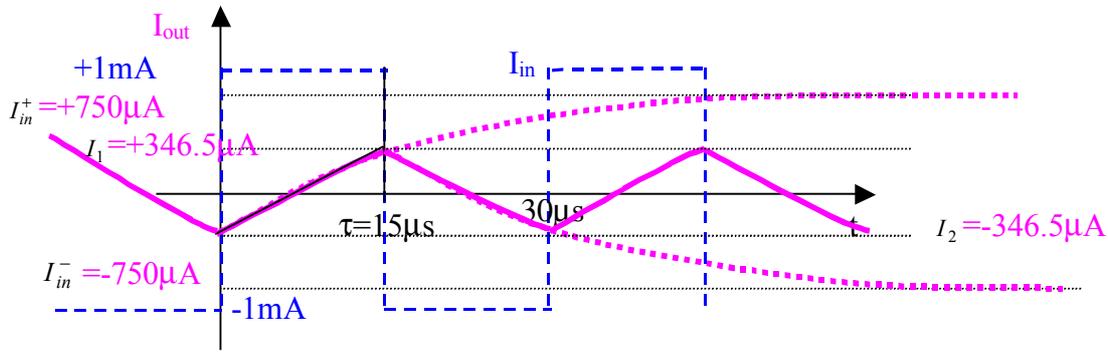
$$\begin{cases} I_{out_a}(\tau) = I_{out_b}(0) \\ I_{out_a}(0) = I_{out_b}(\tau) \end{cases}$$

Tale sistema ammette come soluzione:

$$I_1 = \frac{-\frac{I_{in}^-}{e^2} + \frac{I_{in}^-}{e} - \frac{I_{in}^+}{e} + I_{in}^+}{\left(1 - \frac{1}{e^2}\right)} = 346.5\mu\text{A}$$

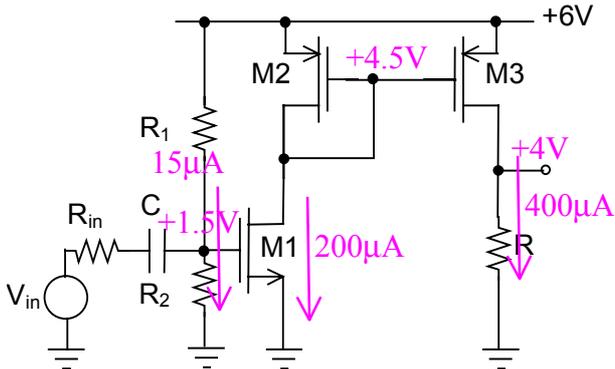
$$I_2 = \frac{-\frac{I_{in}^+}{e^2} + \frac{I_{in}^+}{e} - \frac{I_{in}^-}{e} + I_{in}^-}{\left(1 - \frac{1}{e^2}\right)} = -346.5\mu\text{A}$$

e, come ovvio, I_1 e I_2 sono uguali in modulo.



Esercizio 2

a) Polarizzazione



Tutti i transistori operano in zona di saturazione e le transconduttanze valgono:

$$g_{m,n} = 2k_n(V_{GS} - V_{T,n}) = 400\mu S = g_{m,p2}$$

$$g_{m,p3} = 2k_{p3}(V_{GS} - V_{T,p}) = 800\mu S$$

b) Guadagno di piccolo segnale a media frequenza

$$v_{gs} = \frac{R_1 // R_2}{R_1 // R_2 + R_{in}} v_{in}$$

$$i_{d1} = g_{m,n} v_{gs} = i_{d2}$$

$$i_{d3} = 2i_{d2}$$

$$v_{out} = i_{d3} R = 2g_{m,n} R \frac{R_1 // R_2}{R_1 // R_2 + R_{in}} v_{in}$$

Quindi il guadagno di piccolo segnale risulta

$$\frac{v_{out}}{v_{in}} = i_{d3} R = 2g_{m,n} R \frac{R_1 // R_2}{R_1 // R_2 + R_{in}} = +7.5$$

c) Dimensionamento della capacita' di disaccoppiamento

La capacita' C introduce uno zero nell'origine ed un polo con costante di tempo

$$\tau_p = C(R_1 // R_2 + R_{in})$$

Per garantire la corretta amplificazione di segnali nella banda 1kHz – 100kHz si deve avere

$$f_p < 1kHz$$

⇓

$$C > \frac{1}{2\pi f_p (R_1 // R_2 + R_{in})} = 2nF$$

In realta' si deve avere che il polo cada almeno una decade prima della minima frequenza di segnale da amplificare.

d) Guadagno di piccolo segnale a media frequenza considerando r_0

$$G = \frac{R_2 // R_1}{R_2 // R_1 + R_{in}} \cdot g_{m1} \cdot \frac{r_0/2}{r_0/2 + 1/g_{m2}} \cdot 2 \cdot (R // r_0) = +5.68$$

e) Dinamica

Sulla dinamica negativa la tensione di uscita puo' scendere, senza rischi per quanto riguarda M3, fino a 0V, M2 e' sempre in zona di saturazione, ma M1 rischia di spegnersi. Cio' accade quando $V_G = +0.5V$

che corrisponde ad avere corrente nulla in uscita e cioè $V_{out}=0V$. Pertanto la dinamica negativa e' pari a $-4V$.

Sulla dinamica positiva rischiano di uscire dalla saturazione sia M1 che M3; vediamo a chi accade prima di uscire dalla zona di saturazione.

Per M3 V_{out} puo' salire fino a $V_{G3}+|V_T|$ e, quindi, puo' salire di $+1V$, in prima approssimazione. In realta' dovrei considerare che il suo gate scende, ma scende meno di quanto salga il suo drain dal momento che l'impedenza sul drain di M1 e' $1/g_m$.

Per M1 la tensione di drain puo' scendere fino a $+1V$, quindi in prima approssimazione si avrebbe $V_{GS3}=5V$ e quindi una corrente di drain di M3 pari a $8.1mA$, situazione chiaramente irraggiungibile poiche' M3 esce prima dalla saturazione.

La dinamica del circuito risulta, pertanto, in prima approssimazione:

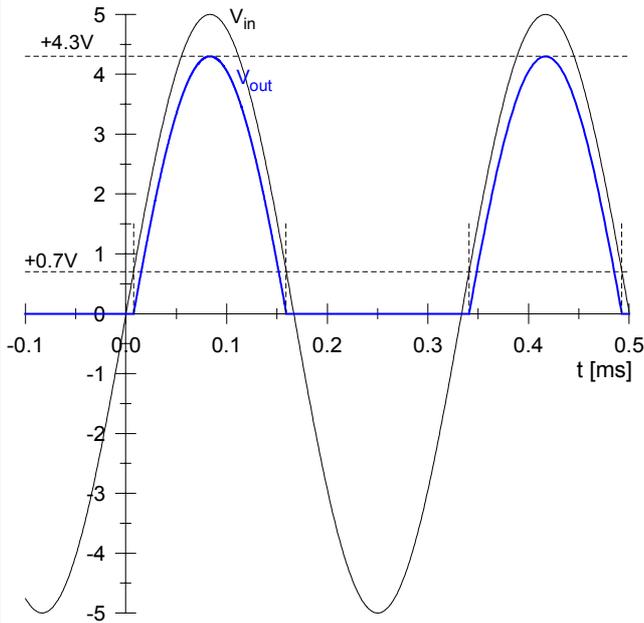
$$-4V \leq \Delta V_{out} \leq +1V$$

Esercizio 3

a) Tensione di uscita in presenza di ingresso di ampiezza 5V

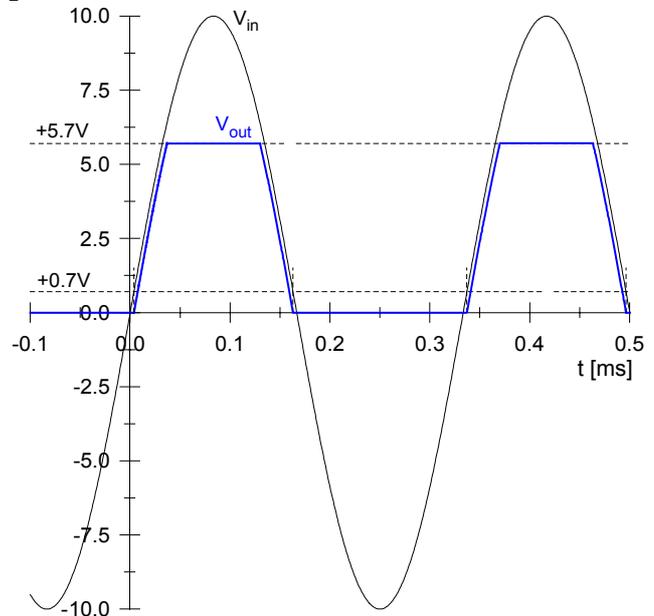
Perche' si accenda il diodo D_2 occorre che la tensione di uscita superi $+5.7V$. Questo e' impossibile se il segnale sinusoidale di ingresso ha ampiezza pari a $5V$. Pertanto il diodo D_2 sara' sempre spento e, quindi, non influenza il comportamento del circuito.

Perche' D_1 si accenda la tensione di ingresso V_{in} deve superare $+0.7V$. Se V_{in} e' minore di $+0.7V$ non circola corrente nella resistenza R e la tensione di uscita e' nulla.



b) Tensione di uscita in presenza di ingresso di ampiezza 10V

In questo caso si puo' accendere anche D_2 poiche' la tensione di uscita V_{out} puo' superare i $+5.7V$. Per tensioni V_{out} maggiori di $+5.7V$ si accende il diodo D_2 e limita la tensione di uscita a $+5.7V$.



c) Potenza dissipata dalla resistenza

$$V_{in} = +5V \Rightarrow V_{out} = +4.3V = V_R \Rightarrow I_R = 1mA \Rightarrow P_{diss,R} = I_R V_R = 4.3mW$$

$$V_{in} = +10V \Rightarrow V_R = +9.3V \Rightarrow I_R = 2.16mA \Rightarrow P_{diss,R} = I_R V_R = 20.1mW$$

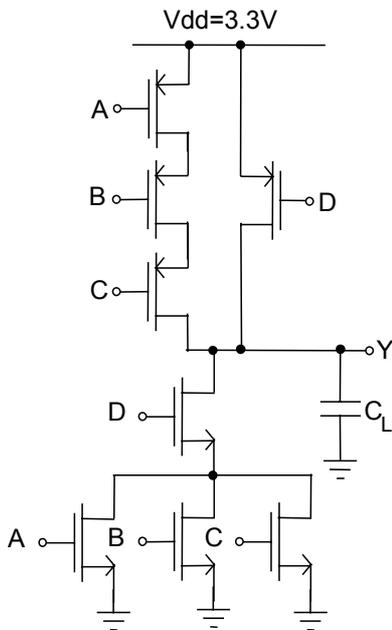
Esercizio 4

a) Rete di pull-up e pull-down

La funzione logica svolta dal circuito e'

$$Y = (A + B + C) \cdot \overline{D} = \overline{(A + B + C) + D} = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{D}$$

Pertanto la rete logica risulta la seguente:



b) Tempo di commutazione

Transizione $ABCD=0101 \rightarrow ABCD=1110$

$ABCD=0101$: sono accesi gli NMOS B e D e, quindi, l'uscita Y e' allo zero logico.

$ABCD=1110$: e' acceso il PMOS D che carica la capacita' C_L portando, cosi', l'uscita Y all'uno logico.

Approssimazione ohmica: (e' sufficiente uno dei due approcci!)

$$R_{DS_{on}} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{DS}=0} = \left| \frac{1}{2k_p (V_{GS} - V_{T,p})} \right| = \frac{1}{2 \cdot \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{dd} - |V_{T,p}|)} = 500\Omega$$

$$t_{pLH} = 0.69\tau = 0.69 R_{DS_{on}} C_L = 1.38ns$$

Approssimazione satura:

$$t_{pLH} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{dd} - |V_{T,p}|)^2} = 2.64ns$$

Transizione $ABCD=1110 \rightarrow ABCD=0101$

$ABCD=1110$: e' acceso il PMOS D e, quindi, l'uscita Y e' all'uno logico.

$ABCD=0101$: sono accesi gli NMOS B e D che scaricano la capacita', portando, quindi, l'uscita Y allo zero logico.

Approssimazione ohmica: (e' sufficiente uno dei due approcci!)

$$R_{DS_{on}} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{DS}=0} = \left| \frac{1}{2k_n (V_{GS} - V_{T,n})} \right| = \frac{1}{2 \cdot \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - |V_{T,p}|)} = 400\Omega$$

La scarica avviene attraverso la serie dei due NMOS B e D

$$t_{pLH} = 0.69\tau = 0.69 \cdot 2 \cdot R_{DS_{on}} C_L = 2.2ns$$

Approssimazione satura:

Calcoliamo il fattore di forma dell'NMOS dell'inverter equivalente relativo a questa transizione

$$\left(\frac{W}{L}\right)_{n,eq} = \frac{1}{\left(\frac{L}{W}\right)_n + \left(\frac{L}{W}\right)_n} = \frac{1}{2} \left(\frac{W}{L}\right)_n$$

$$t_{pLH} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{n,eq} (V_{dd} - |V_{T,n}|)^2} = 4.22ns$$

c) Tempo di commutazione con rete modificata

La presenza della resistenza R modifica la resistenza attraverso cui si carica o si scarica la capacita'.

Utilizziamo l'approssimazione ohmica perche' piu' semplice:

$ABCD : 0101 \rightarrow 1100$

$Y : 0 \rightarrow 1$

$$t_{pLH} = 0.69\tau = 0.69 \cdot C_L (R + R_{DSon}) = 4.14ns$$

$ABCD : 1110 \rightarrow 0101$

$Y : 1 \rightarrow 0$

La scarica della capacita' avviene attraverso la serie degli NMOS B e D:

$$t_{pLH} = 0.69\tau = 0.69 \cdot C_L (R + 2 \cdot R_{DSon}) = 5ns$$

In conclusione la presenza della resistenza R rallenta tutti tempi di commutazione.