

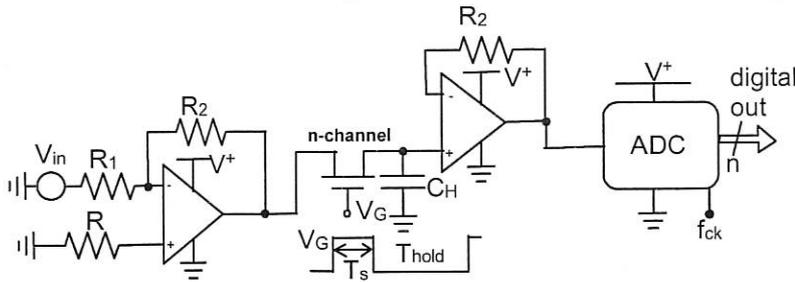
Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2017/18

Appello Zero – giugno 2018

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, "Appello Zero", numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri la catena di acquisizione mostrata nella Fig. 1, in cui V_{in} e' un generatore di segnali ad onda quadra di ampiezza compresa tra 100 mV e 1 V , livello basso pari a 0 V e *duty cycle* 25%. Si assuma che gli amplificatori operazionali saturino alle tensioni di alimentazione. Si voglia misurare il livello alto dell'onda quadra con una risoluzione del 5%.



$$\begin{aligned}
 V^+ &= 2.5\text{ V} \\
 R_1 &= 1\text{ k}\Omega \\
 R_2 &= 2\text{ k}\Omega \\
 R &= 0.6\text{ k}\Omega \\
 \frac{1}{2}\mu_n C_{ox} W/L &= 5\text{ mA/V}^2 \\
 V_{Tn} &= 0.75\text{ V} \\
 C_H &= 1\text{ nF} \\
 f_{ck} &= 30\text{ MHz}
 \end{aligned}$$

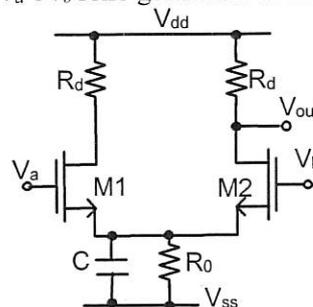
Fig. 1

- a. **Determinare le tensioni di comando da applicare al gate del transistore del circuito di Sample & Hold che garantiscano lo spegnimento del transistore con 2 V di margine nella fase di Hold e una resistenza massima di 50 Ω nella fase di Sample.**
- b. **Determinare il numero di bit minimo che l'ADC deve possedere per garantire la risoluzione richiesta. Determinare quindi il valore di 1 LSB riferito all'ingresso.**
- c. Determinare il massimo valore che puo' assumere la capacita' parassita C_{inj} , per garantire un errore non superiore a quanto richiesto.
- d. Determinare il minimo valore che puo' assumere la resistenza di ingresso differenziale del secondo amplificatore operazionale per soddisfare la risoluzione richiesta nelle ipotesi che l'ADC sia ad approssimazioni successive con 14 bits e che il guadagno ad anello aperto del primo amplificatore operazionale sia $A_0 = 10^4$.
- e. Con riferimento all'amplificatore operazionale 1, determinare la larghezza di banda ad anello chiuso se l'amplificatore operazionale 1 e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 60\text{ MHz}$.

Esercizio 2

Si consideri il circuito amplificatore mostrato in Fig. 2, in cui v_a e v_b sono generatori di tensione di piccolo segnale.

- a. **Determinare il valore della resistenza R_0 per avere una corrente di 2 mA circolante in essa. Calcolare, quindi, la polarizzazione del circuito (correnti in tutti i rami e tensioni a tutti i nodi).**
- b. **Determinare il trasferimento differenziale di piccolo segnale $v_{out}/(v_a - v_b)$ bassa frequenza.**
- c. Determinare il trasferimento di modo comune di piccolo segnale $2 v_{out}/(v_a + v_b)$ bassa frequenza.
- d. Tracciare il diagramma di Bode del modulo del rapporto di reiezione del modo comune (CMRR).



$$\begin{aligned}
 V_{dd} &= -V_{ss} = +8\text{ V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox} W/L = 0.25\text{ mA/V}^2 \\
 V_T &= 0.7\text{ V} \\
 R_d &= 8\text{ k}\Omega \\
 C &= 10\text{ nF}
 \end{aligned}$$

Fig. 2

Esercizio 3

Si consideri la porta logica in una tecnologia CMOS da 3.3V che svolge la funzione logica $Y = (A \bullet B + C) \bullet D \bullet B$

- a) **Disegnare la rete di pull-up e la rete di pull-down, giustificando le scelte effettuate, per ottenere la funzione logica con una porta in tecnologia CMOS in forma minima.**