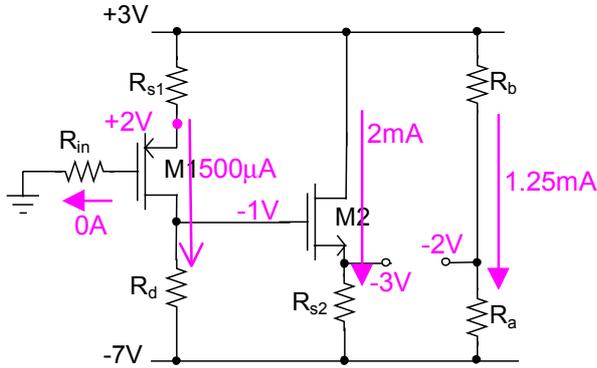


Fondamenti di Elettronica – Ing. Elettronica - AA 2004/2005 – 22 febbraio 2005
Traccia di soluzione

Esercizio 1

a) Polarizzazione

Le capacita' sono circuiti aperti, ipotizziamo i MOSFET in zona di saturazione.



Tutti i transistori operano in zona di saturazione e le transconduttanze valgono:

$$g_{m,1} = 2k_p |V_{GS} - V_{T,p}| = 1mS$$

$$g_{m,2} = 2k_n (V_{GS} - V_{T,n}) = 4mS$$

b) Guadagno a bassa frequenza

$$i_{d1} = \frac{v_{in}}{\frac{1}{g_{m,1}} + R_{s1}}$$

$$v_{d1} = -i_{d1} R_d = -\frac{R_d}{\frac{1}{g_{m,1}} + R_{s1}} v_{in}$$

$$v_{out} = \frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}} v_{d1} = -\frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}} \frac{R_d}{\frac{1}{g_{m,1}} + R_{s1}} v_{in}$$

Quindi il guadagno di piccolo segnale risulta

$$\frac{v_{out}}{v_{in}} = -\frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}} \frac{R_d}{\frac{1}{g_{m,1}} + R_{s1}} = -3.56$$

c) Diagramma di Bode

La capacita' C_s introduce un polo con costante di tempo

$$\tau_p = C_s \left(R_{s1} \parallel \frac{1}{g_{m,1}} \right) = 1.33ms \Rightarrow f_{p1} = \frac{1}{2\pi\tau_p} \cong 120Hz$$

ed uno zero quando l'impedenza Z_{eq} tende all'infinito:

$$Z_{eq} = \frac{R_{s1}}{1 + sC_s R_{s1}} \rightarrow \infty \Leftrightarrow s = -\frac{1}{R_{s1} C_s}$$

cioe' con costante di tempo

$$\tau_z = C_s R_{s1} = 4ms \Rightarrow f_{z1} = \frac{1}{2\pi\tau_z} \cong 40Hz$$

La capacita' C_{out} introduce un polo con costante di tempo

$$\tau_p = C_{out} \left[\left(\frac{1}{g_{m,2}} \parallel R_{s2} \right) + (R_a \parallel R_b) \right] = 103\mu s \Rightarrow f_{p2} = \frac{1}{2\pi\tau_p} \cong 1.54kHz$$

ed uno zero quando l'impedenza Z_{eq} e' pari a zero:

$$Z_{eq} = \frac{1}{sC_{out}} + (R_a \parallel R_b) \rightarrow 0 \Leftrightarrow s = -\frac{1}{(R_a \parallel R_b) C_{out}}$$

cioe' con costante di tempo

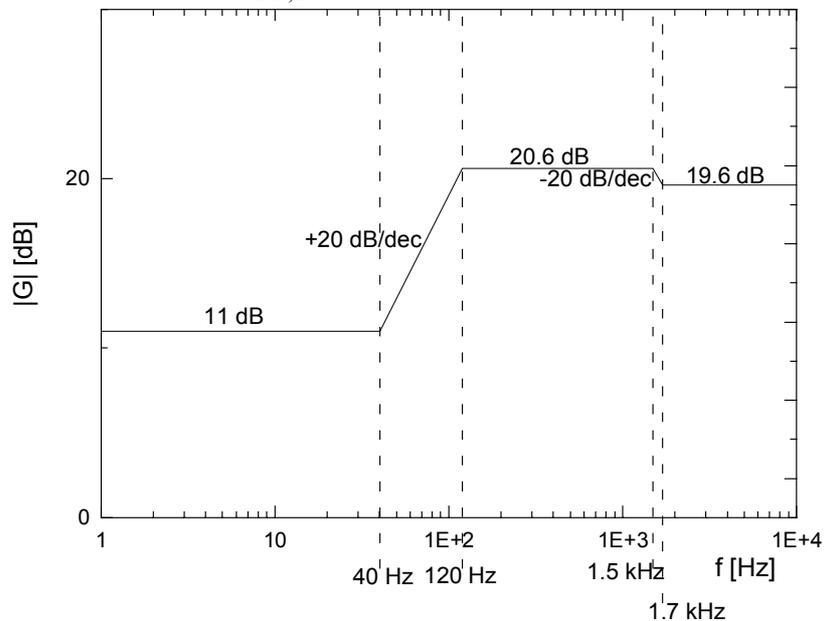
$$\tau_z = C_{out} (R_a \parallel R_b) = 94\mu s \Rightarrow f_{z2} = \frac{1}{2\pi\tau_z} \cong 1.7kHz$$

Quindi interviene prima C_s di C_{out} .

$$G_{low} = -\frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}} \frac{R_d}{\frac{1}{g_{m,1}} + R_{s1}} = -3.56 \rightarrow 11dB$$

$$G_{mf} \Big|_{C_s \text{ chiusa}, C_{out} \text{ aperta}} = -g_{m,1} R_d \frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}} = -10.7 \rightarrow 20.6dB$$

$$G_{hf} \Big|_{C_s, C_{out} \text{ chiuse}} = -g_{m,1} R_d \frac{R_{s2} \parallel R_a \parallel R_b}{R_{s2} \parallel R_a \parallel R_b + \frac{1}{g_{m,2}}} = -9.6 \rightarrow 19.6dB$$



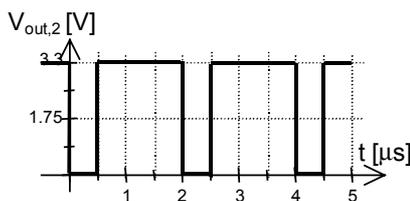
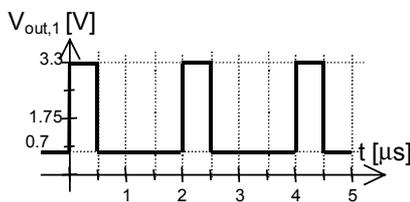
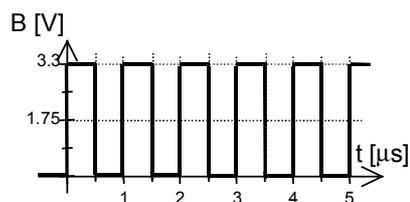
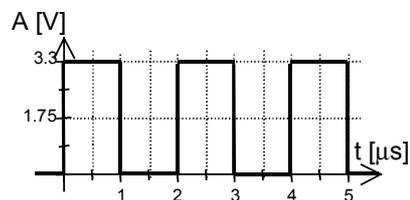
Esercizio 2

a) Forme d'onda d'uscita

Quando A (o B) sono a 3.3 V spengono il corrispondente diodo, quindi se entrambi i diodi sono spenti, la tensione V_{out} si porta a V_{dd} ('1' logico). Se anche uno solo dei due diodi e' acceso, l'uscita si porta a + 0.7V ('0' logico).

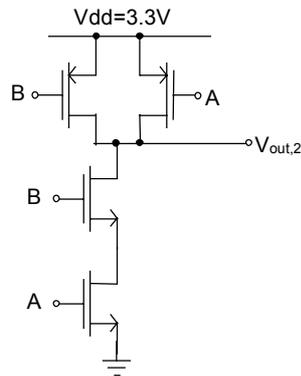
Poiche' la tensione di accensione dei diodi (pari a 0.7 V) e' minore della soglia di commutazione dell'inverter (pari a $V_{dd}/2 = +1.65V$), l'inverter commuta e l'uscita $V_{out,2}$ si porta al livello logico alto. E' da notare, inoltre, che il livello logico basso e' sufficientemente basso in tensione (minore della tensione di soglia dell'nMOS) da spegnere l'nMOS dell'inverter.

Nel suo complesso il circuito svolge le funzioni di una porta NAND a due ingressi.



b) Implementazione CMOS

La porta logica e' una NAND a due ingressi, pertanto la rete di pull-down e' costituita da due transistori nMOS in serie e la rete di pull-up da due transistori pMOS in parallelo.



c) Potenza dissipata

Alla frequenza di clock di 1MHz, l'inverter dissipa una potenza pari a:

$$P_{inv} = CV_{dd}^2 f = 21.8 \mu W$$

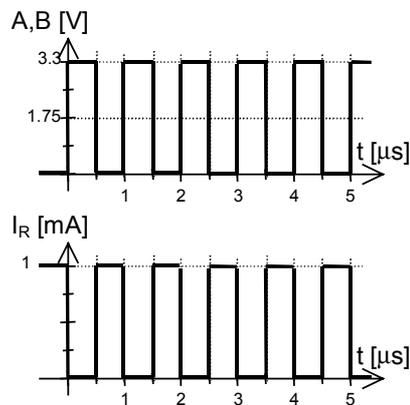
Anche la resistenza R dissipa potenza.

Quando A e B sono al livello logico alto, i due diodi sono spenti e nella resistenza R non circola corrente, ma quando A e B sono al livello logico basso i due diodi sono accesi e nella resistenza R fluisce una corrente pari a:

$$I_R = \frac{V_{dd} - 0.7V}{R} = 1mA$$

Pertanto la potenza media dissipata dalla resistenza risulta pari a:

$$\overline{P_R} = \frac{V_{dd} I_R}{2} = 1.3mW$$



La potenza totale dissipata dalla porta di Fig. 2a e' pari a:

$$P_{TOT} = \overline{P_R} + P_{inv} = 1.32mW$$

dove il contributo dell'inverter e' sostanzialmente trascurabile.

Nel caso dell'implementazione CMOS della NAND la potenza dissipata si riduce alla potenza dinamica dissipata per la carica e scarica del condensatore e non si ha (ovviamente!) potenza statica dissipata.

$$P_{NAND,CMOS} = CV_{dd}^2 f = 21.8 \mu W$$

Esercizio 3

a) Tensione di uscita in continua e guadagno ideale ad alta frequenza

In continua C_1 e C_2 sono circuiti aperti.

$V_{out} = v^+$ (dal momento che il circuito e' un buffer)

$$V_{out} = v^+ = \frac{R_a}{R_a + R_b} 12V = +2.4V$$

Ad alta frequenza abbiamo una configurazione non invertente

$$v^+ = v_{in}$$

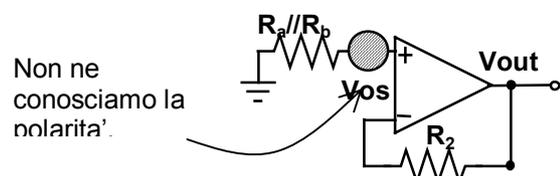
$$v_{out} = \left(1 + \frac{R_2}{R_1}\right) v_{in}$$

$$G_{HF} = \frac{v_{out}}{v_{in}} = \left(1 + \frac{R_2}{R_1}\right) = 10$$

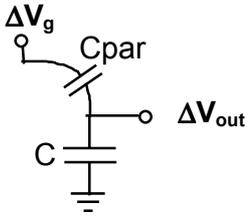
b) Effetto della tensione di offset

L'offset e' una tensione continua, quindi le due capacita' sono circuiti aperti ed il circuito e' un buffer.

$$V_{out}|_{V_{os}} = \pm V_{os} = \pm 15mV$$



c) Errore per iniezione di carica



$$\Delta V_{out} = \frac{C_{par}}{C_{par} + C} \Delta V_g = 8mV$$

$$1LSB = \frac{V_{ref}}{2^n} = \frac{5V}{2^{13}} = 0.61mV$$

L'errore per l'iniezione di carica e' pari a $\frac{8mV}{0.61mV} = 13.1LSB$.

d) Guadagno reale

Per calcolare il guadagno reale, procediamo per via grafica. Calcoliamo il guadagno ideale, il guadagno d'anello ed il guadagno d'andata.

$$G_{id}(s) = \frac{sC_2(R_a // R_b)}{1 + sC_2(R_a // R_b)} \left[\frac{1 + sC_1(R_1 + R_2)}{1 + sC_1R_1} \right]$$

Quindi il guadagno ideale presenta uno zero nell'origine, causato dalla capacita' C_2 , due poli ed uno zero a frequenza finita, dovuto alla capacita' C_1 .

$$\tau_{p1} = C_1R_1 = 320\mu s \Rightarrow f_{p1} = \frac{1}{2\pi\tau_{p1}} = 497Hz$$

$$\tau_{z1} = C_1(R_1 + R_2) = 3.2ms \Rightarrow f_{z1} = \frac{1}{2\pi\tau_{z1}} = 49.7Hz$$

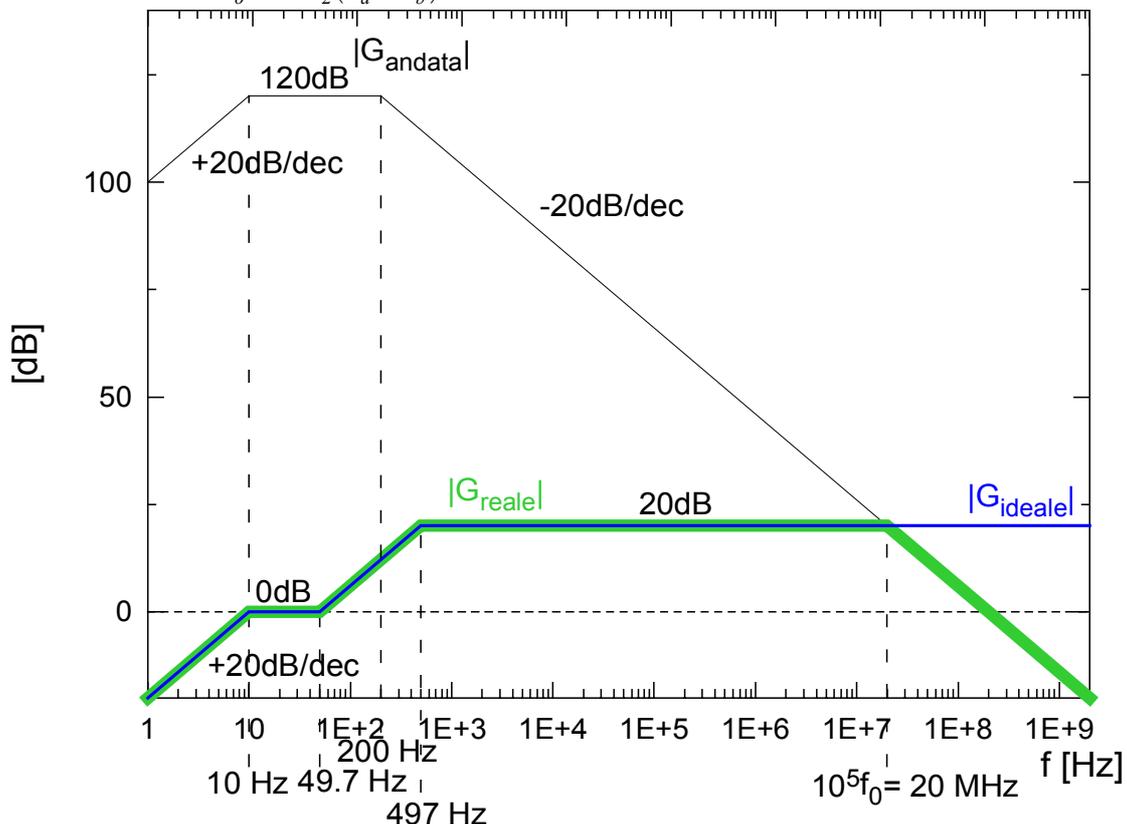
$$\tau_{p2} = C_2(R_a // R_b) = 16ms \Rightarrow f_{p2} = \frac{1}{2\pi\tau_{p2}} = 10Hz$$

$$G_{loop}(s) = -\frac{A_o}{1 + s\tau_o} \frac{1 + sC_1R_1}{1 + sC_1(R_1 + R_2)}$$

La frequenza del polo introdotto dall'amplificatore operazionale e' pari a

$$f_0 = \frac{GBWP}{A_0} = \frac{200MHz}{10^6} = 200Hz$$

$$G_{andata}(s) = -G_{id}G_{loop} = \frac{A_o}{1 + s\tau_o} \frac{sC_2(R_a // R_b)}{1 + sC_2(R_a // R_b)}$$



e) Comando al gate del pMOS

Calcoliamo la massima escursione del segnale in ingresso al circuito di S&H. Ad una frequenza pari a 10kHz le due capacità sono già intervenute e possono, quindi, essere considerate cortocircuiti.

Dobbiamo considerare l'effetto concomitante di "polarizzazione" e segnale.

$$V_{out}|_{\max} = V(0) + v_{out}(t)|_{\max} = V(0) + v_{in}(t)|_{\max} \cdot G_{id,hf} = 2.4V + 220mV \cdot 10 = +4.6V$$

$$V_{out}|_{\min} = V(0) + v_{out}(t)|_{\min} = V(0) + v_{in}(t)|_{\min} \cdot G_{id,hf} = 2.4V - 220mV \cdot 10 = +0.2V$$

Il PMOS è acceso quando $V_G < (V_{out}|_{\min} + V_{T,p})$ ed è spento quando $(V_G < V_{out}|_{\max} + V_{T,p})$.

Per avere il PMOS spento occorre una tensione di gate maggiore o uguale a +3.9V.

Per avere il PMOS acceso occorre una tensione di gate minore o uguale a -0.5V.

Calcoliamo ora la tensione di gate che garantisce una $R_{ds,on}$ di 40 Ω .

$$R_{ds,on} = \frac{1}{2|k_p|(V_{GS} - V_{T,p})}$$

$$(V_{GS} - V_{T,p}) = \frac{1}{2|k_p|R_{ds,on}}$$

$$V_{GS} = -\frac{1}{2|k_p|R_{ds,on}} + V_{T,p}$$

da cui si ricava che la tensione di gate necessaria è:

$$V_G = V_{GS} + V_{S,\min} = -\frac{1}{2|k_p|R_{ds,on}} + V_{T,p} + V_{out}|_{\min} = -6.75V .$$