

Esercizio 1

Si consideri il circuito amplificatore riportato nella Fig. 1.

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del guadagno V_{out}/V_{in} a bassa frequenza (C_s e C_{out} circuiti aperti).**
- c) Disegnare il diagramma di Bode del modulo e della fase del guadagno V_{out}/V_{in} , quotandone tutti i punti significativi.

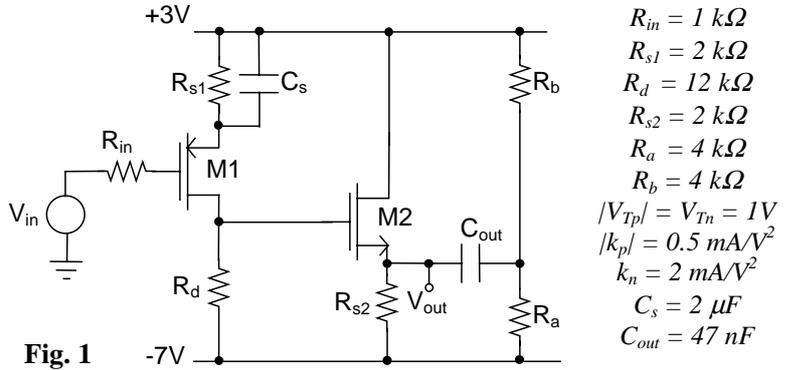


Fig. 1

Esercizio 2

Si consideri il circuito riportato nella Fig. 2a e si assuma per i diodi una tensione di accensione pari a 0.7V.

- a) **Disegnare in un diagramma temporale quotato l'andamento temporale delle tensioni V_{out1} e V_{out2} quando gli ingressi A e B hanno gli andamenti riportati in Fig. 2b.**
- b) **Disegnare il circuito della porta logica complessa in tecnologia CMOS che realizza la funzione logica implementata dal circuito di Fig. 2a.**
- c) Determinare la potenza totale dissipata dal circuito di Fig.2a e dalla porta logica CMOS disegnata al punto b) se A e B sono cortocircuitati tra loro e commutano ad una frequenza pari a 1 MHz. Commentare il risultato.

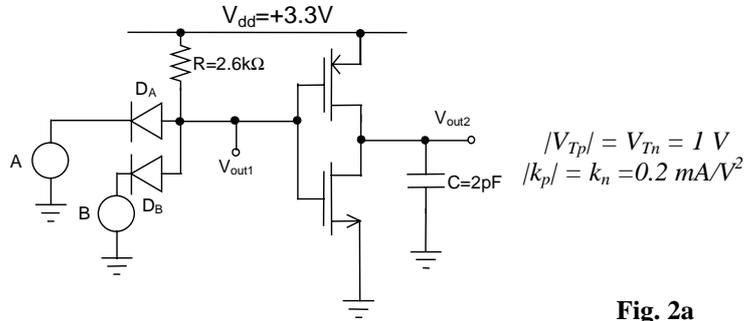


Fig. 2a

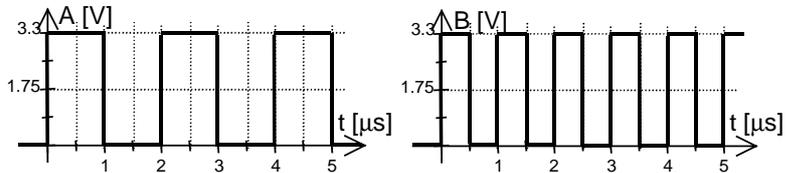


Fig. 2b

Esercizio 3

Si consideri il circuito per l'amplificazione, il campionamento e la conversione analogico-digitale riportato in Fig. 3.

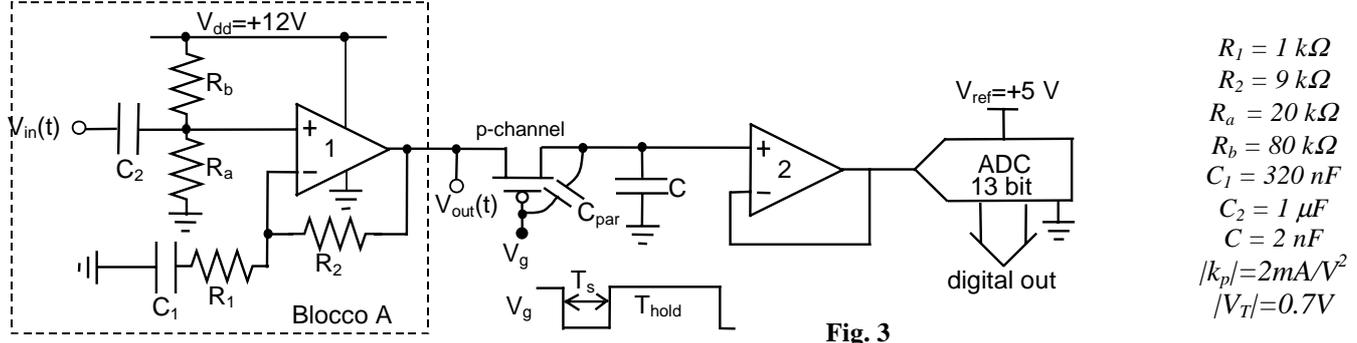


Fig. 3

- a) **Con riferimento al circuito del Blocco A, si determini l'espressione ed il valore della tensione al nodo di uscita (V_{out}) in continua e del guadagno ideale (V_{out}/V_{in}) ad alta frequenza (C_1 e C_2 entrambe cortocircuitate).**
- b) **Sempre con riferimento al circuito del Blocco A, determinare l'effetto sulla tensione di uscita V_{out} se l'amplificatore operazionale 1 e' caratterizzato da una tensione di offset pari a 15mV.**
- c) Assumendo $C_{par}=2pF$, si calcoli l'errore espresso in LSB causato dall'iniezione di carica sulla capacita' C per effetto del comando V_g al gate di ampiezza pari a 8V.
- d) Disegnare il diagramma di Bode del modulo del guadagno reale ($V_{out}(s)/V_{in}(s)$) del circuito del Blocco A, quotandone tutti i punti significativi e assumendo per l'amplificatore operazionale 1 $GBWP=200MHz$ e $A_0 = 120 dB$.
- e) Se in ingresso al circuito di Fig. 3 e' applicato un segnale sinusoidale di ampiezza pari a 220 mV e frequenza pari a 10kHz, calcolare i valori delle tensioni di comando di gate V_g tali da garantire una resistenza R_{dson} non superiore a 40 Ω nella fase di sampling e una resistenza R_{dson} virtualmente infinita nella fase di hold. (Si assuma l'amplificatore operazionale ideale).