

Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2010/11

Primo appello – 21 luglio 2011 – Traccia di soluzione

Esercizio 1

a) valore resistenza R_{SS} e intervallo valori di tensione $V_{out,1}$ in polarizzazione.

Siamo in polarizzazione. Ipotizziamo i MOSFET in saturazione, la capacità e' un circuito aperto e i generatori di tensione in ingresso sono spenti. I gate dei due transistori si trovano, pertanto, a 0V. Perche' la corrente circolante in ciascun transistorore della coppia differenziale sia 0.2mA, la loro tensione V_{GS} deve soddisfare la seguente relazione:

$$V_{GS1} = V_{GS2} = \sqrt{\frac{I_D}{k_n}} + V_{Tn} = 2.01V$$

Pertanto il nodo di source dei transistori $M1$ e $M2$ si trova a -2.01V e la resistenza R_{SS} deve essere di valore tale da soddisfare la seguente relazione:

$$R_{SS} = \frac{V_S - V_{SS}}{I_{R_{SS}}} = 9.975k\Omega \cong 10k\Omega$$

Anche i transistori $M3$ e $M4$ sono percorsi dalla medesima corrente e la loro tensione V_{GS} deve soddisfare la seguente relazione:

$$V_{GS3} = V_{GS4} = -\sqrt{\frac{I}{|k_p|}} - V_{Tp} = -2.01V$$

La caduta di tensione sulle resistenze R_S e' pari a

$$V_{R_S} = 0.2mA \cdot R_S = 1V$$

Pertanto il nodo di source dei transistori $M3$ e $M4$ si trova a 2.99V. Il transistorore $M3$ e' sicuramente saturo, il transistorore $M1$ e' saturo poiche' la sua tensione *gate-drain* e' pari a

$$V_{GD1} = -2.99V < V_{Tn}.$$

Per la saturazione di $M2$ e $M4$ devono valere le seguenti disuguaglianze:

$$V_{GD2} < V_{Tn}$$

$$V_{GD4} > V_{Tp}$$

da cui ricaviamo l'intervallo di valori ammesso per la tensione V_{out1} in polarizzazione:

$$\left. \begin{array}{l} V_{D2} > -0.6V \\ V_{D4} < +3.6V \end{array} \right\} \Rightarrow -0.6V \leq V_{out1} \leq +3.6V$$

La transconduttanza dei transistori risulta pari a

$$g_{m_n} = g_{m_p} = 0.282mS$$

b) diagramma di Bode guadagno differenziale di piccolo segnale $G_{diff,2} = v_{out,2}/(v_a - v_b)$

Calcoliamo il guadagno differenziale di piccolo segnale a frequenze per le quali la capacità C e' assimilabile ad un corto-circuito. La corrente di piccolo segnale circolante nella maglia differenziale e'

$$i = \frac{v_a - v_b}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}$$

poiche' il nodo di source dei due transistori $M1$ e $M2$ non si muove in tensione su segnale differenziale e, quindi, non circola corrente di segnale nella resistenza R_{SS} .

Grazie alla presenza dello specchio di corrente, nella resistenza R_L circola una corrente pari a $2i$, pertanto il guadagno differenziale di piccolo segnale risulta

$$G_{diff,2} = \frac{v_{out,2}}{v_a - v_b} = \frac{2R_L}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} = +5.64$$

La capacità C introduce, essendo in serie al cammino del segnale, uno zero nell'origine. Tuttavia, poiche' la resistenza equivalente vista in parallelo ai morsetti di C e' infinita, la costante di tempo del polo da essa introdotto sara' infinita, cioe' anche il polo e' nell'origine e, quindi, il diagramma di Bode sara' piatto e pari al valore prima calcolato pari 15.02dB.

c) diagramma di Bode del modulo del guadagno differenziale $G_{diff,1} = v_{out,1}/(v_a - v_b)$

Anche in presenza delle resistenze r_{01} e r_{02} , il nodo di source dei due transistori $M1$ e $M2$ non si muove in tensione su segnale differenziale e, quindi, non circola corrente di segnale nella resistenza R_{SS} . La corrente di piccolo segnale circolante nella maglia differenziale e' ancora:

$$i = \frac{v_a - v_b}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}$$

Tuttavia la corrente che si inietta nello specchio e' solo una frazione della corrente i , pari a

$$i_s = i \frac{r_{01}}{r_{01} + \frac{1}{g_{m3}} + R_S}$$

da cui ricaviamo che a bassa frequenza (C assimilabile ad un circuito aperto) la tensione $v_{out,1}$ risulta pari a

$$v_{out,1}|_{LF} = r_{02} \left(\frac{r_{01}}{r_{01} + \frac{1}{g_{m3}} + R_S} i + i \right)$$

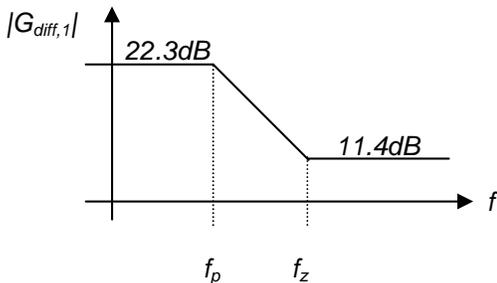
Da qui ricaviamo che il guadagno differenziale di piccolo segnale, a bassa frequenza, risulta

$$G_{diff,1}|_{LF} = \frac{v_{out,1}}{v_a - v_b}|_{LF} = \frac{1}{2} g_m r_{02} \left(1 + \frac{r_{01}}{r_{01} + \frac{1}{g_{m3}} + R_S} \right) = 13.08$$

La capacita' C introduce un polo con costante di tempo pari a $C(R_L + r_{02}) = 70ms$, da cui una frequenza del polo pari a 2.3Hz. La capacita' C introduce anche uno zero, poiche' quando si annulla l'impedenza data dalla serie di C e di R_L , anche la tensione di uscita si annulla, indipendentemente dal segnale post in ingresso. La frequenza dello zero e' pari a circa 8 Hz, poiche' la costante di tempo dello zero risulta pari a $CR_L = 20ms$.

Il guadagno differenziale di piccolo segnale a media frequenza e'

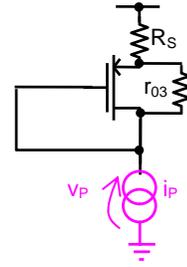
$$G_{diff,1}|_{MF} = \frac{v_{out,1}}{v_a - v_b}|_{MF} = \frac{1}{2} g_m r_{02} // R_L \left(1 + \frac{r_{01}}{r_{01} + \frac{1}{g_{m3}} + R_S} \right) = 3.73$$



d) valore della tensione di uscita $v_{out,1}$

Per prima cosa calcoliamo l'impedenza che ci mostra il transistor $M3$ considerando anche la resistenza r_{03} :

$$R_{eq} = \frac{v_p}{i_p} = R_S + r_{03} // \frac{1}{g_{m3}} = 8.3k\Omega$$



Il segnale di modo comune di ingresso causa il fluire di una corrente di modo comune in ciascun transistor della coppia differenziale pari a

$$i_{CM} = \frac{v_{CM}}{\frac{1}{g_m} + 2R_{SS}}$$

La corrente specchiata e' pari a

$$i_S = i_{CM} \frac{R_{eq}}{\frac{1}{g_{m4}} + R_S}$$

La tensione di uscita puo' essere calcolata come la caduta di tensione sulla resistenza R_L :

$$v_{out,1} = -i_{R_L} R_L = -(i_{CM} - i_S) R_L = -20\mu V$$

Esercizio 2

a) guadagno ideale V_{out}/V_{in} a media frequenza (C circuito chiuso, C_3 circuito aperto)

Si tratta di una classica configurazione non invertente, in cui in retroazione e' presente la sola resistenza R_2 . Pertanto il guadagno ideale a media frequenza e':

$$G_{id}|_{MF} = 1 + \frac{R_2}{R_1} = 21$$

b) minimo valore resistenza R_{in} , che garantisca droop rate minore di 1LSB/ms

Nelle ipotesi di p MOS ideale, nella fase di *hold*, la capacita' C_H si scarica esclusivamente sulla resistenza R_{in} , con una costante di tempo $\tau = C_H R_{in}$.

Per il convertitore considerato si ha

$$1LSB = \frac{V^+ - V^-}{2^n} = 610\mu V$$

Approssimando la scarica esponenziale con un andamento lineare, poiche' la massima pendenza si ha nel primo tratto dell'esponenziale

$$droop\ rate|_{max} = \frac{\Delta V}{\tau} = \frac{2.5V}{\tau}$$

da cui ricaviamo che la resistenza R_{in} deve valere almeno $820M\Omega$.

c) tensioni di comando del gate del transistor del circuito S&H

Calcoliamo la costante di tempo del CR di ingresso.

$$\tau = CR = 2.35ms \gg 50\mu s$$

Quindi il circuito passa alto di ingresso non va a regime nel semiperiodo. Il segnale in uscita al circuito CR di ingresso sara', pertanto, piu' simile ad un'onda quadra che non al consueto segnale esponenziale in uscita da un circuito CR. Calcoliamo i due valori estremi della tensione al morsetto + (che sara' un segnale simmetrico rispetto allo zero), denominato v_1 . Sul fronte di salita dell'onda quadra:

$$t = 0^- \Rightarrow \Delta V_C(0^-) = -0.05V - v_1^- \exp\left(-\frac{T}{\tau}\right)$$

$$t = 0^+ \Rightarrow \Delta V_C(0^+) = 0.05V - v_1^+$$

$$\Delta V_C(0^+) = \Delta V_C(0^-)$$

Sul fronte di discesa dell'onda quadra:

$$t = 0^- \Rightarrow \Delta V_C(0^-) = 0.05V - v_1^+ \exp\left(-\frac{t}{\tau}\right)$$

$$t = 0^+ \Rightarrow \Delta V_C(0^+) = -0.05V - v_1^-$$

$$\Delta V_C(0^+) = \Delta V_C(0^-)$$

Dalle equazioni precedenti ricaviamo i valori di v_1^+ e v_1^- :

$$v_1^+ = 48.3mV$$

$$v_1^- = -48.3mV$$

che risultano ovviamente tra loro opposti.

Pertanto i valori Massimo e minimo della tensione v_{out} sono

$$v_{out}^{MAX} = 48.3mV \cdot 21 = 1.01V$$

$$v_{out}^{MIN} = -48.3mV \cdot 21 = -1.01V$$

La richiesta che il transistore sia acceso in fase di *sample* e spento in fase di *hold* si traduce nelle seguenti condizioni sulle tensioni di comando di *gate*.

$$\text{Fase di } \textit{sample}: V_{GS} < V_{Tp} \Rightarrow V_G < V_{Tp} + V_{S \min} = -1.71V$$

$$\text{Fase di } \textit{hold}: V_{GS} > V_{Tp} \Rightarrow V_G > V_{Tp} + V_{S \max} = 0.31V$$

d) frequenza del polo ad anello chiuso introdotto dalla limitazione in banda dell'amplificatore operazionale

Per il calcolo del polo ad anello chiuso procediamo graficamente. Calcoliamo, per ispezione, il guadagno ideale ed il guadagno d'anello.

$$G_{id}(s) = \frac{sCR}{1+sCR} \left(1 + \frac{R_2}{R_1}\right) \frac{1+s\tau_z}{1+s\tau_p}$$

dove

$$\tau_p = C_3(R_3 + R_2) = 22\mu s \Rightarrow f_{p,id} = 7.2kHz$$

$$\tau_z \Rightarrow Z_{eq}(s) = 0$$

$$Z_{eq}(s) = R_1 + R_2 // \left(R_3 + \frac{1}{sC_3}\right) \Rightarrow \tau_z = C_3(R_3 + R_1 // R_2) = 3.08\mu s \Rightarrow f_{z,id} = 51.7kHz$$

$$G_{loop}(s) = G_{loop}(0) \frac{1}{1+s\tau_0} \frac{1+s\tau_{z,loop}}{1+s\tau_{p,loop}}$$

dove

$$G_{loop}(0) = -A_0 \frac{R_1}{R_1 + R_2}$$

$$\tau_{p,loop} = C_3(R_3 + R_1 // R_2)$$

$$\tau_{z,loop} \Rightarrow Z_{eq}(s) \rightarrow \infty$$

$$Z_{eq}(s) = R_2 // \left(R_3 + \frac{1}{sC_3}\right) \Rightarrow \tau_{z,loop} = C_3(R_3 + R_2)$$

Dalla conoscenza del guadagno ideale e del guadagno d'anello, ricaviamo il guadagno di andata:

$$G_{and}(s) = -G_{id}G_{loop}(s) = \frac{sCR}{1+sCR} \frac{A_0}{1+s\tau_0}$$

come era ovviamente da attendersi, trattandosi di un amplificatore operazionale in configurazione non invertente, a meno del filtro passa-alto in ingresso. Potevamo giungere direttamente a questo risultato senza tutti i calcoli precedenti.

Pur non conoscendo il valore di A_0 e τ_0 separatamente, possiamo ricavare che il modulo del guadagno d'andata taglia l'asse *0dB* alla frequenza del prodotto guadagno-banda, da cui la frequenza a cui si ha l'incontro tra il modulo del guadagno ideale e il modulo del guadagno di andata e' pari a

$$f_{polo} = \frac{GBWP}{|G_{id}|_{HF}} = 83MHz$$

poiche' il polo e lo zero del guadagno ideale si trovano a frequenze molto piu' basse e, dunque, l'incontro si ha nella regione in cui il guadagno ideale e' gia' quello di media frequenza.

e) un ADC ad approssimazioni successive puo' essere usato per convertire correttamente i campioni di un segnale sinusoidale in ingresso all'ADC

Il segnale, come dice il testo, e' applicato direttamente in ingresso all'ADC, quindi siamo in assenza di circuito di S&H.

Per il teorema di Nyquist, per poter avere campioni che abbiano lo stesso contenuto informativo del segnale tempo-continuo:

$$f_{SAMPLE} > 2f_{SIGNAL} = 2kHz$$

In aggiunta dobbiamo chiedere che il segnale che viene convertito non varii piu' di 1LSB durante il tempo di conversione. Trattandosi di un SAR, il tempo di conversione e' pari a:

$$T_{conv} = \frac{n}{f_{ck}} = 260ns$$

Dobbiamo, quindi, chiedere che valga la seguente disuguaglianza:

$$\left. \frac{dv_{in,ADC}}{dt} \right|_{max} T_{conv} < 1LSB$$

$$\left. \frac{dv_{in,ADC}}{dt} \right|_{max} = A\omega = \frac{FSR}{2} 2\pi f_{SIGNAL}$$

Dai calcoli possiamo riscontrare che

$$\left. \frac{dv_{in,ADC}}{dt} \right|_{max} T_{conv} = 4.08mV > 1LSB$$

e, quindi, un ADC SAR non e' adatto a convertire il segnale in questione.

Esercizio 3

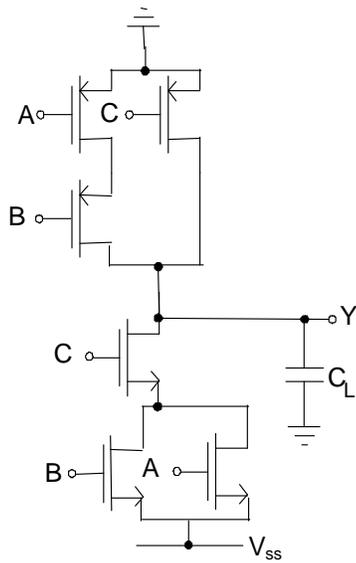
a) funzione logica svolta dal circuito e rete di pull-down

Dall'esame della rete di pull-up possiamo ricavare la funzione svolta dalla porta. La rete di pull-up descrive la relazione logica esistente tra le variabili negate (poiche' e' costituita da transistori di tipo p che sono accesi quando l'ingresso e' al livello logico basso. Abbiamo il parallelo di due rami che, quindi corrisponde all'OR di due funzioni logiche. Un ramo e' costituito dalla serie di due transistori, che, quindi, corrisponde alla funzione AND tra le due variabili di ingresso.

Pertanto la funzione logica svolta e':

$$Y = (\overline{A} \cdot \overline{B}) + \overline{C} = \overline{(A + B)} \cdot \overline{C}$$

Avendo trasformato con il teorema di De Morgan la funzione logica, espressa in funzione delle variabili di ingresso negate, nella funzione logica delle variabili di ingresso possiamo direttamente sintetizzare la rete di pull-down (interamente costituita da transistori nMOS, uno per ogni variabile di ingresso) che sara' costituita dalla serie di due rami, poiche' abbiamo una AND di due espressioni, uno dato dal solo transistore pilotato dall'ingresso C ed uno dato dal parallelo di due rami, corrispondente alla operazione logica di OR, rispettivamente dati dal transistore pilotato dall'ingresso A e dall'ingresso B. (per la giustificazione delle scelte effettuate si veda il libro di testo – naturalmente la risposta qui data entro parentesi non sarebbe soddisfacente nel corso di un compito scritto ☺!!):



b) andamento della tensione al nodo B e della tensione di uscita v_{out}

Poiche' A e C sono al livello logico basso, i corrispondenti transistori *pMOS* saranno accesi. In particolare l'accensione del *pMOS* pilotato dall'ingresso C nella rete di *pull-up* garantisce che l'uscita Y si trovi sempre a massa e, quindi, in questo caso, al livello logico alto.

Calcoliamo la costante di tempo del circuito RC anteposto all'ingresso B, per poter disegnare la forma del segnale che pilota B:

$$\tau = RC_1 = 500 ps \ll T$$

quindi la tensione al nodo B va a regime durante l'impulso e, ovviamente, torna a regime dopo l'impulso, con una transizione esponenziale con costante di tempo τ .

