Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2012/13
Quinto appello – 21 febbraio 2014

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ….
Risolvere per primi i punti in grassetto. Riportare sempre tutti i passaggi che portano ai risultati.
La durata della prova e' 3 ore. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito mostrato in Fig. 1. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a *0.7* V. La tensione V_{in} varia nell'intervallo *[-5V, +5V]*.

a) **Disegnare la caratteristica di trasferimento ingresso – uscita ($V_{out}(t)$ in funzione di $V_{in}(t)$), motivando la risposta.**

b) Disegnare la caratteristica di trasferimento ingresso – uscita ($V_{out}(t)$ in funzione di $V_{in}(t)$), motivando la risposta, nelle ipotesi che i due diodi siano caratterizzati da una tensione di *break-down* pari a -6V.

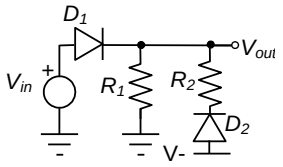

Fig. 1

$V^-=-5V$
$R_1=2\ k\Omega$
$R_2=21\ k\Omega$

Esercizio 2

Si consideri lo stadio amplificatore mostrato in Fig. 2. Si assuma che l'amplificatore operazionale saturi alle tensioni di alimentazione e sia ideale, se non diversamente specificato. V_b e' un generatore di tensione DC, v_{in} e' un generatore di tensione di piccolo segnale.

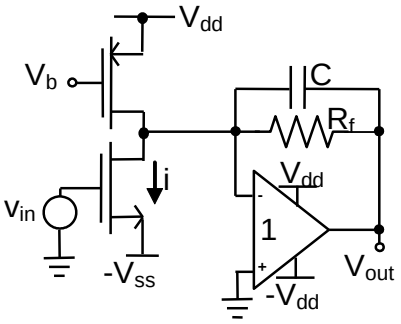

Fig.2

$V_{dd} = +5\ V$
$-V_{ss} = -2\ V$
$V_b = 3\ V$
$C = 2pF$
$R_f = 20\ k\Omega$
$V_{Tn} = |V_{Tp}| = 1\ V$
$k_n = ½\mu_n C_{ox}\ (W/L)_n = |k_p| = ½\mu_p C_{ox}\ (W/L)_p = 1\ mA/V^2$

a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**

b) **Determinare il trasferimento di piccolo segnale v_{out}/i a bassa frequenza nelle ipotesi che i transistori M1 e M2 siano caratterizzati da una resistenza di uscita $r_0=50\ k\Omega$, dovuta alla tensione di Early finita.**

c) **Tracciare il diagramma di Bode del trasferimento ideale v_{out}/v_{in} nelle ipotesi che i transistori M1 e M2 siano caratterizzati da una resistenza di uscita $r_0=50\ k\Omega$, dovuta alla tensione di Early finita.**

d) Determinare se il segnale v_{in} che da' luogo ad un segnale di uscita v_{out} che copra l'intera dinamica di uscita dell'amplificatore operazionale possa essere considerato un piccolo segnale, nelle ipotesi che i transistori M1 e M2 siano caratterizzati da una resistenza di uscita $r_0=50\ k\Omega$, dovuta alla tensione di Early finita. Motivare la risposta.

e) Determinare il margine di fase del circuito se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno-larghezza di banda GBWP=100MHz, nelle ipotesi che i transistori M1 e M2 siano caratterizzati da una resistenza di uscita $r_0=50\ k\Omega$, dovuta alla tensione di Early finita.

Esercizio 3

Si consideri la catena di acquisizione, mostrata in Fig. 3, in cui V_{in} varia nell'intervallo $\pm 1\ V$.

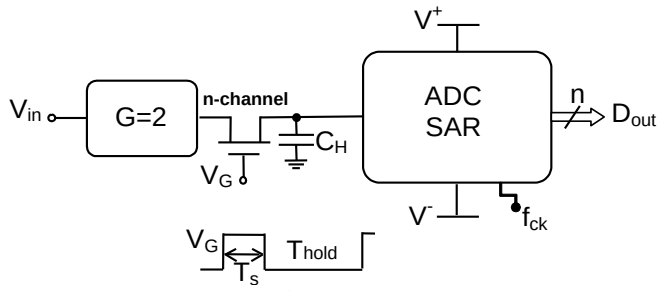

Fig. 3

$V^+ = -V = 2.5V$
$k_n = ½\mu_n C_{ox}\ (W/L)_n = 10\ mA/V^2$
$V_{Tn}=1.5V$
$C_H = 1\ nF$
$f_{ck} = 10MHz$

a) **Determinare le tensioni di comando del gate del transistore *nMOS* che garantiscano una resistenza virtualmente infinita nella fase di *Hold* con *2 V* di margine ed una resistenza $R_{ds,on}$ in fase di *Sample* non superiore a *25* Ω.**

b) **Determinare il numero di *bits* che deve possedere l'ADC perche' la risoluzione in ingresso sia sempre almeno dell'1%, anche in presenza di segnali di ampiezza minima pari a *100 mV*.**

c) Determinare la massima frequenza del segnale v_{in} in ingresso, supposto sinusoidale, che puo' essere *correttamente* convertita assumendo il minimo tempo di Sample pari ad un colpo di *clock* e *n = 10 bits* per la risoluzione dell'ADC.