

Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2006/07

Prima prova in itinere – 20 novembre 2006 – Traccia di soluzione

Esercizio 1

a) Andamento della tensione V_{OUT}

La costante di tempo del circuito RC è pari a

$$\tau = (R_1 // R_2)C = 16.7ns$$

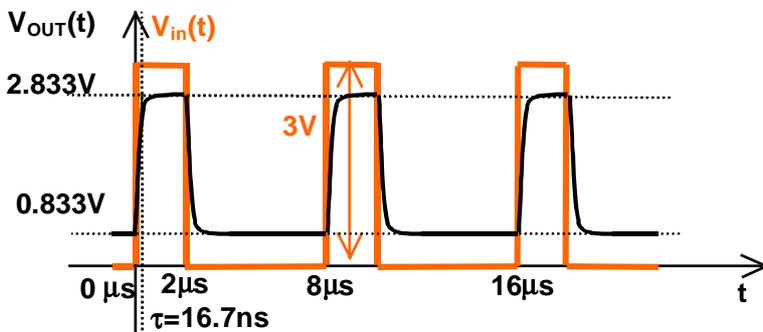
per cui la forma d'onda di uscita va a regime entro ogni semi-periodo. Sul fronte la capacità non può variare istantaneamente la sua tensione, perciò la tensione di uscita risulta pari al valore imposto dal generatore di corrente costante:

$$V_{in} = 0V \Rightarrow V_{out} = I(R_1 // R_2) = 0.833V$$

Per determinare l'andamento completo della tensione di uscita calcoliamo il valore dell'uscita a regime.

Il valore di tensione cui va a regime si ottiene considerando la capacità un circuito aperto:

$$V_{out}|_{regime,max} = \frac{R_2}{R_2 + R_1} V_{in,max} + I(R_1 // R_2) = 2.833V$$



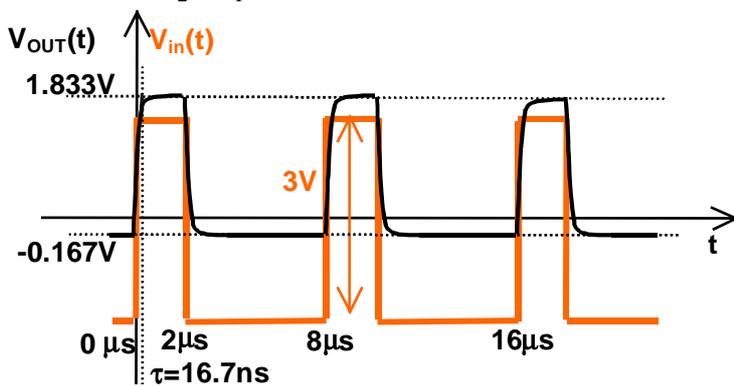
b) Andamento della tensione V_{OUT}

L'andamento della tensione di uscita è quello già calcolato in a) e traslato di

$$1.5V \frac{R_2}{R_2 + R_1} = 1V$$

verso il basso. Infatti se calcoliamo il valore dell'uscita a regime otteniamo:

$$V_{out}|_{regime} = \frac{R_2}{R_2 + R_1} V_{in,max} + I(R_1 // R_2) = 1.833V$$



c) Potenza dissipata

La massima potenza dissipata si avrà quando ai capi di R_2 cade la massima tensione (pari a 2.833 V nel caso a) e 1.833V nel caso b), quindi:

$$P_{max,a} = \frac{V_{R_2}|_a^2}{R_2} = 1.6mW$$

$$P_{max,b} = \frac{V_{R_2}|_b^2}{R_2} = 0.67mW$$

La potenza media dissipata e' data dalla seguente espressione:

$$\overline{P_R} = \frac{1}{T} \int_0^T P_R(t) dt = \frac{1}{TR} \left[\int_0^{\frac{T}{4}} (V_{\max}(t))^2 dt + \int_{\frac{3T}{4}}^T (V_{\min}(t))^2 dt \right]$$

Al medesimo risultato si poteva giungere anche per via intuitiva, poiche' il segnale va a regime entro ogni semiperiodo, considerando che viene trasferita carica dall'alimentazione alla massa e viceversa ogni periodo e, quindi, la potenza media dissipata risulta data da

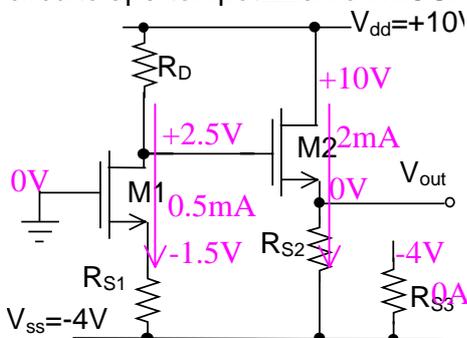
$$\overline{P_{R_2 a}} = \frac{V_{\max,a}^2}{R_2} \frac{T}{4} + \frac{V_{\min,a}^2}{R_2} \frac{3T}{4} = 0.505mW$$

$$\overline{P_{R_2 b}} = \frac{V_{\max,b}^2}{R_2} \frac{T}{4} + \frac{V_{\min,b}^2}{R_2} \frac{3T}{4} = 0.172mW$$

Esercizio 2

a) Polarizzazione

La capacita' e' un circuito aperto, il generatore di corrente di segnale e' spento e, quindi, e' un circuito aperto. Ipotizziamo i MOSFET in zona di saturazione.



I transistori operano in zona di saturazione e le transconduttanze valgono:

$$g_{m,1} = 2k_n (V_{GS,1} - V_T) = 1mS$$

$$g_{m,2} = 2k_n (V_{GS,2} - V_T) = 2mS$$

b) Trasferimento V_{out}/I_{in} a bassa frequenza

$$i_{M1} = i_{in} \frac{R_{s1}}{R_{s1} + \frac{1}{g_{m,1}}}$$

$$v_{d1} = -i_{M1} R_D = v_{g2}$$

$$v_{out} = v_{g2} \frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}}$$

Quindi il trasferimento ingresso-uscita di piccolo segnale a bassa frequenza risulta

$$Z|_{LF} = \frac{v_{out}}{i_{in}} \Big|_{LF} = \frac{R_{s1}}{R_{s1} + \frac{1}{g_{m,1}}} R_D \frac{R_{s2}}{R_{s2} + \frac{1}{g_{m,2}}} \cong 10k\Omega$$

c) Trasferimento V_{out}/I_{in} a media frequenza

Dobbiamo sostituire alla resistenza R_{s2} il parallelo tra R_{s2} e R_{s3} , quindi il trasferimento ingresso-uscita di piccolo segnale a media frequenza risulta

$$Z|_{LF} = \frac{v_{out}}{i_{in}} \Big|_{LF} = \frac{R_{s1}}{R_{s1} + \frac{1}{g_{m,1}}} R_D \frac{R_{s2} // R_{s3}}{R_{s2} // R_{s3} + \frac{1}{g_{m,2}}} \cong 9.4k\Omega$$

d) numero di elettroni immagazzinati nel canale di M1

Lo strato di cariche mobili nel canale e l'elettrodo di *gate* formano le armature di un condensatore, il cui dielettrico è l'ossido. All'aumentare della tensione di *gate* oltre il valore di soglia, la tensione in eccesso ($V_{GS} - V_T$) cade quasi interamente ai capi dell'ossido. Dal momento che la tensione V_{DS} è nulla, la concentrazione (per unità di area) di carica nel canale è uniforme ed è calcolabile mediante la relazione:

$$Q_{ch} = C_{ox} (V_{GS} - V_T)$$

dove

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} = 2.16 \text{ mF} / \text{m}^2.$$

Il numero di elettroni totali immagazzinati nel canale è, pertanto, dato da:

$$n_{el} = \frac{Q_{ch}WL}{q} = \frac{C_{ox}WL(V_{GS} - V_T)}{q} = 539297 \text{ elettroni}$$

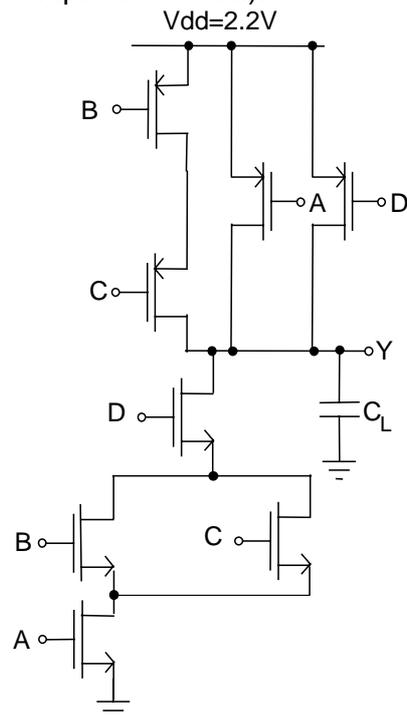
Esercizio 3

a) Rete di pull-up e pull-down

Per prima cosa occorre minimizzare l'espressione della funzione logica svolta dal circuito che, quindi, risulta:

$$Y = [A \cdot B + A \cdot C] \cdot \bar{D} = [A \cdot (B + C)] \cdot \bar{D} = [A \cdot (B + C)] + \bar{D} = [\bar{A} + \overline{(B + C)}] + \bar{D} = [\bar{A} + \bar{B} \cdot \bar{C}] + \bar{D}$$

Pertanto la rete logica è la seguente (per la giustificazione delle scelte effettuate si veda il libro di testo – naturalmente la risposta qui data entro parentesi non sarebbe soddisfacente nel corso di un compito scritto ☺!!):



b) Calcolo del ritardo di propagazione

Con tutti gli ingressi cortocircuitati, la porta logica si comporta come un inverter CMOS. Calcoliamo, quindi i fattori di forma dell'inverter equivalente.

$$\left(\frac{W}{L}\right)_{n,eq} = \left[\frac{1}{\left(\frac{L}{W}\right)_{n,A} + \left(\frac{L}{W}\right)_{n,D} + \left(\frac{L}{2W}\right)_{n,BCeq}} \right] = 2$$

$$\left(\frac{W}{L}\right)_{p,eq} = \left(\frac{W}{L}\right)_{p,A} + \left(\frac{W}{L}\right)_{p,D} + \left(\frac{W}{2L}\right)_{p,BCeq} = 12.5$$

. transizione alto - basso

Nella transizione dell'uscita dal livello logico alto al livello logico basso la scarica della capacità avviene attraverso l'NMOS dell'inverter equivalente.

Approssimazione ohmica: (è sufficiente uno dei due approcci!)

$$R_{DS_{on}}|_{eq,n} = \frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{DS}=0} = \left| \frac{1}{2k_n(V_{GS} - V_{T,n})} \right| = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{n,eq} (V_{dd} - V_{T,n})} = 1.67k\Omega$$

$$t_{pHL} = 0.69\tau = 0.69R_{DS_{on}}|_{eq,n} C_L = 2.3ns$$

Approssimazione satura: calcoliamo il fattore di forma dell'inverter equivalente relativo alla transizione alto-basso piu' gravosa:

$$t_{pHL} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{n,eq} (V_{dd} - V_{T,n})^2} = 4.9ns$$

. transizione basso - alto

Nella transizione dell'uscita dal livello logico basso al livello logico alto la carica della capacita' avviene attraverso il PMOS dell'inverter equivalente.

Approssimazione ohmica: (e' sufficiente uno dei due approcci!)

$$R_{DS_{on}}|_{eq,p} = \frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{DS}=0} = \left| \frac{1}{2k_p(V_{GS} - V_{T,p})} \right| = \frac{1}{2 \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{dd} - |V_{T,p}|)} = 667\Omega$$

$$t_{pLH} = 0.69\tau = 0.69R_{DS_{on}}|_{eq,p} C_L = 0.9ns$$

Approssimazione satura:

$$t_{pLH} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_{p,eq} (V_{dd} - |V_{T,p}|)^2} = 2ns$$

Il ritardo di propagazione puo', quindi, essere calcolato, secondo la definizione, come il valor medio tra il tempo di propagazione alto-basso ed il tempo di propagazione basso-alto:

$$\tau_p = \frac{t_{pHL} + t_{pLH}}{2} = 1.6ns \text{ secondo l'approssimazione ohmica}$$

$$\tau_p = \frac{t_{pHL} + t_{pLH}}{2} = 3.45ns \text{ secondo l'approssimazione satura}$$

b) Calcolo della massima frequenza di commutazione e della potenza dissipata

La richiesta che la porta possa commutare correttamente si traduce nel chiedere che l'uscita della porta logica raggiunga e superi il valore della soglia logica (che per questo inverter equivalente non sara' pari a $V_{dd}/2$, poiche' il fattore di forma del pMOS e' pari a 6.25 volte quello del nMOS).

Assumendo che l'onda quadra in ingresso sia caratterizzata da un duty cycle del 50%, tale richiesta si traduce in una periodo minimo pari a due volte il tempo di propagazione piu' lungo e cioe' nel nostro caso 2.3ns, secondo l'approssimazione ohmica (4.9 ns secondo quella satura).

$$f_{max} = \frac{1}{2t_{pHL}} = 217MHz \text{ secondo l'approssimazione ohmica}$$

$$f_{max} = \frac{1}{2t_{pHL}} = 102MHz \text{ secondo l'approssimazione satura}$$

La potenza dissipata dalla porta sara' quasi esclusivamente dovuta alla potenza dinamica, cioe' a quella spesa per caricare e scaricare la capacita' di carico, poiche' la potenza statica dissipata da una porta CMOS e' nulla e la potenza di cross-conduzione e', in generale, trascurabile rispetto alla potenza dinamica.

Si avra', quindi:

$$P_{diss} = C_L V_{DD}^2 f_{max} = 2.1mW \text{ secondo l'approssimazione ohmica}$$

$$P_{diss} = C_L V_{DD}^2 f_{max} = 0.99mW \text{ secondo l'approssimazione satura}$$

Esercizio 4

Perche' si accenda il diodo D_1 occorre che la tensione ai suoi capi sia di almeno 0.7V, secondo la polarita' corretta, pertanto D_1 e' on se la tensione di ingresso e' minore, o, al piu', uguale a $-2.7V$.

Perche' il diodo D_2 sia acceso occorre che la tensione ai suoi capi sia di almeno $0.7V$, secondo la polarita' corretta, pertanto D_2 e' on se la tensione di ingresso e' maggiore, o, al piu' uguale a $-1.3V$. Si puo' concludere, quindi, che i due diodi non saranno mai contemporaneamente accesi. Questo semplifica notevolmente i calcoli.

Quando D_2 e' off, la tensione di uscita e' pari a $-2V$ perche' nella resistenza R_1 non puo' fluire corrente. Quando D_2 e' on, possiamo scrivere la seguente relazione per la tensione di uscita:

$$V_{out} = (V_{in} - 0.7V) \frac{R_1}{R_2 + R + R_1} - 2V \frac{R + R_2}{R_2 + R + R_1}$$

La tensione di uscita avra', quindi, l'andamento riportato in blu nella figura seguente:

