Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2012/13
Secondo Appello – 18 settembre 2013 – Traccia di soluzione

Esercizio 1

a) funzione logica e rete di pull-up

Per calcolare la funzione logica svolta, occorre osservare come sono connessi i transistori nella rete di pull-down. La rete di pull-down (composta di soli transistori nMOS, uno per ogni variabile di ingresso) esprime la funzione logica negata in funzione delle variabili di ingresso. Due transistori nMOS in serie (o due rami con piu' transistori) realizzano l'AND logico tra le rispettive variabili di pilotaggio, mentre la connessione in parallelo realizza la funzione logica OR. La variabile logica *A* subisce un'inversione prima di essere applicata alla rete di pull-up e pull-down, per effetto dell'inverter CMOS.

Pertanto la funzione logica risulta:

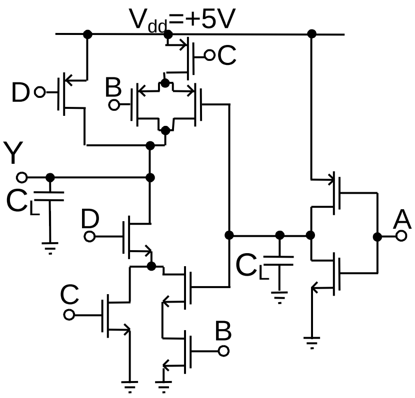
$$\overline{Y} = D \bullet \left[C + \overline{A} \bullet B\right]$$

da cui ricaviamo, mediante l'opportuna applicazione del teorema di De Morgan

$$Y = \overline{D \bullet \left[C + \overline{A} \bullet B\right]} = \overline{D} + \left[\overline{C} \bullet + \left(\overline{\overline{A}} + \overline{B}\right)\right] = \overline{D} + \left[\overline{C} \bullet + \left(A + \overline{B}\right)\right]$$

e, quindi, possiamo disegnare la rete di pull-up.

(per la giustificazione delle scelte effettuate si veda il libro di testo – naturalmente la risposta qui data entro parentesi non sarebbe soddisfacente nel corso di un compito scritto ☺!!).



b) tempo di commutazione transizione ABCD = 0101 → ABCD = 1101

Nella transizione ABCD = 0101 → ABCD = 1101, l'uscita commuta da 0 a 1. La carica della capacita' C_L, posta in uscita alla porta avviene attraverso i transistori pMOS pilotati da Ā e da C. La capacita' C_L, posta in uscita dall'inverter e' scaricata dall'nMOS dell'inverter. Il tempo di propagazione complessivo e' dato dalla somma dei due tempi di propagazione.

Possiamo calcolare i due tempi di propagazione secondo l'approssimazione ohmica o satura (e' sufficiente uno dei due approcci!). Ovviamente per coerenza seguiremo la medesima approssimazione per entrambi i tempi.

Approssimazione ohmica:

$$R_{DS_{on}}\Big|_p = \left(\frac{\partial I_D}{\partial V_{DS}}\Big|_{V_{DS}=0}\right)^{-1} = \frac{1}{2k_p\left(V_{GS} - V_{T,p}\right)} = \frac{1}{-2\,\frac{1}{2}\,\mu_p C_{ox}\left(\frac{W}{L}\right)_p\left(-V_{dd} - V_{T,p}\right)} = 2.9k\Omega$$

$$R_{DS_{on}}\Big|_n = \left(\frac{\partial I_D}{\partial V_{DS}}\Big|_{V_{DS}=0}\right)^{-1} = \frac{1}{2k_n\left(V_{GS} - V_{T,n}\right)} = \frac{1}{2\,\frac{1}{2}\,\mu_n C_{ox}\left(\frac{W}{L}\right)_n\left(V_{dd} - V_{T,n}\right)} = 723\Omega$$

$$R_{DS_{on}}\Big|_{p,eq} = 2R_{DS_{on}}\Big|_p = 5.8k\Omega$$

$$t_{p50\%HL}\Big|_{inverter} = (\ln 2)\tau = 0.69R_{DS_{on}}\Big|_n C_L = 0.69\cdot R_{DS_{on}}\Big|_n C_L = 2ns$$

$$t_{p50\%LH}\Big|_{porta} = (\ln 2)\tau = 0.69R_{DS_{on}}\Big|_{eq,p} C_L = 0.69\cdot 2\cdot R_{DS_{on}}\Big|_n C_L = 16ns$$

Qui ndi il tempo di commutazione complessivo, pari alla somma dei due, risulta:

$$t_{p50\%HL}\Big|_{TOT} = t_{p50\%HL}\Big|_{inverter} + t_{p50\%LH}\Big|_{porta} = 18ns$$

Similmente considerando l'approssimazione satura:

$$\left(\frac{W}{L}\right)_{p,eq} = \frac{1}{2}\left(\frac{W}{L}\right)_p \Rightarrow k_{p,eq} = \frac{1}{2}k_p$$

$$t_{p50\%HL}\Big|_{inverter} = \frac{Q_{50\%}}{I_{Dsat,n}} = \frac{C_L \frac{V_{DD}}{2}}{k_n (V_{GSn} - V_{Tn})^2} = 3.3ns$$

$$t_{p50\%LH}\Big|_{porta} = \frac{Q_{50\%}}{|I_{Dsat,p,eq}|} = \frac{C_L \frac{V_{DD}}{2}}{k_n (V_{GSn} - V_{Tn})^2} = 13.4ns$$

da cui

$$t_{p50\%HL}\Big|_{TOT} = t_{p50\%HL}\Big|_{inverter} + t_{p50\%LH}\Big|_{porta} = 16.7ns$$

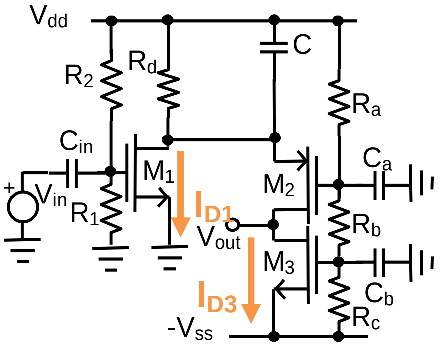
c) Potenza dissipata

Abbiamo in gioco la medesima transizione precedente e quella contraria. La frequenza di commutazione e' f_{ck}=*300MHz*, da cui ricaviamo che il periodo e' pari a *3.3 ns* ed il semiperiodo e' pari a *1.65 ns,* pertanto la porta non puo' commutare e, quindi, non essendoci dissipazione di potenza statica in una porta CMOS, la potenza dissipata complessiva e' nulla.

Esercizio 2

a) Polarizzazione

Le capacita' sono un circuito aperto, il generatore di tensione di segnale e' spento. Ipotizziamo i MOSFET in zona di saturazione.
Il circuito per il calcolo della polarizzazione e' il seguente:



$$V_{GS1} = \frac{R_1}{R_1 + R_2} V_{dd} = 1.7V$$

$$I_{D1} = k_1 (V_{GS1} - V_{Tn})^2 = 3mA$$

$$V_{GS3} = \frac{R_c}{R_a + R_b + R_c} (V_{dd} - (-V_{ss})) = 1.7V$$

$$I_{D3} = k_3 (V_{GS3} - V_{Tn})^2 = 1mA$$

Poiche' *M2* e *M3* sono percorsi dalla stessa corrente, per la legge di Kirchhoff delle correnti

$$I_{Rd} = I_{D1} + I_{D3} = 4mA$$

da cui si ricava $V_{D1} = V_{dd} - I_{Rd} R_d = 2.72V$, tale da garantire la saturazione dell'nMOS *M1* ($V_{GD1} = -1.02V < V_{Tn}$).

Per il transistore pMOS si ricava:

$$V_{G_{M2}} = V_{dd} - \frac{R_a}{R_a + R_b + R_c} (V_{dd} - (-V_{ss})) = 1.02V$$

da cui $V_{GS2} = -1.7V < V_{Tp}$ e $I_p = |k_p| (V_{GSp} - V_{Tp})^2 = 1mA$

Per garantire la saturazione di *M2* e *M3* dobbiamo imporre

$$\begin{cases} V_{GD2} > V_{Tp} \\ V_{GD3} < V_{Tn} \end{cases}$$

e cioe'

$$\begin{cases} V_{G2} - V_{out} > V_{Tp} \\ V_{G3} - V_{out} < V_{Tn} \end{cases}$$

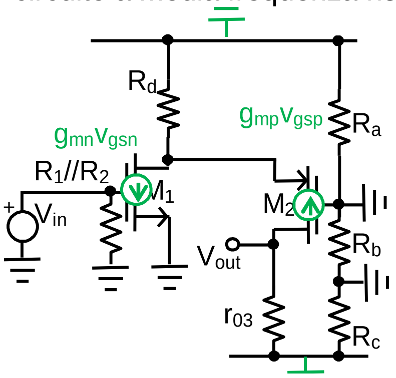
da cui si ricava $-5V < V_{out} < +1.72V$.

Le transconduttanze valgono:

$$g_{m1} = 2k_1 (V_{GS1} - V_{Tn}) = 6mS$$

$$g_{m2} = 2k_p (V_{GSp} - V_{Tp}) = 2mS$$

b) Trasferimento V_{out}/V_{in} a media frequenza
Il circuito a media frequenza risulta, per l'analisi di piccolo segnale:



La corrente di piccolo segnale che scorre (da *drain* a *source*) nel transistore nMOS *M1* (in configurazione source a massa) e':

$$i_{d1} = g_{m1} v_{gs1} = g_{m1} v_{in}$$

La frazione di tale corrente che proviene dal *source* del pMOS *M2* e' decisa dalla partizione di corrente:

$$i_{d2} = i_{d1} \frac{R_d}{R_d + \frac{1}{g_{m2}}}$$

La tensione di piccolo segnale di uscita e'

$$v_{out} = -i_{d2} r_{03}$$

Quindi, il trasferimento uscita-ingresso di piccolo segnale a bassa frequenza risulta pari a:

$$\frac{v_{out}}{v_{in}} = -g_{m1} \frac{R_d}{R_d + \frac{1}{g_{m2}}} r_{03} = -186.\overline{36}$$

c) Diagramma di Bode
La capacita' C_{in} introduce nel trasferimento uno zero nell'origine ed un polo. La costante di tempo del polo e' pari al prodotto della capacita' per la resistenza che si vede in parallelo ai suoi morsetti.

$$\tau_{pin} = C_{in}(R_1 // R_2) = 573ms$$

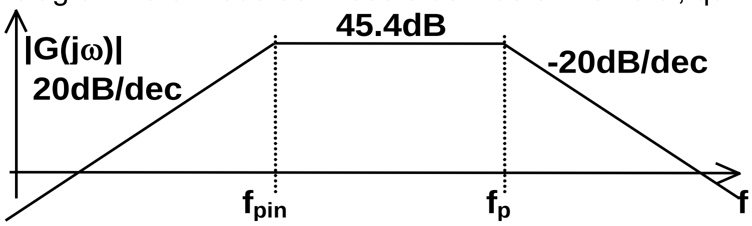
$$f_p = \frac{1}{2\pi\tau_{pin}} = 0.3Hz$$

La capacita' *C* introduce nel trasferimento un polo e nessuno zero:

$$\tau_p = C\left(R_d // \frac{1}{g_{m2}}\right) = 62ns$$

$$f_p = \frac{1}{2\pi\tau_p} = 2.6MHz$$

C_a e C_b non introducono ne' poli ne' zeri nel trasferimento.
Il diagramma di Bode del modulo del trasferimento e', quindi, il seguente:



Esercizio 3

a) Trasferimento

Assumendo l'amplificatore operazionale ideale, possiamo applicare la sovrapposizione degli effetti poiche' il circuito e' lineare e ricavare, grazie al fatto che il morsetto meno e' un nodo di terra virtuale:

$$V_{out} = -\frac{R_f}{R_b} V_b + i_T R_f$$

da cui si ricava, imponendo che la tensione di uscita si annulli, quando la temperatura e' pari a 273K e, cioe', la corrente e' pari a *273 μA*:

$$R_b = \frac{15V}{273\mu A} = 54.95\Omega$$

L'espressione della tensione di uscita in funzione della temperatura e':

$$V_{out}(T) = -\frac{R_f}{R_b}V_b + \alpha[t(°C) + 273]R_f = -27.297V + 0.1\frac{V}{K}[t(°C) + 273]$$

b) Intervallo di temperatura e risoluzione

Per poter effettuare correttamente la conversione, V_{out} deve essere compreso tra V^+ e V^- e, cioe',
$-5V \leq V_{out} \leq 5V$

Quando $V_{out} = +5V$, la temperatura risulta pari a *t=+50°C* e quando $V_{out} = -5V$, la temperatura risulta pari a *t=-50°C,* pertanto l'intervallo di temperature "misurabili" si estende da *-50°C* a *+50°C*.
Possiamo calcolare la risoluzione nella misura di temperatura, riportando 1 LSB in ingresso, dato che si assume l'idealita' del sensore.

$$1LSB = \frac{V^+ - V^-}{2^n} = 39.06mV$$

$$\Delta T = \frac{1LSB}{R_f}\alpha = 0.39K$$

c) correnti di bias

Per poter minimizzare l'effetto delle correnti di bias occorre uguagliare le resistenze viste dai due morsetti dell'amplificatore operazionale verso massa, pertanto:

$$R_x = R_f // R_b = 35.46k\Omega$$

L'effetto dell'offset delle correnti di bias da' un contributo in ingresso all'*ADC*, che, grazie alla terra virtuale e' pari a:

$$\Delta_{I_{offset}} = \pm I_{offset}R_f$$

Perche' $\Delta_{I_{offset}} \leq \frac{LSB}{10}$

$$|I_{offset}| \leq 39nA$$

d) Margine di fase

Per calcolare il margine di fase del circuito occorre calcolare, innanzitutto, il guadagno d'anello del circuito.

$$G_{loop}(s) = G_{loop}(0)\frac{1 + s\tau_z}{1 + s\tau_p}\frac{1}{1 + s\tau_0}$$

dove

$$G_{loop}(0) = -\frac{R_b}{R_b + R_f}A_0$$

La costante di tempo del polo ad anello aperto dell'amplificatore operazionale e' tale che

$$GBWP = A_0 f_0 = \frac{A_0}{2\pi\tau_0}$$

ma non conosciamo il valore di τ_0 e A_0 separatamente.
Le capacita' C_x e C_f sono dipendenti ed introducono nel guadagno d'anello un solo polo, la cui costante di tempo e' pari al prodotto della capacita' equivalente per la resistenza che si vede in parallelo ai suoi morsetti. La capacita' C_f introduce anche uno zero, quando l'impedenza equivalente, che connette il morsetto invertente all'uscita diventa un circuito aperto

$$\tau_p = (C_x + C_f)(R_f // R_b) \Rightarrow f_p = \frac{1}{2\pi\tau_p} = 1.28MHz$$

$$\tau_z = C_f R_f \Rightarrow f_z = \frac{1}{2\pi\tau_z} = 1..6MHz$$

quindi lo zero interviene a frequenze piu' basse del polo.
Disegnando l'andamento del modulo del guadagno d'anello in frequenza ricaviamo per via "geometrica"

$$f_{odB} = A_0 f_0 \frac{R_b}{R_b + R_f}\frac{f_p}{f_z} = GBWP\frac{C_f}{C_f + C_x} = 2.85MHz$$

pertanto il margine di fase risulta:

$$\Phi_M = \left[-180° - \arctan\frac{f_{0dB}}{f_0} + \arctan\frac{f_{0dB}}{f_z} - \arctan\frac{f_{0dB}}{f_p} \right] - (-360°) = 90° + 60°40' - 65°48' \cong 85°$$

e si puo’ concludere tranquillamente che il circuito e’ stabile.