

# Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2014/15

## Terzo Appello– 17 settembre 2015

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ....  
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.  
 Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

### Esercizio 1

Si consideri il circuito mostrato in Fig. 1, in cui  $i_s$  e' un generatore di corrente di piccolo segnale.

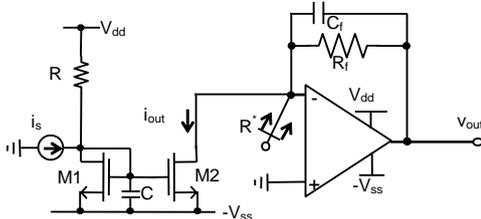


Fig.1

$$\begin{aligned}
 V_{dd} &= V_{ss} = 5 \text{ V} \\
 C &= 10 \text{ pF} & C_f &= 20 \text{ pF} \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L)_n = 0.5 \text{ mA/V}^2 \\
 V_{Tn} &= 0.7 \text{ V} \\
 R_f &= 5 \text{ k}\Omega & R &= 16.6 \text{ k}\Omega
 \end{aligned}$$

- Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), assumendo l'amplificatore operazionale ideale.**
- Assumendo che tutti i transistori siano caratterizzati da una resistenza di uscita  $r_o = 50 \text{ k}\Omega$  e l'amplificatore operazionale sia ideale, determinare il trasferimento di piccolo segnale  $i_{out}/i_s$  a bassa frequenza.**
- Tracciare il diagramma di Bode del modulo del trasferimento  $v_{out}/i_s$ , assumendo che tutti i transistori siano caratterizzati da una resistenza di uscita  $r_o = 50 \text{ k}\Omega$  e che l'amplificatore operazionale sia ideale.
- Determinare l'espressione ed il valore della resistenza  $R^*$ , indicata in Fig. 1, nelle ipotesi che tutti i transistori siano caratterizzati da una resistenza di uscita  $r_o = 50 \text{ k}\Omega$  e l'amplificatore operazionale sia caratterizzato da un guadagno ad anello aperto  $A_0 = 80 \text{ dB}$ .
- Nelle ipotesi che il condensatore  $C$  abbia capacita' nulla, tracciare l'andamento temporale della tensione di uscita  $v_{out}$ , nelle ipotesi di amplificatore operazionale ideale, se in ingresso e' applicato un gradino di corrente positivo di ampiezza  $20 \mu\text{A}$ . Si assuma che tutti i transistori siano caratterizzati da una resistenza di uscita  $r_o = 50 \text{ k}\Omega$ .

### Esercizio 2

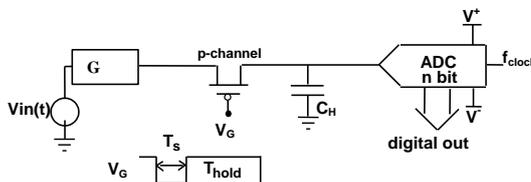


Fig.2

$$\begin{aligned}
 V^+ &= -V = 5 \text{ V} \\
 C_H &= 5 \text{ nF} \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L)_p = 4 \text{ mA/V}^2 \\
 V_{Tp} &= -1 \text{ V} \\
 n &= 11 \text{ bits}
 \end{aligned}$$

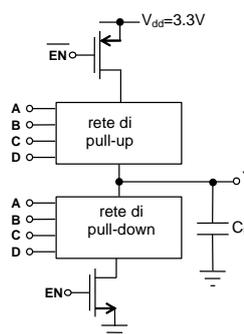
Si consideri il circuito amplificatore mostrato in Fig. 2. Il segnale di ingresso e' di tipo sinusoidale di ampiezza  $A = 100 \text{ mV}$  a valor medio non nullo, con frequenza  $f = 20 \text{ kHz}$ :  $V_{in} = A \sin(2\pi ft) + 0.5 \text{ V}$

- Determinare il massimo valore del guadagno di tensione  $G$  che garantisca di poter convertire correttamente i segnali in ingresso. Quale e' la risoluzione ottenibile in ingresso espressa in percentuale dell'ampiezza del segnale di ingresso?**
- Determinare i valori delle tensioni di comando di gate  $V_G$  tali da garantire una resistenza  $R_{ds,on}$  non superiore a  $15 \Omega$  nella fase di *sampling* e una resistenza  $R_{ds,on}$  virtualmente infinita nella fase di *hold* con un margine di sicurezza di  $3 \text{ V}$ . Si assuma  $G = 1$ .**
- Determinare la minima frequenza di *clock* necessaria per l'ADC, supposto ad approssimazioni successive, per poter correttamente convertire i segnali in ingresso, se l'ADC e' caratterizzato da una resistenza di ingresso pari a  $50 \text{ M}\Omega$ . Si assuma il tempo di *sampling* pari ad un colpo di *clock*.

### Esercizio 3

Si consideri la porta logica complessa in tecnologia CMOS mostrata in Fig. 3, che svolge la funzione logica  $Y = \overline{A \cdot (B \cdot C)} \cdot \overline{D}$ . Sia  $EN$  un segnale logico per l'abilitazione della porta.

- Disegnare la rete di *pull-up* e la rete di *pull-down*, giustificando le scelte effettuate, per ottenere la funzione logica con una porta in tecnologia CMOS.**
- A seguito di una transizione di  $EN$  dallo  $0$  logico all' $1$  logico, assumendo  $A = B = C = D = 1$  e la capacita' di uscita precaricata al valore  $V_{dd}/2$ , stimare il tempo necessario perche'  $V_{out}$  raggiunga il valore a regime.



$$\begin{aligned}
 V_{dd} &= 3.3 \text{ V} \\
 |V_{Tp}| &= V_{Tn} = 0.5 \text{ V} \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L)_n = 0.2 \text{ mA/V}^2 \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L)_p = 0.2 \text{ mA/V}^2 \\
 C_L &= 10 \text{ pF}
 \end{aligned}$$

Fig. 3