

# Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2017/18

## Quarto Appello – 15 febbraio 2019

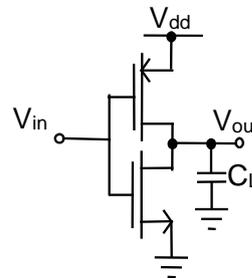
1. Riportare sulla prima pagina del primo foglio protocollo nome, cognome, numero di matricola, “Quarto Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna e indicare la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto (a mio avviso sono i piu' facili). La durata della prova e' 3 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

### Esercizio 1

Si consideri l'inverter CMOS mostrato nella Fig. 1. Si tratta di un inverter ad area minima.

**a) Determinare il massimo valore di tensione in ingresso che consenta al nMOS di permanere in zona di saturazione.**

b) Determinare la massima frequenza del segnale in ingresso, supposto con duty cycle del 50%, che consenta alla porta di commutare correttamente. Si facciano le approssimazioni necessarie.



$$V_{dd} = +3.3 \text{ V}$$

$$|V_{Tp}| = V_{Tn} = 0.7 \text{ V}$$

$$\frac{1}{2} \mu_n C_{ox} = 100 \mu\text{A/V}^2$$

$$\frac{1}{2} \mu_p C_{ox} = 40 \mu\text{A/V}^2$$

$$C_L = 20 \text{ pF}$$

Fig. 2

### Esercizio 2

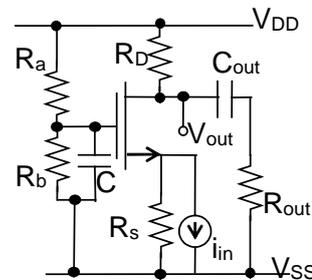
Si consideri il circuito amplificatore mostrato nella Fig. 2, in cui  $i_{in}$  e' un generatore di corrente di piccolo segnale.

**a) Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), determinando il (W/L) che deve possedere il transistore perche' la tensione di uscita sia a 0V.**

**b) Determinare il trasferimento di piccolo segnale  $v_{out}/i_{in}$  a bassa frequenza.**

c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale  $V_{out}(s)/I_{in}(s)$ .

d) Assumendo di poter variare la sola resistenza  $R_D$ , determinare il massimo valore del trasferimento a bassa frequenza ottenibile con questo stadio.



$$V_{DD} = +4 \text{ V}, V_{SS} = -4 \text{ V}$$

$$R_a = R_b = 500 \text{ k}\Omega$$

$$V_{Tn} = 1 \text{ V}$$

$$\frac{1}{2} \mu_n C_{ox} = 100 \mu\text{A/V}^2$$

$$R_D = 4 \text{ k}\Omega$$

$$R_s = 2 \text{ k}\Omega$$

$$R_{out} = 2 \text{ k}\Omega$$

$$C = 1 \text{ nF}$$

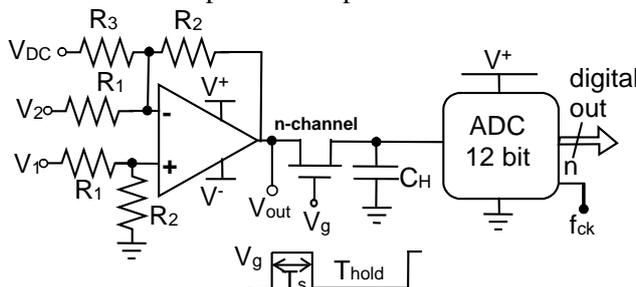
$$C_{out} = 100 \text{ pF}$$

$$r_0 = \infty$$

Fig. 2

### Esercizio 3

Si consideri la catena di acquisizione mostrata nella Fig. 3, in cui  $(V_1 - V_2)$  e' un generatore di segnale sinusoidale con ampiezza che possa coprire l'intera dinamica di uscita dell'amplificatore operazionale. L'ADC e' caratterizzato da un numero di bits  $n = 12$ . Si assuma che l'amplificatore operazionale saturi alle tensioni di alimentazione.



$$R_1 = 50 \Omega$$

$$R_2 = 5 \text{ k}\Omega$$

$$R_3 = 5 \text{ k}\Omega$$

$$V^+ = -V^- = 5 \text{ V}$$

$$f_{ck} = 20 \text{ MHz}$$

$$V_{Tn} = 1 \text{ V}$$

$$k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 4 \text{ mA/V}^2$$

Fig. 3

**a) Assumendo l'amplificatore operazionale ideale, determinare il trasferimento  $V_{out}/(V_1 - V_2)$ , ed il valore di tensione  $V_{DC}$  da applicare perche' il circuito possa correttamente convertire sinusoidi di piena dinamica.**

**b) Determinare le tensioni di comando che devono essere applicate al gate del transistore del circuito di Sample & Hold per garantire una resistenza virtualmente infinita in fase di Hold ed una resistenza  $R_{ds,on}$  non superiore a 20  $\Omega$  in fase di Sample.**

c) Assumendo che l'amplificatore operazionale sia caratterizzato da un rapporto di reiezione del modo comune  $CMRR = 45 \text{ dB}$ , determinare l'espressione completa della tensione di uscita in funzione delle tensioni in ingresso.

d) Assumendo che il transistore del circuito di Sample & Hold sia caratterizzato da una resistenza  $R_{ds,off} = 20 \text{ M}\Omega$ , dimensionare la capacita' di Hold per garantire che l'errore di droop sia inferiore a 0.3 LSB, nelle ipotesi che l'ADC sia a gradinata.