

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2014/15

Quarto Appello– 12 febbraio 2016

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.
 Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito amplificatore mostrato in Fig. 1, in cui v_{in} e' un generatore di tensione di piccolo segnale. Si assuma per i diodi $D1$ e $D2$ una tensione di accensione pari a $0.7V$.

- a. **Calcolare la polarizzazione del circuito (correnti in tutti i rami e tensioni a tutti i nodi).**
- b. **Determinare il trasferimento di piccolo segnale V_{out}/V_{in} ad alta frequenza, nelle ipotesi che tutti i transistori siano caratterizzati da una resistenza di uscita infinita.**
- c. Tracciare, quotandone tutti i punti significativi, l'andamento del diagramma di Bode del modulo della funzione di trasferimento $V_{out}(s)/V_{in}(s)$, nelle ipotesi che tutti i transistori siano caratterizzato da una resistenza di uscita $r_o = 50 k\Omega$.
- d. Determinare il massimo valore del guadagno di tensione ottenibile con questo stadio, modificando opportunamente i valori dei componenti presenti, ma non i parametri dei transistori. Si assuma che tutti i transistori siano caratterizzati da una resistenza di uscita infinita.

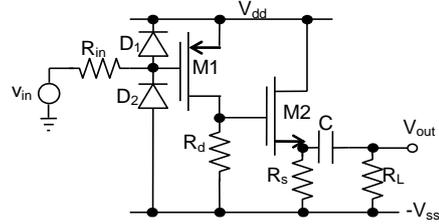


Fig. 1

$$\begin{aligned}
 R_{in} &= 100 \Omega & R_d &= 5 k\Omega \\
 R_s &= 2 k\Omega & R_L &= 4 k\Omega \\
 C &= 300 nF \\
 V_{dd} &= 3 V & V_{ss} &= 5 V \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L)_n = 0.25 mA/V^2 \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L)_p = 0.25 mA/V^2 \\
 V_{Tn} &= |V_{Tp}| = 1 V
 \end{aligned}$$

Esercizio 2

Si consideri il circuito mostrato in Fig. 2.

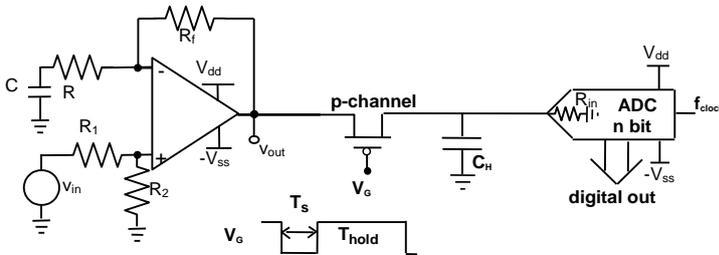


Fig.2

$$\begin{aligned}
 R &= 1 k\Omega \\
 R_f &= 50 k\Omega \\
 R_1 &= R_2 = 50 \Omega \\
 C &= 470 nF \\
 V_{dd} &= V_{ss} = 3.5 V \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L)_p = 6 mA/V^2 \\
 V_{Tp} &= -1 V \\
 n &= 12 bits \\
 f_{clock} &= 2 MHz
 \end{aligned}$$

- a. **Determinare il guadagno ideale di tensione V_{out}/V_{in} ad alta frequenza.**
- b. **Determinare i valori delle tensioni di comando di gate V_G tali da garantire una resistenza $R_{ds,on}$ non superiore a 20Ω nella fase di Sampling e una resistenza $R_{ds,off}$ virtualmente infinita nella fase di Hold con un margine di sicurezza di 3 V.**
- c. Tracciare il diagramma di Bode del modulo del trasferimento V_{out}/V_{in} nelle ipotesi di amplificatore operazionale ideale.
- d. Determinare il minimo valore che deve possedere la capacita' di Hold, C_H per garantire un errore di *droop* massimo non superiore ad $LSB/5$, nel caso di un ADC ad approssimazioni successive caratterizzato da una resistenza di ingresso pari a $1 M\Omega$.
- e. Determinare la banda del trasferimento reale V_{out}/V_{in} se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 60 MHz$.

Esercizio 3

Si consideri la porta logica complessa mostrata in Fig. 3, che svolge la funzione logica $Y = A \cdot B + C$.

- a. **Determinare il massimo valore analogico, corrispondente ad un valore logico basso, che puo' assumere la tensione di uscita.**

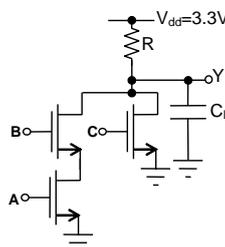


Fig. 3

$$\begin{aligned}
 V_{Tn} &= 0.6 V \\
 \frac{1}{2} \mu_n C_{ox} &= 0.07 mA/V^2 \\
 (W/L)_n &= 5 \\
 C_L &= 10 pF \\
 R &= 2 k\Omega
 \end{aligned}$$

Formule Utili:

MOS in Saturazione: $I_D = k (V_{GS} - V_T)^2$
 MOS in Zona Ohmica: $I_D = k [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$