

1. Riportare sulla prima pagina del primo foglio protocollo nome, cognome, numero di matricola, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna e indicare la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

**Esercizio 1**

Si consideri il circuito amplificatore mostrato nella Fig. 1 in cui  $i_{in}$  e' un generatore di corrente di piccolo segnale.

- a) Dimensionare il fattore di forma  $W/L$  del transistor  $M1$ , sapendo che la corrente di polarizzazione e' pari a  $1mA$  in ciascuno dei rami contenenti i transistori. Determinare, quindi, le correnti in tutti i rami e le tensioni a tutti i nodi.
- b) Determinare il trasferimento di piccolo segnale  $v_{out}/i_{in}$  a media frequenza ( $C_a$  e  $C_b$  corto circuito,  $C$  circuito aperto), assumendo che il solo transistor  $M2$  sia caratterizzato da una resistenza di uscita  $r_o = 100k\Omega$
- c) Tracciare il diagramma temporale, quotandone tutti i punti significativi, della tensione di uscita  $V_{out}$  complessiva (polarizzazione e segnale), quando in ingresso e' applicato un gradino di corrente positivo di ampiezza  $10 \mu A$ , assumendo che il solo transistor  $M3$  sia caratterizzato da una resistenza di uscita  $r_o = 100k\Omega$ .

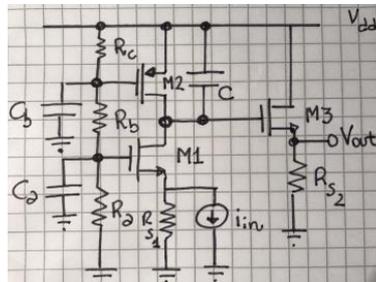


Fig. 1

$$V_{dd} = +6 V \quad |V_{Tp}| = V_{Tn} = 1 V$$

$$\frac{1}{2} \mu_n C_{ox} = 100 \mu A/V^2 \quad (W/L)_3 = 10$$

$$|k_p| = \frac{1}{2} \mu_p C_{ox} (W/L)_p = 1 mA/V^2$$

$$R_a = 25 M\Omega \quad R_b = 15 M\Omega \quad R_c = 20 M\Omega$$

$$R_a = 25 M\Omega \quad C_a = 470 nF \quad C_b = 470 nF$$

$$R_{s1} = 0.5 k\Omega \quad R_{s2} = 2 k\Omega \quad C = 2 pF$$

**Esercizio 2**

Si consideri la catena di acquisizione mostrata nella Fig. 2. L'ADC e' del tipo ad approssimazioni successive con un numero di bits  $n = 12$ . Si assuma che l'amplificatore operazionale saturi alle tensioni di alimentazione.

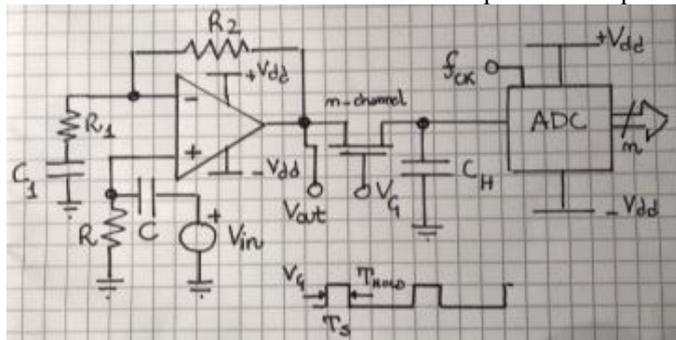


Fig. 2

$$R_1 = 2k\Omega$$

$$R_2 = 18k\Omega$$

$$C_1 = 100 pF$$

$$R = 4k\Omega$$

$$C = 470 nF$$

$$V_{dd} = 5 V$$

$$k_n = \frac{1}{2} \mu_n C_{ox} (W/L)_n = 800 \mu A/V^2$$

$$V_{Tn} = 0.8 V$$

$$C_H = 1nF$$

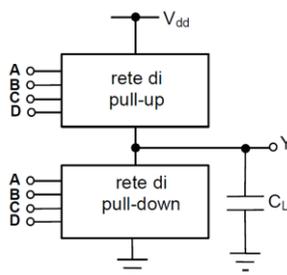
$$f_{ck} = 20 MHz$$

- a) Assumendo l'amplificatore operazionale ideale, tracciare il diagramma di Bode del modulo della funzione di trasferimento  $V_{out}(s)/V_{in}(s)$ , quotandone tutti i punti significativi.
- b) Con riferimento al transistor del circuito di *Sample & Hold*, determinare il minimo valore della tensione da applicare al *gate* del transistor durante la fase di *Sample* ed il massimo valore della tensione da applicare al *gate* del transistor durante la fase di *Hold*.
- c) Determinare il minimo valore che deve possedere la resistenza mostrata dal transistor del circuito di *Sample & Hold* quando e' spento per garantire la corretta conversione. Si assuma un errore massimo pari a  $0.3 LSB$ .
- d) Assumendo che l'amplificatore operazionale sia caratterizzato da un prodotto guadagno larghezza di banda  $GBWP = 90MHz$ , determinare fino a che frequenza il circuito puo' essere considerato ben retroazionato.
- e) Assumendo che l'amplificatore operazionale sia caratterizzato da un prodotto guadagno larghezza di banda  $GBWP = 90MHz$ , determinare il margine di fase del circuito amplificatore.

**Esercizio 3**

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 3, che svolge la funzione logica  $Y = (A + B \cdot C) \cdot (D + A)$ .

- a) Disegnare la rete di *pull-up* e la rete di *pull-down*, giustificando le scelte effettuate, per ottenere la funzione logica con una porta in tecnologia CMOS in forma minima.
- b) Determinare il minimo valore della capacita' di carico  $C_L$  che garantisca che i transistori che si accendono, a seguito di una transizione di tutti gli ingressi contemporaneamente dal livello logico alto al livello logico basso, permangano in zona di saturazione per un intervallo di tempo di almeno  $10 ns$ .



$$V_{dd} = 2.1 V$$

$$k_n = \frac{1}{2} \mu_n C_{ox} (W/L)_n = 120 \mu A/V^2$$

$$|k_p| = \frac{1}{2} \mu_p C_{ox} (W/L)_p = 80 \mu A/V^2$$

$$|V_{Tp}| = V_{Tn} = 0.7 V$$

Fig. 3