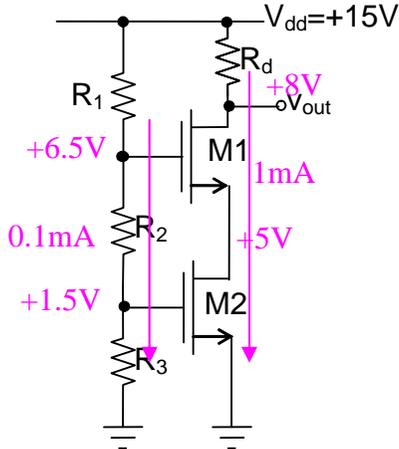


Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2005/06
Primo appello – 7 marzo 2006– Traccia di soluzione

Esercizio 1

a) Polarizzazione

Le capacità sono circuiti aperti, il generatore di corrente di segnale è spento e, quindi, è un circuito aperto, il generatore di tensione di segnale è spento e, quindi, è un cortocircuito. Ipotizziamo che i MOSFET lavorino in zona di saturazione.



I transistori operano in zona di saturazione e le transconduttanze valgono:

$$g_m = 2k_p (V_{GS} - V_T) = 2mS$$

b) Trasferimento di piccolo segnale v_{out}/v_{in} a media frequenza

A media frequenza la capacità C è un corto circuito e le capacità C_∞ by-passano a massa i gate dei due transistori. Il transistoro $M2$ non è percorso da corrente di segnale poiché la sua V_{GS} non varia su segnale.

$$v_{gs,M1} = -v_{in}$$

$$i_{d,M1} = g_{m,1} v_{gs,M1} = -g_{m,1} v_{in}$$

$$v_{out} = -i_{d,M1} R_d = g_{m,1} R_d v_{in}$$

Quindi il trasferimento ingresso-uscita di piccolo segnale risulta

$$G|_{MF} = \frac{v_{out}}{v_{in}} = g_{m,1} R_d = +14$$

c) Trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza

A bassa frequenza la capacità C è un circuito aperto e disconnette il generatore di tensione di segnale dal resto del circuito. Le capacità C_∞ sono comunque chiuse e by-passano a massa i gate dei due transistori. Il transistoro $M2$ poiché è caratterizzato da una tensione di Early non infinita, mostra una resistenza di uscita pari a

$$r_{o,M2} = \frac{|V_A|}{I_d} = 75k\Omega$$

$$i_{d,M1} = -i_{in} \frac{r_{0,M2}}{r_{0,M2} + \frac{1}{g_{m,1}}}$$

$$v_{out} = -i_{d,M1} R_d = i_{in} \frac{r_{0,M2}}{r_{0,M2} + \frac{1}{g_{m,1}}} R_d$$

Quindi il trasferimento ingresso-uscita di piccolo segnale risulta

$$Z|_{LF} = \frac{v_{out}}{i_{in}} = \frac{r_{0,M2}}{r_{0,M2} + \frac{1}{g_{m,1}}} R_d = 6.95k\Omega$$

d) Diagramma di Bode del modulo del trasferimento v_{out}/v_{in} e v_{out}/i_{in}

Le capacità C_∞ sono ininfluenti nei due diagrammi di Bode.

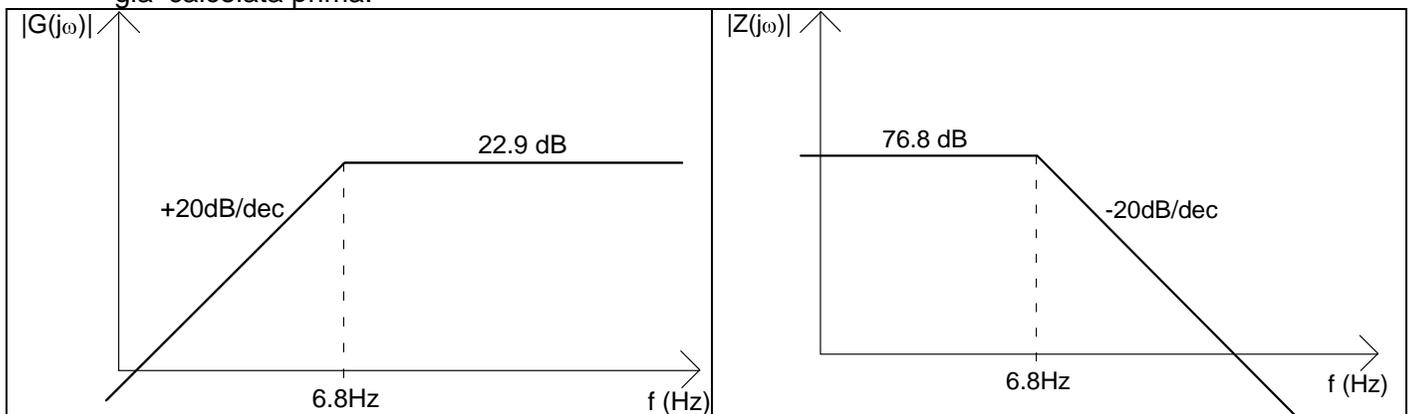
. trasferimento v_{out}/v_{in}

La capacità C introduce uno zero nell'origine, poiché è in serie al cammino del segnale ed un polo con costante di tempo pari a

$$\tau = C \left(\frac{1}{g_{m,1}} // r_{0,M2} \right) = 23.5\mu s \Rightarrow f_p = 6.8Hz$$

. trasferimento v_{out}/i_{in}

La capacità C introduce solo un polo, ovviamente con la medesima costante di tempo già calcolata prima.



e) Numero di elettroni immagazzinati nel canale del transistor $M1$

Lo strato di cariche mobili nel canale e l'elettrodo di *gate* formano le armature di un condensatore, il cui dielettrico è l'ossido. All'aumentare della tensione di *gate* oltre il valore di soglia, la tensione in eccesso ($V_{GS} - V_T$) cade quasi interamente ai capi dell'ossido. Dal momento che la tensione V_{DS} è nulla, la concentrazione (per unità di area) di carica nel canale è uniforme ed è calcolabile mediante la relazione:

$$Q_{ch} = C_{ox} (V_{GS} - V_T)$$

dove

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}$$

Il numero di elettroni totali immagazzinati nel canale e', pertanto, dato da:

$$n_{el} = \frac{Q_{ch}WL}{q} = \frac{C_{ox}WL(V_{GS} - V_T)}{q} = 1.66 \cdot 10^6 \text{ elettroni}$$

Esercizio 2

a) Rete di *pull-up* e rete di *pull-down*

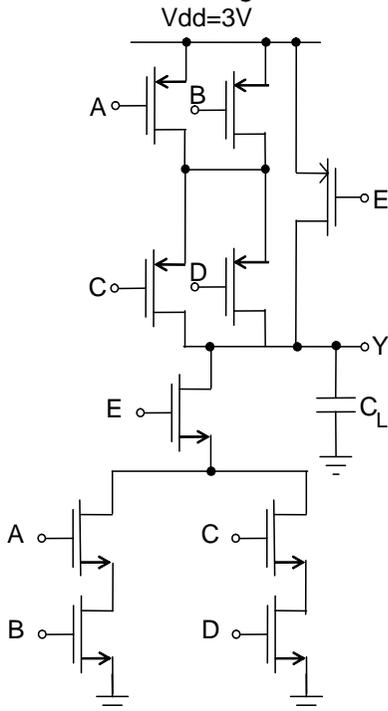
La porta logica CMOS e' costituita da una rete di transistori NMOS (rete di *pull-down*) ed una rete di transistori PMOS (rete di *pull-up*). Ogni rete e' costituita da un ugual numero di transistori connessi in maniera tale da realizzare la funzione logica richiesta. Ogni variabile di ingresso richiede un transistorore NMOS nella rete di *pull-down* ed un transistorore PMOS nella rete di *pull-up*. Le due reti sono connesse tra l'alimentazione e massa e l'uscita e' presa tra le due reti. Per realizzare le reti di *pull-up* e di *pull-down* ricordiamo che la funzione OR tra variabili richiede la connessione in parallelo degli interruttori equivalenti mentre la funzione AND la loro connessione in serie. Una somma di prodotti e' realizzata ponendo in parallelo piu' rami di transistori in serie, mentre un prodotto di somme e' realizzato ponendo in serie piu' rami di transistori in parallelo.

Alla rete NMOS sono applicate le variabili logiche effettive e vi e' una operazione di negazione (NOT) tra l'ingresso e l'uscita, mentre agli "interruttori equivalenti" della rete PMOS e' come se fossero applicate le variabili negate e non vi e' inversione tra ingresso e uscita, in quanto gli "interruttori" si trovano tra l'alimentazione e l'uscita. La variabile di uscita deve, quindi, essere ottenuta sia come funzione logica negata delle variabili di ingresso (rete degli NMOS) che come funzione logica delle variabili di ingresso negate (rete dei PMOS). Ricordiamo che questo e' sempre possibile ricorrendo ai teoremi di De Morgan. La rete dei PMOS risultera', quindi, la rete duale di quella degli NMOS in cui viene scambiata la connessione in serie con quella in parallelo e viceversa.

La funzione logica svolta dal circuito e'

$$Y = \overline{[(A \cdot B) + (C \cdot D)] \cdot E} = \overline{[(A \cdot B) + (C \cdot D)]} + \bar{E} = \overline{(A \cdot B) \cdot (C \cdot D)} + \bar{E} = \overline{(A + B) \cdot (C + D)} + \bar{E}$$

Pertanto la rete logica risulta la seguente:



b) Fattore di forma

Nella transizione dell'uscita considerata l'uscita commuta dal livello logico alto al livello logico basso. Pertanto la scarica della capacita' avviene attraverso la serie degli NMOS C, D, E.

Approssimazione ohmica: (e' sufficiente uno dei due approcci!)

$$R_{DS_{on}} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{DS}=0} = \left| \frac{1}{2k_n (V_{GS} - V_{T,n})} \right| = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,n})}$$

$$R_{DS_{on}} \Big|_{eq,n} = R_{DS_{on,C}} + R_{DS_{on,D}} + R_{DS_{on,E}} = 3R_{DS_{on}}$$

$$t_{pHL} = 0.69\tau = 0.69(3R_{DS_{on}})C_L = 10ns \Rightarrow 3R_{DS_{on}} = 1449\Omega \Rightarrow R_{DS_{on}} = 483\Omega$$

$$\left(\frac{W}{L}\right)_n = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} (V_{dd} - V_{T,n}) R_{DS_{on}}} = 1.18$$

Approssimazione satura:

Calcoliamo il (W/L) relativo alla transizione in questione

$$\left(\frac{W}{L}\right)_{n,eq} = \left[\frac{1}{\left(\frac{L}{W}\right)_{n,C} + \left(\frac{L}{W}\right)_{n,D} + \left(\frac{L}{W}\right)_{n,E}} \right]^{-1} = \frac{1}{3} \left(\frac{W}{L}\right)_n$$

$$t_{pHL} = \frac{Q_{cond}}{I_{D,sat}} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{n,eq} (V_{dd} - V_{T,n})^2} = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \frac{1}{3} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,n})^2} = 10ns$$

da cui possiamo ricavare

$$\left(\frac{W}{L}\right)_n = \frac{C_L \frac{V_{dd}}{2}}{\frac{1}{2} \mu_n C_{ox} \frac{1}{3} t_{pHL} (V_{dd} - V_{T,n})^2} = 2.3$$

c) Variazione del ritardo di propagazione

Approssimazione ohmica: (e' sufficiente uno dei due approcci!)

Se dimezziamo lo spessore dell'ossido la capacita' di ossido per unita' di area raddoppia, poiche' vale la seguente relazione

$$C_{ox} \Big|_{new} = \frac{\epsilon_{ox}}{t_{ox} \Big|_{new}} = \frac{\epsilon_{ox}}{\frac{t_{ox} \Big|_{old}}{2}} = \frac{2\epsilon_{ox}}{t_{ox} \Big|_{old}} = 2C_{ox} \Big|_{old}$$

$$R_{DS_{on}} \Big|_{new} = \frac{1}{2k_n \Big|_{new} (V_{GS} - V_{T,n} \Big|_{new})} = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} \Big|_{new} \left(\frac{W}{L}\right)_n (V_{dd} \Big|_{new} - V_{T,n} \Big|_{new})} =$$

$$= \frac{1}{2 \frac{1}{2} \mu_n (2C_{ox} \Big|_{old}) \left(\frac{W}{L}\right)_n \left(\frac{V_{dd} \Big|_{old}}{2} - \frac{V_{T,n} \Big|_{old}}{2}\right)} = R_{DS_{on}} \Big|_{old}$$

Pertanto il ritardo di propagazione (proporzionale alla $R_{ds,on}$) resta invariato, passando dalla vecchia tecnologia alla nuova.

Approssimazione satura:

$$t_{pHL}|_{new} = \frac{Q_{cond}|_{new}}{I_{D,sat}|_{new}} = \frac{C_L \frac{V_{dd}|_{new}}{2}}{\frac{1}{2} \mu_n C_{ox}|_{new} \left(\frac{W}{L}\right)_{n,eq} (V_{dd}|_{new} - V_{T,n}|_{new})^2} = \frac{C_L \frac{V_{dd}|_{old}}{2}}{\frac{1}{2} \mu_n (2C_{ox}|_{old}) \left(\frac{W}{L}\right)_{n,eq} \left(\frac{V_{dd}|_{old}}{2} - \frac{V_{T,n}|_{old}}{2}\right)^2} =$$

$$= \frac{C_L \frac{V_{dd}|_{old}}{2}}{\frac{1}{2} \mu_n C_{ox}|_{old} \left(\frac{W}{L}\right)_{n,eq} (V_{dd}|_{old} - V_{T,n}|_{old})^2} = t_{pHL}|_{old}$$

Pertanto il ritardo di propagazione (anche calcolato in approssimazione satura) resta invariato, passando dalla vecchia tecnologia alla nuova.

Esercizio 3

a) tensione di uscita V_{out} in funzione della temperatura

L'equazione che lega la tensione ai capi del diodo alla temperatura e' la seguente:

$$V_D = 0.7V - 1.8mV / ^\circ C \cdot T [^\circ C]$$

L'amplificatore OA1 e' in configurazione non invertente. Una volta nota la tensione al suo morsetto positivo, la tensione di uscita V_{out} e' data da:

$$V_{out} = v^+ \left(1 + \frac{R_2}{R_1} \right)$$

La tensione al morsetto positivo e' data da:

$$v^+ = -0.7V + V_D = -1.8mV / ^\circ C \cdot T [^\circ C],$$

la tensione di uscita mostra, quindi, la seguente dipendenza dalla temperatura:

$$V_{out} = v^+ \left(1 + \frac{R_2}{R_1} \right) = -1.8mV / ^\circ C \cdot T [^\circ C] \cdot (31) = -55.8mV / ^\circ C \cdot T [^\circ C]$$

b) numero minimo di bit dell'ADC

Per garantire una risoluzione di $\pm 0.5^\circ C$ occorre poter rilevare variazioni della tensione ai capi del diodo pari a $\mp 0.9mV$. Pertanto si dovra' avere

$$1LSB_{in} = 2 * 0.9mV = 1.8mV$$

che riportato in ingresso all'ADC tramite il guadagno dello stadio OA1 diviene:

$$1LSB_{ADC} = 1LSB_{in} \left(1 + \frac{R_2}{R_1} \right) = 55.8mV$$

Poiche' si ha che

$$1LSB_{ADC} = \frac{FSR}{2^n}$$

possiamo ricavare il numero di bit necessari per l'ADC dalla relazione:

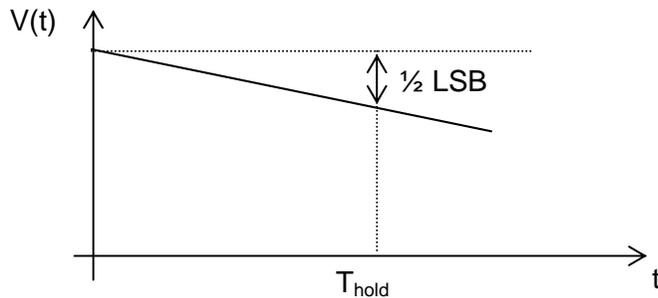
$$2^n = \frac{FSR}{1LSB_{ADC}} = 179.2$$

da cui $n=8$.

Pertanto si ha che 1LSB_{ADC} risulta pari a $\frac{10\text{V}}{256} = 39.1\text{mV}$, che riportato in ingresso causa una risoluzione nella misura della temperatura pari a $\pm 0.35^\circ\text{C}$, pienamente entro le specifiche.

c) errore dovuto al droop

Durante il tempo di *hold* la tensione memorizzata sulla capacita' di *hold* si scarica (o si carica) linearmente a causa della corrente di leakage dell'ADC (nella figura seguente si assume si scarichi).



La pendenza della retta di scarica (carica) e' pari a $\frac{I_B}{C_H}$

Da cui

$$\varepsilon = \frac{I_B}{C_H} T_{\text{hold}} = 0.9\text{mV} = 0.023\text{LSB}_{\text{ADC}}$$

d) tensione di comando V_G

Calcoliamo la massima escursione della tensione ai capi del diodo (dobbiamo considerare l'effetto concomitante di "polarizzazione" e segnale):

$$V_{\text{out}}|_{\text{max}} = \left(1 + \frac{R_2}{R_1}\right) (-0.7\text{V} + V_D(-50^\circ\text{C})) = 2.79\text{V}$$

$$V_{\text{out}}|_{\text{min}} = \left(1 + \frac{R_2}{R_1}\right) (-0.7\text{V} + V_D(+50^\circ\text{C})) = -2.79\text{V}$$

Il NMOS e' acceso quando $V_G > (V_{\text{out}}|_{\text{max}} + V_T)$ ed e' spento quando $V_G < V_{\text{out}}|_{\text{min}} + V_T$.
Per avere il NMOS spento occorre una tensione di gate minore o al piu' uguale a -1.59V.
Per avere il NMOS acceso occorre una tensione di gate maggiore di +3.99V.

Calcoliamo ora la tensione di gate che garantisca una $R_{\text{ds,on}}$ di 10 Ω .

$$R_{\text{ds,on}} = \frac{1}{2k(V_{\text{GS}} - V_T)}$$

$$(V_{\text{GS}} - V_T) = \frac{1}{2kR_{\text{ds,on}}}$$

$$V_{\text{GS}} = \frac{1}{2kR_{\text{ds,on}}} + V_T$$

da cui si ricava che la tensione di gate necessaria e':

$$V_G = V_{\text{GS}} + V_{\text{out,max}} = \frac{1}{2kR_{\text{ds,on}}} + V_T + V_{\text{out,max}} = 13.99\text{V}.$$

e) andamento in frequenza del trasferimento reale

Per calcolare il guadagno reale, procediamo per via grafica. Calcoliamo il guadagno ideale procedendo per ispezione (se non e' chiaro procedere per via analitica facendo i conti), il guadagno d'anello ed il guadagno d'andata.

$$G_{ideale}(s) = \left(1 + \frac{R_2}{R_1}\right) \frac{1 + s\tau_z}{1 + s\tau_p}$$

La costante di tempo del polo e' data dal prodotto della capacita' C_2 e della resistenza vista in parallelo ai suoi morsetti, che, grazie alla terra virtuale che si crea una volta spenti i generatori, e' pari alla sola R_2 . Lo zero si origina per quel valore di s che causa l'annullamento dell'impedenza $Z_{eq}(s)$ che collega l'uscita a massa:

$$Z_{eq}(s) = \frac{R_2}{1 + sC_2R_2} + R_1$$

Pertanto

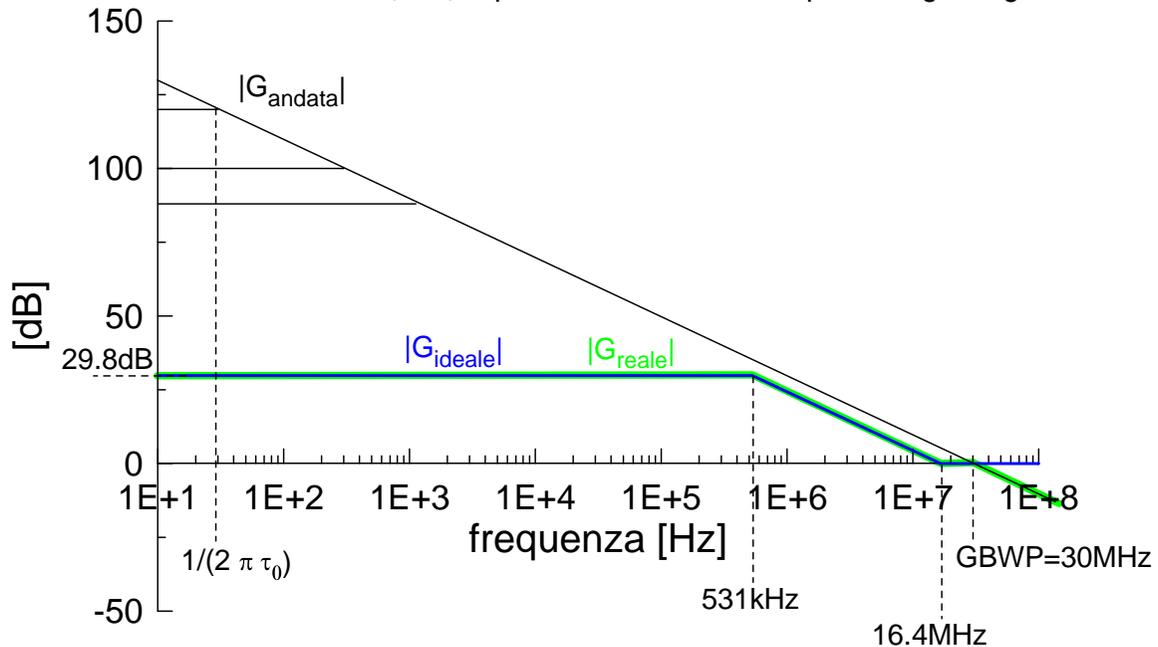
$$G_{ideale}(s) = \left(1 + \frac{R_2}{R_1}\right) \frac{1 + sC_2(R_1 // R_2)}{1 + sC_2R_2}$$

$$G_{loop}(s) = -\frac{A_0}{1 + s\tau_0} \frac{R_1}{R_1 + R_2} \frac{1 + sC_2R_2}{1 + s(R_1 // R_2)C_2}$$

$$G_{andata}(s) = -G_{id}(s) \cdot G_{loop}(s) = \frac{A_0}{1 + s\tau_0}$$

Il risultato ottenuto per il guadagno di andata non ci deve stupire dal momento che l'operazionale e' in configurazione non invertente e, quindi, il suo guadagno di andata coincide con il guadagno ad anello aperto dell'amplificatore operazionale.

Non conosciamo il valore di A_0 e τ_0 separatamente, ma solo il prodotto guadagno-banda.



This document was created with Win2PDF available at <http://www.win2pdf.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.