

Fondamenti di Elettronica - Ingegneria Elettronica -2008/09

Primo Appello – 5 marzo 2009- Traccia di soluzione

Esercizio 1

a) Valore della resistenza R_0 e polarizzazione del circuito.

Per determinare il valore della resistenza R_0 , calcoliamo la tensione V_{GS} dei transistori M1 e M2 quando sono percorsi da una corrente di 0.5mA

$$V_{GS} = V_T + \sqrt{\frac{I_D}{k_n}} = 1.5V$$

Il partitore di tensione fissa il nodo di gate alla tensione

$$V_G = \frac{R_b}{R_b + R_a}(V_{dd} - V_{ss}) + V_{ss} = -1V$$

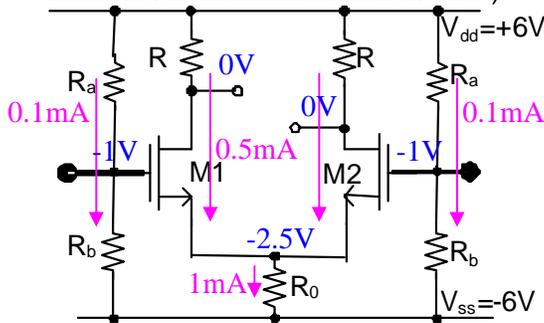
Pertanto il nodo di source e' alla tensione

$$V_S = V_G - V_{GS} = -2.5V$$

da cui si ricava il valore richiesto per la resistenza del resistore R_0 :

$$R_0 = \frac{V_S - V_{ss}}{I_{R_0}} = 3.5k\Omega$$

La polarizzazione del circuito sara' la seguente (in un compito scritto va calcolata esplicitamente, non bastano i risultati indicati sul circuito!)



I MOSFET sono saturi e la trasconduttanza vale

$$g_m = 2k_n(V_{GS} - V_T) = 1mA/V$$

b) guadagno differenziale di piccolo segnale $(v_{out,2} - v_{out,1})/(v_2 - v_1)$.

La resistenza R_0 non pesa su guadagno differenziale, grazie alla simmetria del circuito, pertanto, il guadagno differenziale risulta pari a:

$$\frac{v_{o,2} - v_{o,1}}{v_2 - v_1} = -\frac{2R}{\frac{1}{g_{m,1}} + \frac{1}{g_{m,2}}} = -g_m R = -12$$

c) guadagno di modo comune di piccolo segnale $(v_{out,2} + v_{out,1})/(v_2 + v_1)$.

La presenza della resistenza R_0 rende non ideale la coda del differenziale. Si avra', pertanto, un guadagno di modo comune non nullo, pari a:

$$\frac{V_{o2} + v_{o1}}{v_2 + v_1} = -\frac{R}{\frac{1}{g_m} + 2R_0} = -1.5$$

d) guadagno di piccolo segnale $(v_{out,2} - v_{out,1})/v_1$.

La corrente di segnale che scorre nel transistore M1 e' data da

$$i_{d1} = \frac{v_1}{\frac{1}{g_{m1}} + R_0 // \frac{1}{g_{m2}}}$$

La tensione v_{o1} risulta pari a

$$v_{o1} = -i_d R$$

Possiamo calcolare la corrente i_2 che fluisce nel transistore M2 da source a drain sfruttando una partizione di corrente al nodo di source tra la R_0 e la resistenza $1/g_{m2}$

$$i_2 = i_{d1} \frac{R_0}{R_0 + \frac{1}{g_{m2}}}$$

da cui la tensione v_{o2} risulta pari a

$$v_{o2} = i_2 R$$

Quindi il guadagno richiesto e'

$$\frac{v_{o2} - v_{o1}}{v_1} = \frac{R}{\frac{1}{g_{m1}} + R_0 // \frac{1}{g_{m2}}} \left[1 + \frac{R_0}{R_0 + \frac{1}{g_{m2}}} \right] = 12$$

Esercizio 2

a) Massima corrente che puo' scorrere in R_f e corrente per $D_{in} = 001$.

La massima corrente che puo' scorrere in R_f si ha quando tutta la corrente erogata attraverso R_{dd} arriva in R_f , cioe' quando la parola digitale in ingresso e' 111. In tal caso la corrente che scorre in R_f e'

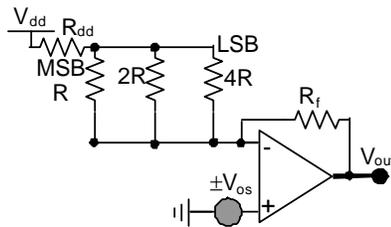
$$I_{R_f, \max} = \frac{V_{dd}}{R_{dd} + R // 2R // 4R} = 3.73 \text{ mA}$$

Quando la parola digitale in ingresso e' 001 si avra' una partizione della corrente precedentemente calcolata tra la resistenza $R // 2R$ collegata in questa situazione alla massa "vera" e la resistenza $4R$, connessa alla massa virtuale:

$$I_{R_f, 001} = \frac{V_{dd}}{R_{dd} + R // 2R // 4R} \frac{R // 2R}{4R + R // 2R} = 0.533 \text{ mA}$$

b) Effetto di V_{os}

Possiamo modellizzare la presenza di una tensione di offset con un generatore di tensione di offset posto in serie al morsetto non invertente dell'amplificatore operazionale.



Il massimo contributo della tensione di offset sull'uscita si ha quando la parola digitale in ingresso e' tale da determinare il massimo guadagno e cioe' 111 (cosi' la resistenza dal morsetto verso massa e' la minima). In questa condizione il contributo della tensione di offset alla tensione di uscita e':

$$V_{out}|_{V_{os}} = \pm V_{os} \left(1 + \frac{R_f}{R_{dd} + R // 2R // 4R} \right) \cong \pm 14 \text{ mV}$$

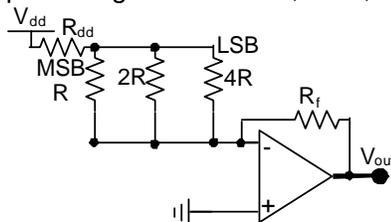
c) tensione di uscita per transizione di ingresso da 100 a 111

Calcoliamo innanzitutto la tensione di uscita a regime corrispondente alle parole digitali 100 e 111:

$$V_{out, 100} = \frac{V_{dd}}{R_{dd} + R // 2R // 4R} \frac{4R // 2R}{R + 4R // 2R} R_f = -2.13 \text{ V}$$

$$V_{out, 111} = \frac{V_{dd}}{R_{dd} + R // 2R // 4R} R_f = -3.73 \text{ V}$$

Il circuito su cui calcolare il polo ad anello chiuso e' quello con la posizione degli interruttori data dalla parola digitale "finale" e, cioe', 111. Ci poniamo, cioe', a $t=0^+$.



Possiamo procedere graficamente per stimare il polo ad anello chiuso, individuando un guadagno ideale pari a

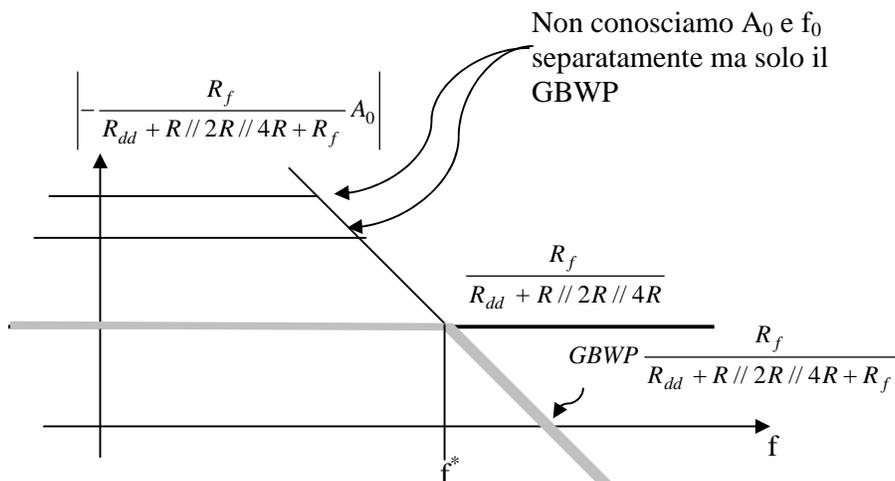
$$G_{id}(s) = - \frac{R_f}{R_{dd} + R // 2R // 4R}$$

Il guadagno d'anello e' dato da:

$$G_{loop}(s) = - \frac{R_{dd} + R // 2R // 4R}{R_{dd} + R // 2R // 4R + R_f} \frac{A_0}{1 + s\tau_0}$$

da cui il guadagno d'andata e' pari a:

$$G_{and}(s) = -G_{id} G_{loop}(s) = - \frac{R_f}{R_{dd} + R // 2R // 4R + R_f} \frac{A_0}{1 + s\tau_0}$$



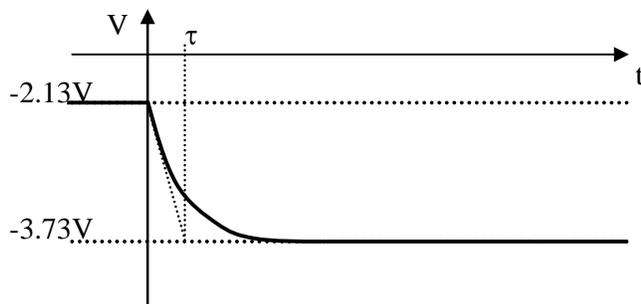
Possiamo calcolare la frequenza f^* mediante la relazione

$$\frac{R_f}{R_{dd} + R // 2R // 4R} f^* = GBWP \frac{R_f}{R_f + R_{dd} + R // 2R // 4R}$$

da cui

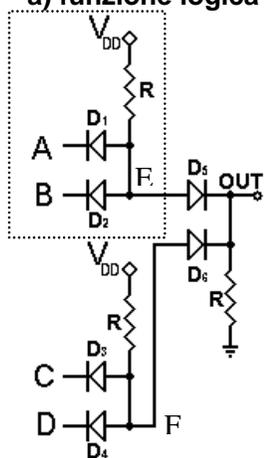
$$f^* = GBWP \frac{R_{dd} + R // 2R // 4R}{R_f + R_{dd} + R // 2R // 4R} = 5.72 MHz \rightarrow \tau = 27.8 ns$$

La risposta nel dominio del tempo e' la seguente:



Esercizio 3

a) funzione logica svolta e tabella delle verita'



Cominciamo a calcolare la funzione logica tra E e gli ingressi A e B, isolando il comportamento della rete nel riquadro. Osserviamo che la medesima funzione logica lega F agli ingressi C e D. Se almeno uno dei due ingressi A o B si trova allo zero logico, il relativo diodo si trova polarizzato in diretta e, quindi, scorre corrente dall'alimentazione V_{DD} a massa. Pertanto il nodo E si trovera' al livello logico basso. A e B entrambi a V_{DD} e' l'unica combinazione di ingressi che mantiene entrambi i diodi spenti, quindi, fa si' che E si trovi al livello logico alto. La relazione tra E e A e B e', quindi, una relazione di AND:

$$E = AB$$

$$F = CD$$

Vediamo ora la relazione che lega OUT ad E e F.

Se i diodi D_5 e D_6 sono spenti, nella resistenza che connette OUT a massa non scorre corrente e, quindi, OUT si trova allo zero logico. E' sufficiente che uno dei due diodi D_5 e D_6 sia acceso perche' l'uscita si trovi al livello logico alto. La relazione che lega OUT a E e F e', quindi, una relazione di OR:

$$OUT = E + F$$

La funzione logica complessiva e' quindi:

$$OUT = AB + CD$$

La tabella delle verita' e':

A	B	E=AB	C	D	F=CD	OUT=E+F
0	0	0	0	0	0	0
1	0	0	0	0	0	0
0	1	0	0	0	0	0
0	0	0	1	0	0	0
0	0	0	0	1	0	0
1	1	1	0	0	0	1
1	0	0	1	0	0	0
1	0	0	0	1	0	0
0	0	0	1	1	1	1
0	1	0	1	0	0	0
0	1	0	0	1	0	0
1	1	1	1	0	0	1
1	0	0	1	1	1	1
1	1	1	0	1	0	1
0	1	0	1	1	1	1
1	1	1	1	1	1	1

come ovviamente da attendersi, data la funzione implementata.

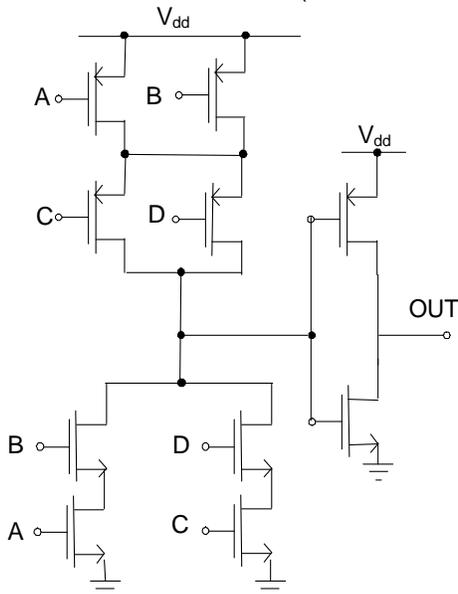
b) circuito in logica CMOS

Poiche' la funzione logica che lega OUT agli ingressi non e' negata (e in logica CMOS possiamo sintetizzare con una singola porta solo logica negata) dovremo porre in cascata alla porta logica che realizza la funzione $OUT = AB + CD$ un inverter CMOS.

La funzione logica che implementeremo sara', quindi,

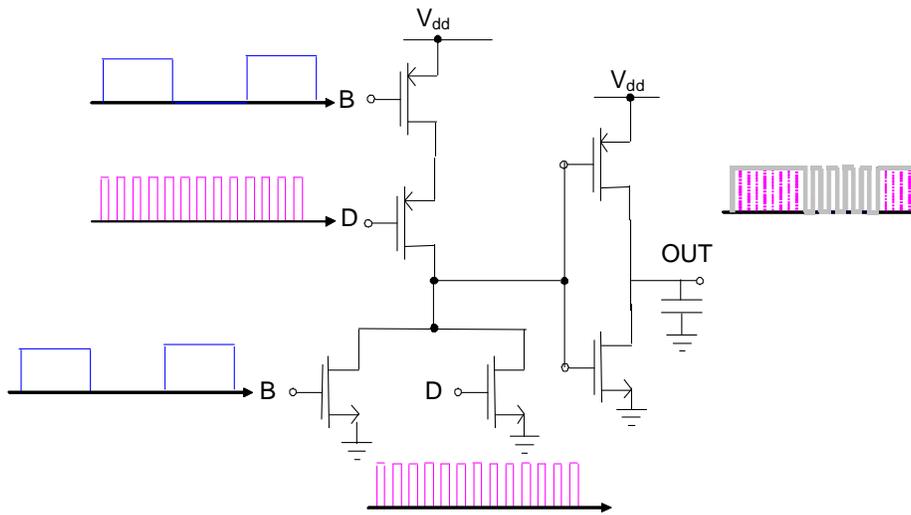
$$OUT = \overline{\overline{AB + CD}} = AB + CD$$

La prima porta CMOS constara' di una rete di pull-up costituita da p-MOS e una rete di pull-down costituita da nMOS. Per una giustificazione dettagliata delle connessioni di rete di pull-up e pull-down si rimanda al libro di testo (affermazione non ammissibile nel caso del compito scritto).



c) potenza dinamica dissipata

Per poter calcolare la potenza dissipata dobbiamo capire come si comporta l'uscita out con i segnali applicati in ingresso.



La porta si comporta come una OR tra gli ingressi B e D, pertanto l'andamento temporale dell'uscita e' quello indicato in verde.

La potenza puo' essere calcolata con la ben nota relazione

$$P = CV_{DD}^2 f$$

facendo attenzione, pero', che si ha dissipazione di potenza solo in meta' periodo dell'onda quadra a 100 kHz ed in tale semiperiodo la capacita' commuta con frequenza 1 MHz:

$$P = \frac{1}{2} CV_{DD}^2 f_2 = 37.5 \mu W$$

This document was created with Win2PDF available at <http://www.win2pdf.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.
This page will not be added after purchasing Win2PDF.