

Fondamenti di Elettronica - Ingegneria Elettronica -2008/09

Primo Appello – 5 marzo 2009

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito amplificatore mostrato in Fig. 1

- Determinare il valore della resistenza R_0 che garantisca che la corrente di polarizzazione di ciascun transistore della coppia differenziale sia pari a 0.5 mA e, quindi, la polarizzazione del circuito.**
- Determinare l'espressione ed il valore del guadagno differenziale di piccolo segnale $(v_{out,2}-v_{out,1})/(v_2-v_1)$.**
- Determinare l'espressione ed il valore del guadagno di modo comune di piccolo segnale $(v_{out,2}+v_{out,1})/(v_2+v_1)$.
- Nelle ipotesi che il gate del transistore M_2 sia fisso in tensione su segnale (cioe' $v_2=0V$ su segnale), determinare l'espressione ed il valore del guadagno di piccolo segnale $(v_{out,2}-v_{out,1})/v_1$.

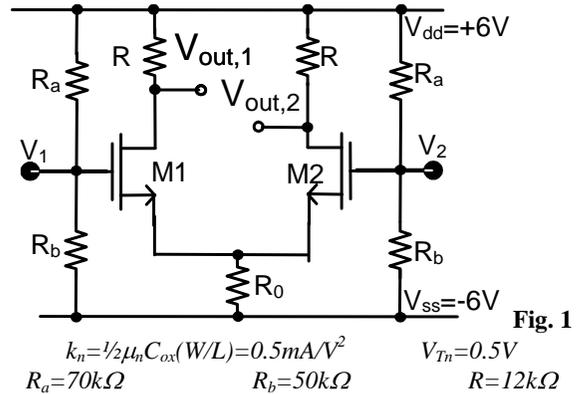


Fig. 1

Esercizio 2

Si consideri il convertitore Digitale-Analogico a 3 bit mostrato in Fig. 2.

- Si assuma l'amplificatore operazionale ideale. Determinare quale e' la massima corrente che puo' scorrere in R_f e la corrente che scorre in R_f quando in ingresso e' applicata la parola digitale 001.**
- Nelle ipotesi che l'amplificatore operazionale sia caratterizzato da una tensione di offset pari a 8mV, determinare per quale parola digitale la tensione di offset dia il massimo contributo sulla tensione di uscita e calcolare l'espressione ed il valore di tale contributo.
- Se l'amplificatore operazionale e' caratterizzato da un $GBWP = 10MHz$, disegnare l'andamento temporale della tensione di uscita per una transizione della parola digitale in ingresso da 100 a 111, quotando tutti i punti significativi.

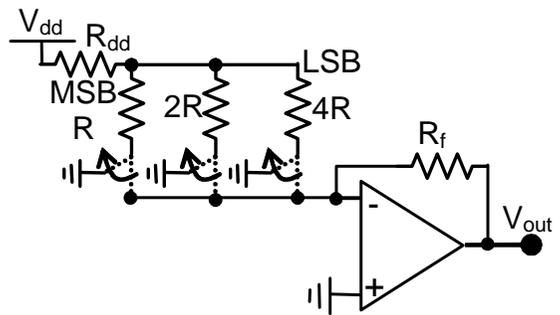


Fig. 2

$V_{dd}=5V$ $R_{dd}=200\Omega$ $R=2k\Omega$ $R_f=1k\Omega$

Esercizio 3

Si consideri il circuito logico mostrato in Fig. 3, in cui i segnali logici A, B, C, D possono assumere valore pari a 0V ('0' logico) o +5V ('1' logico). Per il diodo si assuma una tensione di accensione pari a 0V.

- Determinare la funzione logica svolta dal circuito, scrivendone la tabella delle verita' e giustificando la risposta.**
- Disegnare il circuito in logica CMOS che svolge la funzione logica identificata al punto a), giustificando la risposta e motivando le scelte effettuate.**
- Nel caso del circuito logico determinato in b), si assuma di cortocircuitare tra loro gli ingressi A e B e di pilotarli con un'onda quadra di frequenza $f_1 = 100 kHz$ e gli ingressi C e D e di pilotarli con un'onda quadra di frequenza $f_2 = 1 MHz$. Determinare la potenza dinamica dissipata dal circuito, giustificando la risposta, nelle ipotesi di pilotare un carico capacitivo connesso all'uscita OUT pari a $C = 3pF$.

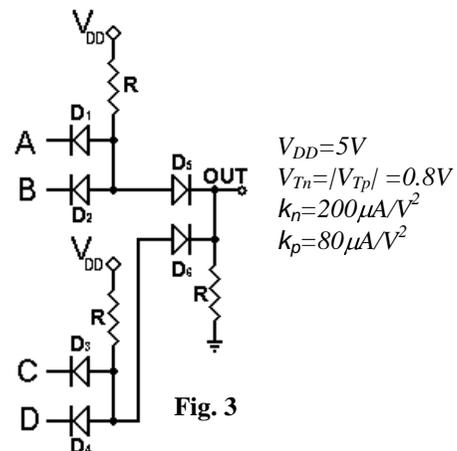


Fig. 3