

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

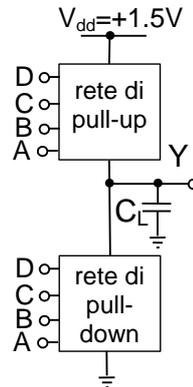
Risolvere per primi i punti in grassetto. Riportare sempre tutti i passaggi che portano ai risultati.

La durata della prova e' 3 ore. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 1, che realizza la funzione logica: $Y = A \cdot B + D \cdot A \cdot B + C$

- a) **Disegnare gli schematici delle reti di pull-up e pull-down necessarie perche' la porta logica realizzi la funzione logica desiderata in forma minima.** Si giustificino le scelte effettuate.
- b) Determinare per quanto tempo, a seguito della transizione $ABCD = 0101 \rightarrow ABCD = 1111$, i MOSFET che si accendono permangono nella zona di saturazione. Si assuma lo schematico della porta disegnato al punto a).
- c) Determinare, facendo le ragionevoli approssimazioni, il tempo di propagazione piu' lungo ed indicare a quale transizione si riferisce, motivando la risposta.



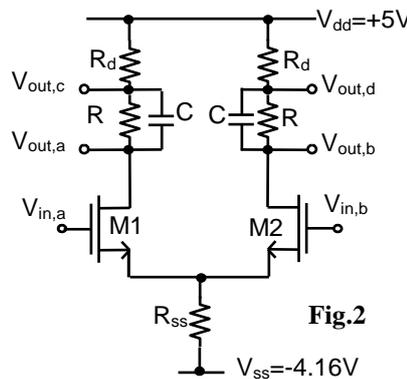
$$\begin{aligned} \frac{1}{2}\mu_n C_{ox} &= 60 \mu A/V^2 \\ \frac{1}{2}\mu_p C_{ox} &= 25 \mu A/V^2 \\ (W/L)_n &= (W/L)_p = 3 \\ |V_{Tp}| &= V_{Tn} = 0.5V \\ C_L &= 750 fF \end{aligned}$$

Fig. 1

Esercizio 2

Si consideri lo stadio differenziale a transistori mostrato in Fig. 2, in cui v_a e v_b sono due generatori di tensione di piccolo segnale.

- a) **Determinare il valore della resistenza R_{ss} che garantisca una corrente di polarizzazione di $640 \mu A$ in ciascun ramo della coppia differenziale.** Calcolare, quindi, la polarizzazione del circuito, calcolando le tensioni a tutti i nodi e le correnti in tutti i rami.
- b) **Determinare l'espressione ed il valore del guadagno differenziale di piccolo segnale a bassa frequenza ($v_{out,a} - v_{out,c}$)/($v_{in,a} - v_{in,b}$).**
- c) Tracciare il diagramma di Bode del modulo del trasferimento differenziale di piccolo segnale $(v_{out,a} - v_{out,b}) / (v_{in,a} - v_{in,b})$.



$$\begin{aligned} V_{dd} &= +5V \\ V_{ss} &= -4.16V \\ C &= 12 pF \\ R &= 2 k\Omega \\ R_d &= 4 k\Omega \\ V_{Tn} &= 0.8V \\ k_n &= \frac{1}{2}\mu_n C_{ox} (W/L)_n = 1 mA/V^2 \end{aligned}$$

Fig.2

Esercizio 3

Si consideri la catena di acquisizione, mostrata in Fig. 3. Il convertitore analogico digitale e' del tipo ad approssimazioni successive ed ha una risoluzione di 12 bits. Il generatore V_b e' un generatore di tensione DC.

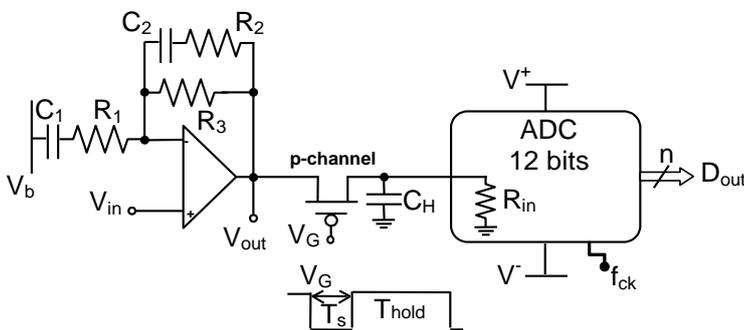


Fig. 3

$$\begin{aligned} V_b &= +1.5V & V^+ &= -V = 2.5V \\ R_1 &= 4 k\Omega & R_2 &= 48 k\Omega \\ & & R_3 &= 24 k\Omega \\ C_1 &= 220 pF & C_2 &= 47 pF \\ |k_p| &= \frac{1}{2}\mu_p C_{ox} (W/L)_p = 16 mA/V^2 \\ |V_{Tp}| &= 0.75V \\ C_H &= 80 nF & R_{in} &= 100 k\Omega \\ f_{ck} &= 10 MHz & n &= 12 bits \end{aligned}$$

- a) **Determinare il trasferimento reale v_{out}/v_{in} ad alta frequenza, assumendo che l'amplificatore operazionale sia caratterizzato da un guadagno ad anello aperto pari a $A_0=80dB$.**
- b) **Determinare la massima durata del tempo di Hold che garantisca che l'errore di droop non superi l'1% della risoluzione dell'ADC.**
- c) Determinare il valore della tensione di comando V_G da applicare al gate del transistore pMOS che garantisca una costante di tempo di carica della capacita' di Hold non superiore a 250 ns se i segnali in uscita dall'amplificatore operazionale hanno una dinamica pari al FSR dell'ADC.
- d) Calcolare i poli del circuito amplificatore (supponendo l'amplificatore operazionale ideale) e determinare il numero di zeri introdotto dalle capacita' nel trasferimento v_{out}/v_{in} . Giustificare la risposta.