

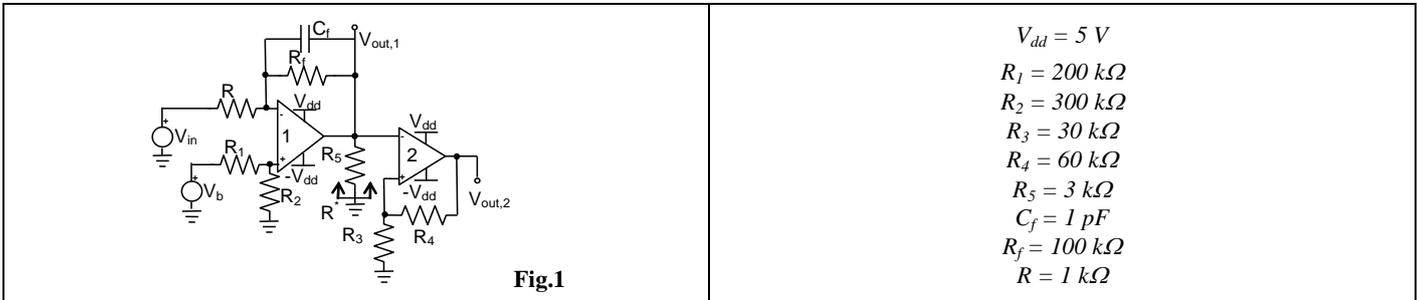
Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)

Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore.

Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

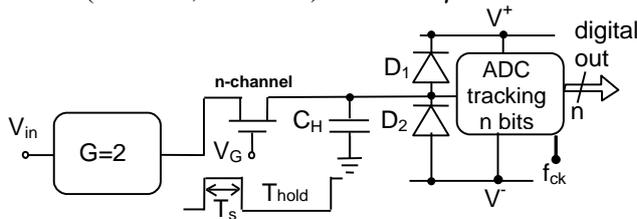
Si consideri il circuito mostrato in Fig. 1. Si assuma che gli amplificatori operazionali saturino alle tensioni di alimentazione.



- a. **Determinare l'espressione della tensione di uscita $V_{out,1}$ in funzione di V_{in} e di V_b , a bassa frequenza, nelle ipotesi che l'amplificatore operazionale sia caratterizzato da un guadagno ad anello aperto in continua pari a $A_0 = 80\text{ dB}$.**
- b. **Determinare l'ampiezza del ciclo di isteresi ed il valore medio delle soglie di scatto relativamente al circuito comparatore, mostrando in dettaglio i calcoli effettuati per determinare tali valori. Determinare, inoltre, il massimo valore r.m.s. del rumore sovrapposto al segnale di ingresso V_{in} che non causi commutazioni spurie. Si assumano gli amplificatori operazionali ideali e C_f un circuito aperto, si facciano le eventuali approssimazioni necessarie, motivandole.**
- c. Calcolare l'espressione ed il valore della resistenza R^* se l'amplificatore operazionale 1 e' caratterizzato da un guadagno ad anello aperto $A_0 = 80\text{ dB}$ e da una resistenza di uscita $r_{out} = 480\ \Omega$.
- d. Con riferimento all'amplificatore operazionale 1, determinare l'intervallo di frequenze entro le quali il guadagno reale puo' essere considerato, con buona approssimazione, coincidente con il guadagno ideale, se l'amplificatore operazionale 1 e' caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 60\text{ MHz}$.

Esercizio 2

Si consideri la catena di acquisizione mostrata nella Fig. 2, in cui V_{in} e' un generatore di tensione. Si assuma per i diodi D_1 e D_2 una tensione di accensione pari a 0.7 V . I segnali di ingresso sono dei rettangoli con ampiezze comprese nell'intervallo $(-200\text{ mV}, +200\text{ mV})$ e durata $8\ \mu\text{s}$.



$V^+ = -V^- = 2.5\text{ V}$
 $\frac{1}{2}\mu_n C_{ox} = 0.2\text{ mA/V}^2$
 $W/L = 200$
 $V_{Tn} = 0.8\text{ V}$
 $C_H = 33\text{ nF}$
 $f_{ck} = 20\text{ MHz}$

- a. **Determinare il numero di bit che l'ADC deve possedere per garantire una risoluzione dell'1% sui segnali in ingresso. Determinare quindi il valore di 1 LSB riferito all'ingresso.**
- b. **Determinare la minima tensione di comando da applicare al gate del transistor del circuito di Sample & Hold che garantisca che il minimo tempo di Sample per avere errori minori dell'1% sia inferiore a 100 ns.**
- c. Se l'ADC fosse a 10 bits, dopo quanto tempo dal fronte di salita del rettangolo, il dato in uscita dall'ADC e' valido? Si assuma la minima durata del tempo di Hold, compatibile con il funzionamento della catena e si trascuri la durata del tempo di Sample, ipotizzando il transistor MOS un interruttore ideale.

Esercizio 3

Si consideri il circuito amplificatore mostrato in Fig. 3, in cui i_{in} e' un generatore di corrente di piccolo segnale.

- a. **Determinare il valore della resistenza R per avere una corrente di 1mA circolante in $M1$. Calcolare, quindi, la polarizzazione del circuito (correnti in tutti i rami e tensioni a tutti i nodi), assumendo $V_G = -V_{ss}$.**

