

Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2011/12

Prima prova in itinere – 3 maggio 2012 – Traccia di soluzione

Esercizio 0

a) Valore medio della tensione di uscita v_{out}

Poiche' siamo interessati al valore medio (cioe' alla componente in continua del segnale), la capacita' C sara' un circuito aperto; inoltre il valore medio di una tensione sinusoidale e' nullo, pertanto la tensione di uscita risultera' uguale alla partizione della tensione V :

$$v_{out} = V \cdot \frac{R_1}{R_1 + R_3} = -1.667V$$

b) Andamento temporale della tensione di uscita V_{out}

La costante di tempo del circuito è pari a

$$\tau = C \cdot (R_1 // R_3 + R_2) = 1.25 \mu s$$

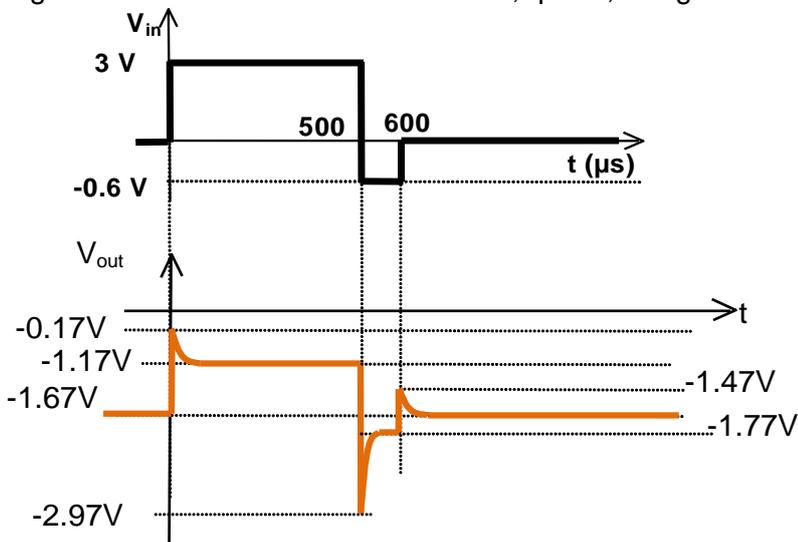
per cui la forma d'onda di uscita va a regime entro ogni frazione di periodo. Poiche' il circuito e' lineare, possiamo applicare il principio di sovrapposizione degli effetti. Come gia' calcolato al punto precedente, V da' un contributo costante pari a $-1.667V$ all'uscita. Consideriamo, quindi, il solo contributo della tensione V_{in} e poi sommeremo gli effetti. Per determinare l'andamento completo della tensione di uscita calcoliamo il valore dell'uscita a regime e sul fronte per effetto della sola V_{in} . Il valore di tensione cui la tensione di uscita va a regime, sempre considerando il solo generatore di tensione V_{in} , si ottiene considerando la capacita' un circuito aperto, pertanto si avra' un contributo pari a, rispettivamente:

r_4

Sul fronte la capacita' non puo' variare istantaneamente la tensione ai suoi capi, percio' la tensione di uscita, dovuta alla sola V_{in} , risulta

$$\Delta V_{out}|_{fronte V_{in}} = \Delta V_{in, fronte} \left(\frac{R_3}{R_3 + R_1 // R_2} \right) = \begin{cases} +1.5V & \text{per il primo fronte} \\ -1.8V & \text{per il secondo fronte} \\ +0.3V & \text{per il terzo fronte} \end{cases}$$

Il grafico della tensione di uscita risulta, quindi, il seguente:

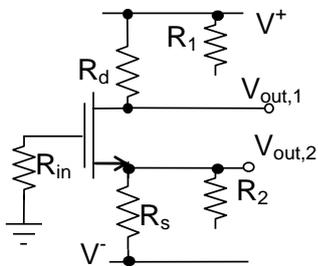


Esercizio 1

a) Polarizzazione

Le capacita' sono circuiti aperti, il generatore di tensione di segnale e' spento. Ipotizziamo il MOSFET in zona di saturazione.

Il circuito per il calcolo della polarizzazione e' il seguente:



Perche' il transistore porti una corrente di 1mA, occorre che la resistenza R_s soddisfi la relazione $V_{GS} + I_D R_s = 0 - (V^-)$

dove

$$I_D = k_n (V_{GS} - V_{Tn})^2$$

da cui si ricava $R_s = 3.2k\Omega$.

Il transistore opera in zona di saturazione (poiche' $V_{GD} = -1V < V_{Tn}$) e la transconduttanza vale:

$$g_m = 2k_n (V_{GS} - V_{Tn}) = 1mS$$

b) Trasferimento $V_{out,2}/V_{in}$ ad alta frequenza

La corrente di piccolo segnale che scorre nel transistore e':

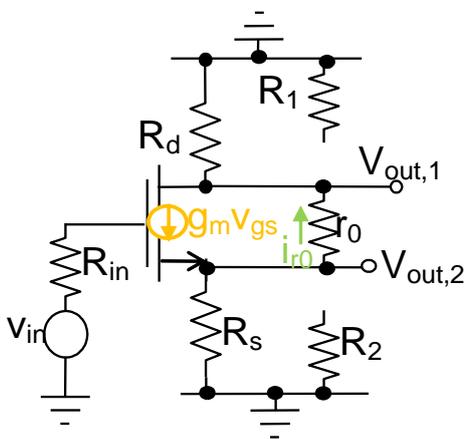
$$i_d = \frac{v_{in}}{(R_s // R_2) + \frac{1}{g_m}}$$

ed e' anche la corrente che scorre, ad alta frequenza, nel parallelo di R_s e R_2 . Quindi, il trasferimento uscita-ingresso di piccolo segnale ad alta frequenza risulta pari a:

$$\frac{v_{out,2}}{v_{in}} = \frac{R_s // R_2}{(R_s // R_2) + \frac{1}{g_m}} = 0.3$$

c) Trasferimento $V_{out,1}/V_{in}$ a bassa frequenza

Tenendo conto della resistenza r_o il circuito, su segnale a bassa frequenza, diventa



$$v_{out,1} = -g_m v_{gs} R_d + i_{r0} R_d$$

dove

$$i_{r0} = \frac{v_s - v_{out,1}}{r_o}$$

e

$$v_s = R_s (g_m v_{gs} - i_{r0})$$

da cui ricaviamo

$$v_s = \frac{g_m R_s v_{in} + v_{out,1} \frac{R_s}{r_o}}{1 + g_m R_s + \frac{R_s}{r_o}}$$

Sostituendo, nella prima equazione, a v_s la sua espressione (riportata qui sopra) e risolvendo per $v_{out,1}$, si ottiene:

$$v_{out,1} \left(1 - g_m R_d \frac{\frac{R_s}{r_o}}{1 + g_m R_s + \frac{R_s}{r_o}} - \frac{R_d}{r_o} \frac{\frac{R_s}{r_o}}{1 + g_m R_s + \frac{R_s}{r_o}} + \frac{R_d}{r_o} \right) = -g_m R_d v_{in} + g_m R_d \frac{g_m R_s}{1 + g_m R_s + \frac{R_s}{r_o}} v_{in} + \frac{R_d}{r_o} \frac{g_m R_s}{1 + g_m R_s + \frac{R_s}{r_o}} v_{in}$$

e, quindi, per il trasferimento di piccolo segnale a bassa frequenza:

$$\left. \frac{v_{out,1}}{v_{in}} \right|_{LF} = \frac{-g_m R_d + g_m R_d \frac{g_m R_s}{1 + g_m R_s + \frac{R_s}{r_o}} + \frac{R_d}{r_o} \frac{g_m R_s}{1 + g_m R_s + \frac{R_s}{r_o}}}{\left(1 - g_m R_d \frac{\frac{R_s}{r_o}}{1 + g_m R_s + \frac{R_s}{r_o}} - \frac{R_d}{r_o} \frac{\frac{R_s}{r_o}}{1 + g_m R_s + \frac{R_s}{r_o}} + \frac{R_d}{r_o} \right)} = -1.17$$

che correttamente tende a

$$\left. \frac{v_{out,1}}{v_{in}} \right|_{LF, r_o \rightarrow \infty} = -g_m R_d + g_m R_d \frac{g_m R_s}{1 + g_m R_s} = -\frac{g_m R_d}{1 + g_m R_s} (= -1.19)$$

per r_o che tende all'infinito.

d) singularita' introdotte da C_1 e C_2 nel trasferimento $v_{out,1}/v_{in}$

La capacita' C_1 introduce, nel trasferimento $v_{out,1}/v_{in}$, un polo con costante di tempo:

$$\tau_p = C_1 (R_1 + R_d) = 750 ns$$

che corrisponde ad una frequenza del polo di 212 kHz, ed introduce uno zero al finito quando l'impedenza data dalla serie di R_1 e C_1 che connette l'uscita a massa diventa zero:

$$\tau_z = C_1 R_1 = 500 ns$$

che corrisponde ad una frequenza dello zero di 318 kHz.

Per quanto riguarda la capacita' C_2 , essa introduce un polo con costante di tempo

$$\tau_p = C_2 \left(R_2 + \frac{1}{g_m} // R_s \right) = 883 ns$$

essa introduce anche uno zero, quando diventa infinita l'impedenza in serie al source del transistore, cioe'

$$Z_{eq}(s) = R_s // \left(R_2 + \frac{1}{s C_2} \right) \rightarrow \infty$$

da cui

$$\tau_z = C_2 (R_s + R_2) = 2.6 \mu s$$

che corrisponde ad una frequenza dello zero di 61.5 kHz.

Esercizio 2

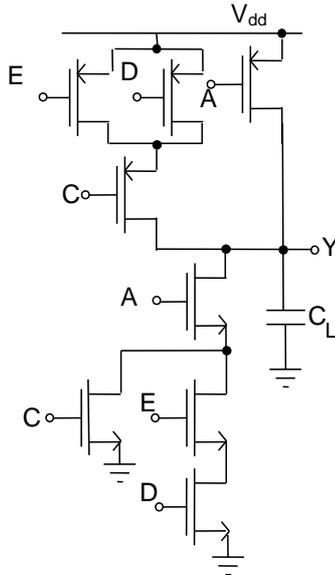
a) Rete di pull-up e pull-down

Per prima cosa occorre minimizzare l'espressione della funzione logica svolta dal circuito che, quindi, risulta: $Y = \overline{(A+B)} \cdot \overline{(C+D \cdot E)} \cdot A =$

$$Y = \overline{(A+B)} \cdot \overline{(C+D \cdot E)} \cdot A = \overline{(A+B)} \cdot A \cdot \overline{(C+D \cdot E)} = \overline{(A \cdot A + B \cdot A)} \cdot \overline{(C+D \cdot E)} = \overline{(A+B \cdot A)} \cdot \overline{(C+D \cdot E)} = \overline{A \cdot (1+B)} \cdot \overline{(C+D \cdot E)} = \overline{A} \cdot \overline{(C+D \cdot E)} = \overline{A} \cdot \overline{(C+D \cdot E)} = \overline{A} \cdot \overline{C} \cdot \overline{(D+E)}$$

poiche' $A \cdot A = A$ e $1+B=1$ (affermazioni da giustificare opportunamente ricorrendo alla tabella della verita' o alla funzione svolta da una OR e da una AND).

Pertanto, la funzione logica svolta e' quella di una porta a 4 ingressi e la rete logica è la seguente (per la giustificazione delle scelte effettuate si veda il libro di testo – naturalmente la risposta qui data entro parentesi non sarebbe soddisfacente nel corso di un compito scritto ☺!!):



b) Calcolo il ritardo di propagazione della porta

Quando cortocircuitiamo tutti gli ingressi la porta si riduce ad un inverter caratterizzato dai seguenti fattori di forma equivalenti per il pMOS e per l'nMOS (ricordando che il W/L equivalente di due MOS in parallelo e' pari alla somma dei rispettivi W/L, mentre per i MOS in serie sono le lunghezze a sommarsi, cioè l'(L/W)_{eq} e' pari alla somma degli (L/W):

$$\left(\frac{W}{L}\right)_{n,eq} = \frac{1}{\left(\frac{L}{W}\right)_{n,A} + \frac{1}{\left(\frac{W}{L}\right)_{n,C} + \frac{1}{\left(\frac{L}{W}\right)_{n,D} + \left(\frac{L}{W}\right)_{n,E}}} = \frac{3}{5} \left(\frac{W}{L}\right)_n$$

$$\left(\frac{W}{L}\right)_{p,eq} = \left(\frac{W}{L}\right)_{p,A} + \frac{1}{\left(\frac{L}{W}\right)_{p,C} + \frac{1}{\left(\frac{W}{L}\right)_{p,D} + \left(\frac{W}{L}\right)_{p,E}}} = \frac{5}{3} \left(\frac{W}{L}\right)_p$$

Il ritardo di propagazione e' definito come il valor medio dei due tempi di propagazione alto-basso (scarica della capacita' attraverso l'nMOS equivalente) e basso-alto (carica della capacita' attraverso il pMOS equivalente).

Possiamo calcolare i due tempi di propagazione secondo l'approssimazione ohmica o satura (e' sufficiente uno dei due approcci!)

Approssimazione ohmica:

$$R_{DS_{on}}|_p = \frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{DS}=0} = \frac{1}{2k_p(V_{GS} - V_{T,p})} = \frac{1}{-2 \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (-V_{dd} - V_{T,p})} = 2.08k\Omega$$

$$R_{DS_{on}}|_n = \frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{DS}=0} = \frac{1}{2k_n(V_{GS} - V_{T,n})} = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,n})} = 4.17k\Omega$$

$$R_{DS_{on}}|_{n,eq} = R_{DS_{on}}|_{n,A} + \left[R_{DS_{on}}|_{n,C} // \left(R_{DS_{on}}|_{n,D} + R_{DS_{on}}|_{n,E} \right) \right] = \frac{5}{3} R_{DS_{on}}|_n = 6.95k\Omega$$

$$R_{DS_{on}}|_{p,eq} = R_{DS_{on}}|_{p,A} // \left[R_{DS_{on}}|_{p,C} + R_{DS_{on}}|_{n,D} // R_{DS_{on}}|_{n,E} \right] = \frac{3}{5} R_{DS_{on}}|_p = 1.25k\Omega$$

$$t_{p50\% LH} = (\ln 2)\tau = 0.69 R_{DS_{on}}|_{eq,p} C_L = 0.69 \cdot \frac{3}{5} \cdot R_{DS_{on}}|_p C_L$$

$$t_{p50\% HL} = (\ln 2)\tau = 0.69 R_{DS_{on}}|_{eq,n} C_L = 0.69 \cdot \frac{5}{3} \cdot R_{DS_{on}}|_n C_L$$

da cui il ritardo di propagazione risulta pari a:

$$\tau_p = 0.69 C_L \frac{R_{DS_{on}}|_{p,eq} + R_{DS_{on}}|_{n,eq}}{2} = 8.5ns$$

Approssimazione satura: noti i fattori di forma dei transistori dell'inverter equivalente si ha

$$t_{p50\% LH} = \frac{Q_{cond,50\%}}{|I_{Dp,sat}|} = \frac{C_L \left(\frac{V_{dd}}{2} \right)}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{p,eq} (-V_{dd} - V_{T,p})^2} = 5.3 ns$$

$$t_{p50\% HL} = \frac{Q_{cond,50\%}}{|I_{Dn,sat}|} = \frac{C_L \left(\frac{V_{dd}}{2} \right)}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{n,eq} (V_{dd} - V_{T,n})^2} = 29.5 ns$$

da cui il ritardo di propagazione risulta pari a:

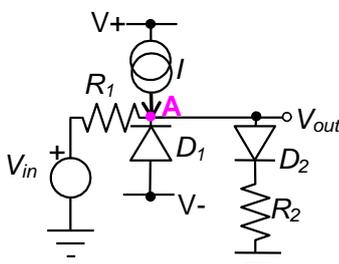
$$\tau_p = \frac{t_{p50\% LH} + t_{p50\% HL}}{2} = 17 ns$$

c) Con onda quadra con frequenza 200 MHz si puo' avere corretta commutazione?

Nel caso di un segnale logico con un duty-cycle pari al 50% ed una frequenza pari a 200 MHz, il semiperiodo sarebbe pari a solo 5 ns, minore del ritardo di propagazione, pertanto la porta non farebbe in tempo a commutare correttamente in uscita.

Esercizio 3

a) diagramma temporale della tensione $V_{out}(t)$



Perche' ciascuno dei diodi si accenda occorre che la tensione ai suoi capi sia di almeno 0.7V, secondo la polarita' corretta, pertanto il diodo D_1 e' acceso se la tensione al nodo A, indicato in figura, che corrisponde alla tensione di uscita, soddisfa la relazione

$$V_- - V_A \geq 0.7V$$

da cui

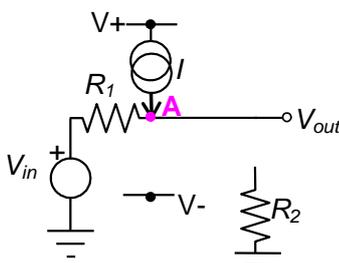
$$V_A \leq -2.7V .$$

Il diodo D_2 e' acceso se la tensione al nodo A, indicato in figura, soddisfa la relazione

$$V_A \geq 0.7V .$$

Pertanto i due diodi non sono mai accesi contemporaneamente.

Poniamoci alla tensione discriminante per l'accensione di D_1 e valutiamo la condizione di accensione in termini della tensione di ingresso. Per $V_A = -2.7V$, entrambi i diodi sono spenti e il circuito si riduce a quello mostrato qui sotto:



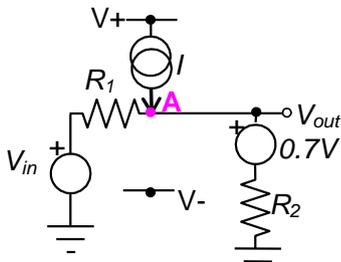
Il circuito e' lineare e la relazione tra la tensione al nodo A e la tensione di ingresso e' pari a:

$$V_A = V_{in} + IR_1$$

da cui si ricava che, perche' V_A sia pari a -2.7V (condizione di accensione di D_1) la tensione di ingresso deve essere minore o al piu' pari a $V_{in} = -2.8V$. Quando D_1 e' acceso fissa la tensione di uscita a -2.7V.

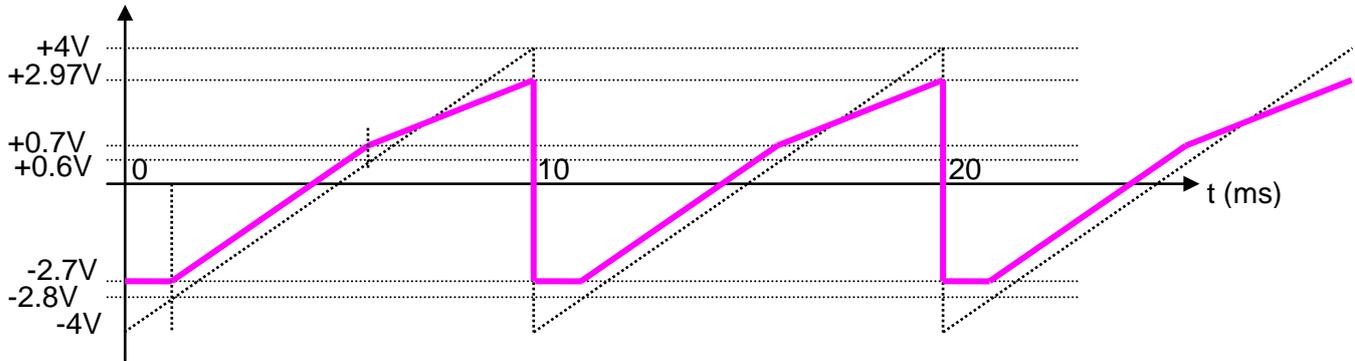
La condizione di accensione di D_2 impone che la tensione di ingresso sia maggiore o al piu' uguale a 0.6V.

Quando D_2 e' acceso il circuito diviene il seguente:



Il circuito e' lineare e la tensione di uscita risulta pari alla somma dei tre contributi dovuti ai tre generatori:

$$V_{out} = IR_1 // R_2 + \frac{R_2}{R_1 + R_2} v_{in} + \frac{R_1}{R_1 + R_2} 0.7V$$



Quando $V_{in} = 0.6V$

$$V_{out} = 0.7V$$

Quando $V_{in} = 4V$

$$V_{out} = 2.97V$$

Il diagramma temporale e', pertanto, il seguente:

b) diodo D_1 con tensione di break-down pari a -5V

Perche' il diodo D_1 vada in break down la tensione ai suoi capi deve essere minore (o uguale a) -5V, cioe' la tensione al nodo A deve essere almeno pari a

$$V_A = -2V - (-5V) = +3V$$

Pertanto il diodo D_1 non va in *break-down* e il diagramma temporale e' identico al precedente.