

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ....  
 Risolvere per primi i punti in grassetto. La durata della prova e' 3 ore. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

**ESERCIZIO 0 - DA RISOLVERE OBBLIGATORIAMENTE NEI PUNTI IN GRASSETTO**

(pena la non correzione dei restanti esercizi)

Si consideri il circuito riportato nella Fig. 1a.

- a) **Determinare il valore medio della tensione  $V_{out}$ , quando in ingresso e' applicato un segnale sinusoidale di ampiezza  $1V$  e frequenza  $1kHz$ .**
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione  $V_{out}(t)$  quando in ingresso e' applicato il segnale di Fig. 1b. (*non periodico*). Si giustifichi la risposta.

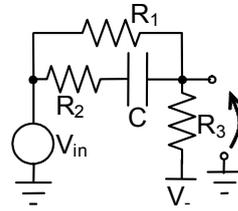


Fig. 1a

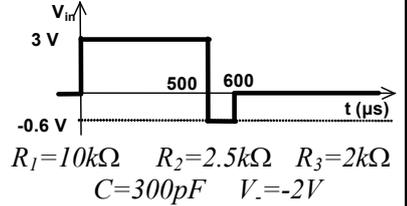


Fig. 1b

$R_1=10k\Omega$   $R_2=2.5k\Omega$   $R_3=2k\Omega$   
 $C=300pF$   $V_-=-2V$

**Esercizio 1**

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui  $v_{in}$  e' un generatore di tensione di piccolo segnale.

- a) **Dimensionare il valore della resistenza  $R_s$  che garantisca una corrente di polarizzazione di  $1mA$  nel transistor.** Si determinino, quindi, le tensioni a tutti i nodi e le correnti in tutti i rami.
- b) **Determinare il guadagno di piccolo segnale  $v_{out,2}/v_{in}$  ad alta frequenza (cioe' considerando entrambe le capacita' circuiti chiusi).**
- c) Determinare il guadagno di piccolo segnale  $v_{out,1}/v_{in}$  a bassa frequenza (cioe' considerando entrambe le capacita' circuiti aperti), nelle ipotesi che il transistor presenti una resistenza di uscita  $r_0 = 100k\Omega$ .
- d) Determinare le singularita' introdotte dalla capacita'  $C_1$  e dalla capacita'  $C_2$  nel trasferimento di piccolo segnale  $v_{out,1}/v_{in}$ , assumendo per il transistor  $r_0 = \infty$ .

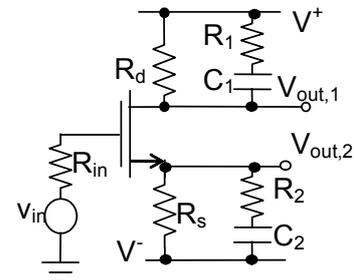


Fig. 2

$\frac{1}{2}\mu_n C_{ox} = 50 \mu A/V^2$   $(W/L)_n = 5$   $V_{Tn} = 0.8V$   
 $R_{in} = 5k\Omega$   $R_2 = 500\Omega$   $C_2 = 700pF$   
 $R_d = 5k\Omega$   $R_1 = 10k\Omega$   $C_1 = 50pF$   
 $V^+ = +6V$   $V^- = -6V$

**Esercizio 2**

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 3, che svolge la funzione logica  $Y = (A + B) \cdot (C + D \cdot E) \cdot A$ .

- a) **Disegnare la rete di pull-up e la rete di pull-down, giustificando le scelte effettuate, per ottenere la funzione logica con una porta in tecnologia CMOS in forma minima.**
- b) Determinare il ritardo di propagazione della porta ottenuta cortocircuitando tutti gli ingressi.
- c) Se il segnale logico di ingresso avesse un *duty-cycle* pari al 50% e una frequenza pari a  $200MHz$ , la porta ottenuta cortocircuitando tra loro tutti gli ingressi potrebbe commutare correttamente? Si giustifichi la risposta.

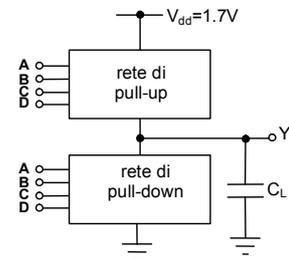


Fig. 3

$k_n = \frac{1}{2} \cdot \mu_n C_{ox} (W/L)_n = 100 \mu A/V^2$   
 $|k_p| = \frac{1}{2} \cdot \mu_p C_{ox} (W/L)_p = 200 \mu A/V^2$   
 $|V_{Tp}| = V_{Tn} = 0.5V$   $C_L = 3 pF$

**Esercizio 3**

Si consideri il circuito riportato nella Fig. 4. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a  $0.7V$ .

La tensione  $V_{in}$  ha un andamento a dente di sega con periodo pari a  $T = 10ms$ , ampiezza picco-picco pari a  $8V$  e valor medio nullo.

- a) **Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione  $V_{out}(t)$ .**
- b) Nelle ipotesi che il diodo  $D_1$  abbia una tensione di break-down pari a  $-5V$ , disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione  $V_{out}(t)$ .

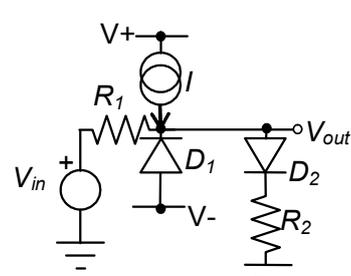


Fig. 4

$V^+ = 4V$   
 $V^- = -2V$   
 $I = 100\mu A$   
 $R_1 = 1k\Omega$   
 $R_2 = 2k\Omega$