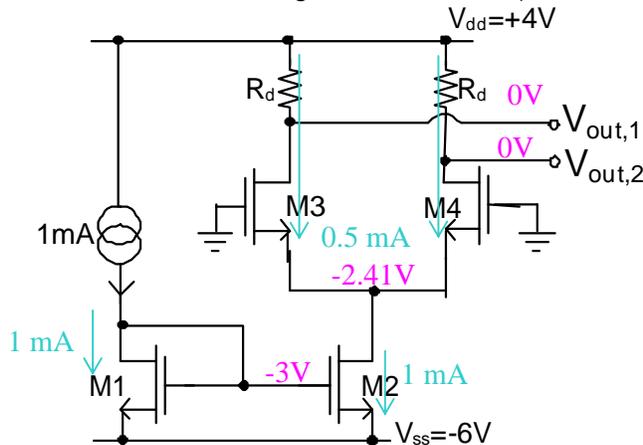


**Fondamenti di Elettronica - Ingegneria Elettronica - a.a. 2007/08**  
**Terzo appello – 2 settembre 2008 – Traccia di soluzione**

**Esercizio 1**

**a) Polarizzazione circuito blocco A**

Le capacità sono dei circuiti aperti, i generatori di tensione di segnale sono spenti e, quindi, i gate di M3 e M4 sono cortocircuitati a massa. Ipotizziamo i MOSFET in zona di saturazione ed il differenziale bilanciato (dato che e' simmetrico). Pertanto la corrente del generatore di coda si suddivide in misura uguale in M3 ed M4).



I transistori operano in zona di saturazione, il differenziale e', effettivamente, bilanciato e le transconduttanze valgono:

$$g_{m,3} = 2k_n (V_{GS,3} - V_T) = g_{m,4} = 0.7mS$$

**b) Guadagno differenziale circuito blocco B**

Applico il principio di sovrapposizione degli effetti considerando separatamente  $v_{in,1}$  e  $v_{in,2}$ . Spegndo  $v_{in,1}$  e considerando  $v_{in,2}$ , possiamo calcolare la tensione al morsetto + dell'amplificatore operazionale, che risulta pari a

$$v^+ \Big|_{v_{in,2}} = \frac{R_b}{R_b + R_a} v_{in,2}$$

poiche' la resistenza  $R_c$  non e' ovviamente percorsa da corrente (e' in serie al morsetto non invertente di un amplificatore operazionale ideale).

Pertanto il contributo alla tensione di uscita  $v_{out}$  dovuto al segnale di ingresso  $v_{in,2}$  e' pari a

$$v_{out} \Big|_{v_{in,2}} = \left(1 + \frac{R_b}{R_a}\right) v^+ \Big|_{v_{in,2}} = \left(1 + \frac{R_b}{R_a}\right) \frac{R_b}{R_b + R_a} v_{in,2} = \frac{R_b}{R_a} v_{in,2}$$

Consideriamo ora il contributo di  $v_{in,1}$ , una volta spento  $v_{in,2}$ . L'amplificatore operazionale e' in configurazione invertente ed il contributo alla tensione di uscita  $v_{out}$  dovuto al segnale di ingresso  $v_{in,1}$  e' pari a

$$v_{out} \Big|_{v_{in,1}} = -\frac{R_b}{R_a} v_{in,1}$$

Il guadagno differenziale dell'amplificatore delle differenze del blocco B risulta, quindi, pari a

$$G_{diff,B} = \frac{v_{out}}{v_{in,2} - v_{in,1}} = \frac{R_b}{R_a} = 10$$

**c) Guadagno differenziale di piccolo segnale circuito blocco A**

Il generatore di corrente da  $1mA$  e' spento, pertanto e' un circuito aperto. La corrente che scorre nella coppia differenziale e' pari a

$$i_d = \frac{v_a - v_b}{\frac{1}{g_{m,3}} + \frac{1}{g_{m,4}}}$$

Pertanto le uscite sono date da

$$v_{out,1} = -i_d R_d$$

$$v_{out,2} = i_d R_d$$

da cui si ricava

$$G_{diff,A} = \frac{v_{out,2} - v_{out,1}}{v_a - v_b} = g_m R_d = 5.6$$

#### d) Slew rate

Lo SR definisce la massima pendenza che puo' avere la tensione di uscita. Calcoliamo, quindi, l'espressione della tensione di uscita dal blocco B e la sua massima pendenza:

$$v_{out} = G_{diff,B} (v_{in,2} - v_{in,1}) = G_{diff,B} A \sin(2\pi f t)$$

$$\left. \frac{dv_{out}}{dt} \right|_{max} = G_{diff,B} A 2\pi = 2.5 V / \mu s$$

#### e) CMRR dell'amplificatore differenziale del blocco A

Se il transistor M2 e' caratterizzato da  $r_o$  non infinita, allora il generatore di coda non e' ideale e, dunque, il CMRR non sara' infinito, poiche' lo stadio presenta un guadagno di modo comune non nullo. Impiegando il "mezzo circuito" o calcolando la rete equivalente della coppia differenziale su piccolo segnale di modo comune possiamo calcolare la tensione di uscita di modo comune pari a

$$G_{CM,A} = \frac{v_{out,2} + v_{out,1}}{v_{CM}} = \frac{R_d}{\frac{1}{g_m} + 2r_o}$$

da cui possiamo calcolare il CMRR

$$CMRR = \left| \frac{G_{diff,A}}{G_{CM,A}} \right| = 1 + 2g_m r_o = 71$$

#### f) Massima frequenza segnale in ingresso all'ADC

Il tempo di conversione massimo degli ADC in questione e' dato da:

$$T_{conv,max,SAR} = \frac{n+1}{f_{ck}} = \frac{11}{f_{ck}}$$

$$T_{conv,max,grad} = \frac{2^n + 1}{f_{ck}} = \frac{1025}{f_{ck}}$$

Poiche' non c'e' il S&H, il segnale di ingresso all'ADC deve variare di meno di  $\frac{1}{2}$ LSB nel tempo di conversione (anche 1LSB puo' andare bene).

Da questo si ricava la condizione

$$\left. \frac{dV}{dt} \right|_{out,max} T_{conv,max} < \frac{1}{2} LSB$$

dove

$$\left. \frac{dV}{dt} \right|_{out,max} = 2\pi f \frac{FSR}{2}$$

Nel caso di un ADC SAR si avra'

$$f < \frac{f_{ck}}{2^n} \frac{1}{2\pi(n+1)}$$

e, quindi, la frequenza della sinusoide dovra' essere minore di 70.6Hz.

Nel caso di un ADC a gradinata si avra':

$$f < \frac{f_{ck}}{2^n} \frac{1}{2\pi(2^n+1)}$$

e, quindi, la frequenza della sinusoide dovra' essere minore di 0.758Hz.

#### g) Margine di fase

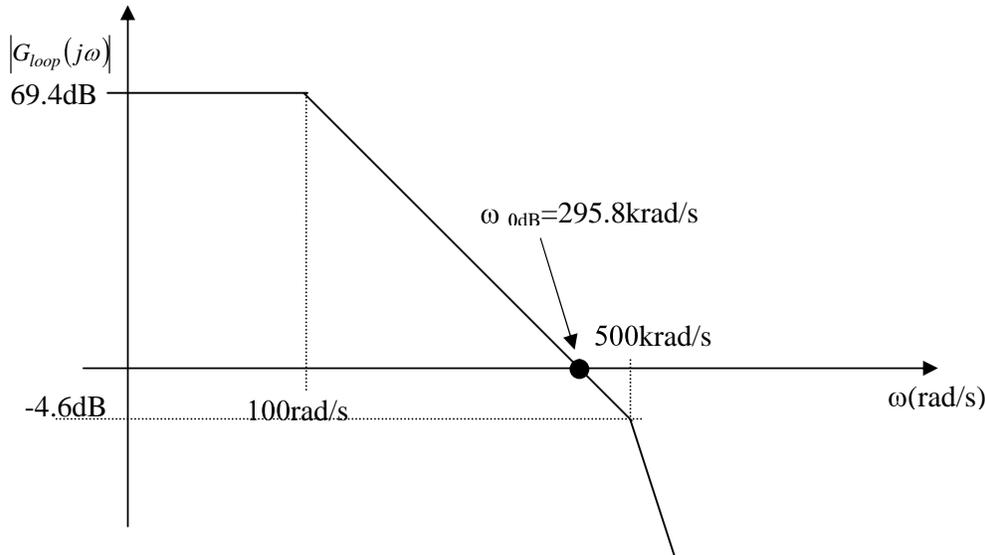
Per calcolare il margine di fase occorre calcolare il guadagno d'anello, procedendo come di consueto e ricordando che le capacita' C sono dei circuiti chiusi si ha

$$G_{loop}(s) = -\frac{R_a + R_d}{R_a + R_d + R_b} A(s) = -\frac{R_a + R_d}{R_a + R_d + R_b} \frac{A_0}{(1 + s\tau_1)(1 + s\tau_2)}$$

$$G_{loop}(0) = -\frac{R_a + R_d}{R_a + R_d + R_b} A_0 = -2957.7$$

$$\left| G_{loop}\left(\frac{1}{2\mu s}\right) \right| = |G_{loop}(0)| \frac{\tau_2}{\tau_1} = 0.5916$$

Il diagramma di Bode del modulo del guadagno d'anello e' il seguente:



Possiamo calcolare il margine di fase mediante la seguente equazione:

$$\phi_m = \left[ -180^\circ - \text{artg}\left(\frac{\omega_{0dB}}{\omega_1}\right) - \text{artg}\left(\frac{\omega_{0dB}}{\omega_2}\right) \right] - (-360^\circ) = -180^\circ - 89^\circ 25' - 30^\circ 36' + 360^\circ = 180^\circ - 120^\circ 1' = 59^\circ 59'$$

e quindi concludere che il circuito e' stabile.

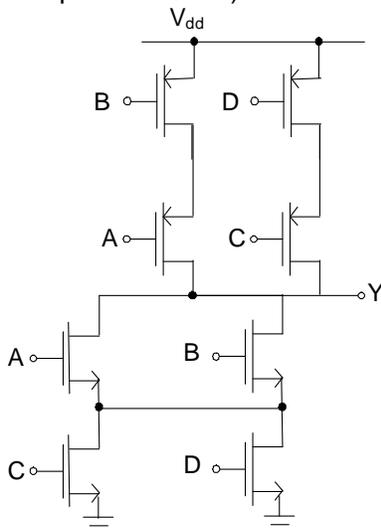
## Esercizio 2

### a) Rete di pull-up e pull-down

Per prima cosa occorre minimizzare l'espressione della funzione logica svolta dal circuito che, quindi, risulta:

$$Y = \overline{[(A \cdot B) + (A + B)] \cdot (C + D)} = \overline{[A + (A + B)] \cdot (B + (A + B))} \cdot \overline{(C + D)} = \overline{[A + B] \cdot (A + B)} \cdot \overline{(C + D)} = \overline{(A + B)} \cdot \overline{(C + D)} = \overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D}$$

e la rete logica è la seguente (per la giustificazione delle scelte effettuate si veda il libro di testo – naturalmente la risposta qui data entro parentesi non sarebbe soddisfacente nel corso di un compito scritto ☺!!):



### b) Calcolo delle transizioni piu' gravose

Il caso piu' gravoso per la transizione dell'uscita da basso ad alto si ha quando la carica della capacita' C avviene attraverso la serie di due pMOS (A e B o D e C).

Il caso piu' gravoso per la transizione dell'uscita da alto a basso si ha quando la scarica della capacita' C avviene attraverso la serie di due nMOS. (A e C, B e D, A e D, B e C).

### c) Rapporto dei fattori di forma per uguagliare i tempi di commutazione

*Approssimazione ohmica:* (e' sufficiente uno dei due approcci!)

$$t_{LH} = 0.69\tau = 0.69R_{DS_{on}} \Big|_{eq,p} C = 0.69 \cdot 2 \cdot R_{DS_{on}} \Big|_p C$$

$$t_{HL} = 0.69\tau = 0.69R_{DS_{on}} \Big|_{eq,n} C = 0.69 \cdot 2 \cdot R_{DS_{on}} \Big|_n C$$

dove

$$R_{DS_{on}} \Big|_p = \frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{DS}=0} = \frac{1}{2k_p (V_{GS} - V_{T,p})} = \frac{1}{2 \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (-V_{dd} - V_{T,p})}$$

$$R_{DS_{on}} \Big|_n = \frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{DS}=0} = \frac{1}{2k_n (V_{GS} - V_{T,n})} = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,n})}$$

Quindi per avere uguali tempi di commutazione e' sufficiente uguagliare la resistenza di canale del pMOS a quella del nMOS

$$\frac{1}{2 \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_p (-V_{dd} - V_{T,p})} = \frac{1}{2 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{dd} - V_{T,n})}$$

$$\left(\frac{W}{L}\right)_p = \frac{\frac{1}{2} \mu_n C_{ox}}{\frac{1}{2} \mu_p C_{ox}} = \frac{100}{45} = 2.22$$

*Approssimazione satura:* calcoliamo il fattore di forma dell'inverter equivalente relativo alla transizione basso-alto piu' gravosa e alto-basso:

$$\left(\frac{W}{L}\right)_{p,eq} = \frac{1}{2} \left(\frac{W}{L}\right)_p$$

$$\left(\frac{W}{L}\right)_{n,eq} = \frac{1}{2} \left(\frac{W}{L}\right)_n$$

Quindi possiamo stimare il tempo di propagazione come

$$t_{LH} = \frac{Q_{50\%}}{I_{D,sat}} = \frac{C \left(\frac{V_{dd}}{2}\right)}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_{p,eq} (-V_{dd} - V_{T,p})^2}$$

$$t_{HL} = \frac{Q_{50\%}}{I_{D,sat}} = \frac{C \left(\frac{V_{dd}}{2}\right)}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{n,eq} (V_{dd} - V_{T,n})^2}$$

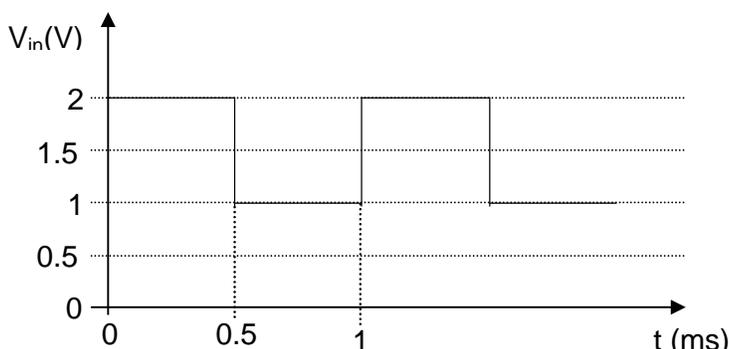
L'uguaglianza dei tempi di propagazione, anche secondo questa approssimazione, richiede che

$$\left(\frac{W}{L}\right)_p = \frac{\frac{1}{2} \mu_n C_{ox}}{\frac{1}{2} \mu_p C_{ox}} = \frac{100}{45} = 2.22$$

### Esercizio 3

a)

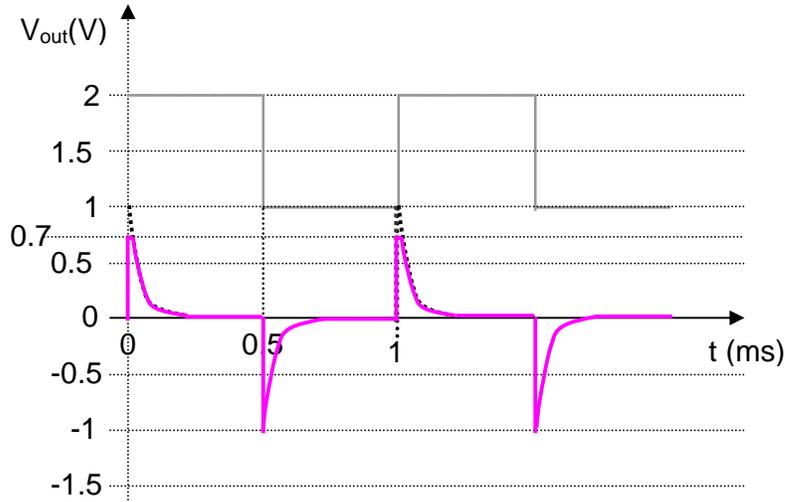
In figura e' riportato l'andamento nel tempo dell'onda quadra di ingresso.



Perche' si accenda il diodo  $D$  occorre che la tensione ai suoi capi sia di almeno  $0.7V$ , secondo la polarita' corretta, pertanto  $D$  e' on se la tensione di uscita e' maggiore o, al piu', uguale a  $0.7V$ . Quando  $D$  e' off, il circuito si trasforma in un semplice circuito CR, per cui il fronte dell'onda quadra passerebbe indisturbato, mentre la componente continua e' filtrata e la tensione di uscita andrebbe a regime con costante di tempo pari a

$$\tau = RC = 20\mu s$$

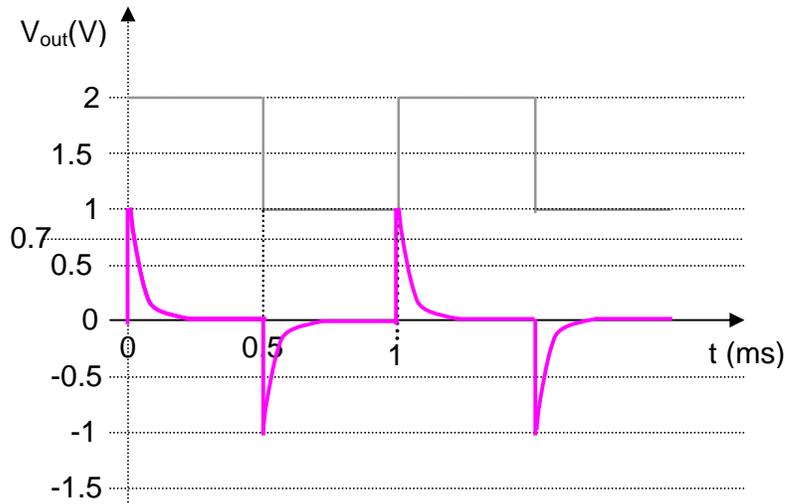
Cio' accade effettivamente sul fronte negativo, tuttavia, quando la tensione di uscita raggiunge  $+0.7V$  il diodo si accende e fissa la tensione di uscita a  $+0.7V$ . L'andamento temporale della



tensione di uscita e', quindi, quello riportato in figura

**b)**

Se il terminale n del diodo fosse collegato a  $+1V$ , il diodo si accenderebbe solo se la tensione di uscita raggiungesse  $+1.7V$ . Tuttavia il segnale a valle della capacita' raggiunge al massimo  $1V$ , quindi il diodo non si accende mai, il circuito e' un semplice CR e l'andamento della tensione di uscita e' rappresentato nella figura seguente.



This document was created with Win2PDF available at <http://www.win2pdf.com>.  
The unregistered version of Win2PDF is for evaluation or non-commercial use only.  
This page will not be added after purchasing Win2PDF.