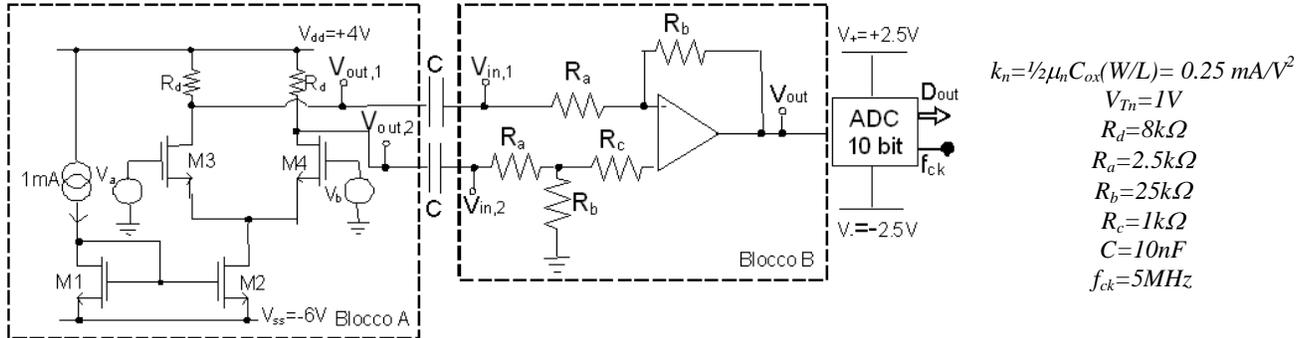


Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ....  
 Risolvere obbligatoriamente i punti in grassetto.

**Esercizio 1**

Si consideri il circuito mostrato in Fig. 1.



- Determinare le tensioni a tutti i nodi e le correnti in tutti i rami per il circuito del blocco A.**
- Determinare il guadagno differenziale  $v_{out}/(v_{in,2}-v_{in,1})$  del circuito racchiuso nel blocco B, ipotizzando le capacita' C dei circuiti aperti.**
- Determinare il guadagno differenziale di piccolo segnale  $(v_{out,2}-v_{out,1})/(v_a-v_b)$  del circuito racchiuso nel blocco A, ipotizzando le capacita' C dei circuiti aperti.**
- Se il segnale differenziale applicato in ingresso al circuito del blocco B ( $v_{in,2}-v_{in,1}$ ) fosse una sinusoide di ampiezza pari a 200 mV e frequenza pari a 200 kHz, determinare il minimo valore che deve avere lo *slew-rate* dell'amplificatore operazionale per non incorrere in distorsioni del segnale di uscita.
- Determinare il CMRR dell'amplificatore differenziale racchiuso nel blocco A, se il MOSFET M2 e' caratterizzato da una resistenza di uscita  $r_0 = 50\text{k}\Omega$ . Si ipotizzino le capacita' C dei circuiti aperti.
- Si supponga che il segnale in ingresso all'ADC ( $v_{out}$ ) sia sinusoidale, di ampiezza pari a meta' del FSR dell'ADC. Si determini la massima frequenza di tale segnale che garantisca di non avere errori nella conversione, nel caso in cui l'ADC sia a gradinata o ad approssimazioni successive. (Si ricordi che non e' presente un circuito di *sample & hold*).
- Determinare il margine di fase del circuito racchiuso nel blocco B, ipotizzando le capacita' C dei cortocircuiti, se  $A(s) = \frac{A_0}{(1+s\tau_1)(1+s\tau_2)}$ , dove  $A_0 = 80 \text{ dB}$ ,  $\tau_1 = 10 \text{ ms}$ ,  $\tau_2 = 2 \mu\text{s}$ .

**Esercizio 2**

Si consideri la funzione logica  $Y = [(A \cdot B) + (A + B)] \cdot (C + D)$ .

- Disegnare, giustificando le scelte effettuate, la porta logica CMOS che implementa tale funzione in forma minima in una tecnologia caratterizzata da tensione di soglia pari a 0.7 V e da tensione di alimentazione pari a 3 V.**
- Determinare per quale transizione degli ingressi si ha la commutazione piu' gravosa dell'uscita alto-basso e basso-alto.** (Si supponga che la porta logica debba pilotare una capacita' di carico C).
- Nelle condizioni determinate al punto b), determinare quali debbano essere i fattori di forma dei transistori p-MOS rispetto a quelli degli n-MOS per garantire il medesimo tempo di propagazione nei due casi, se il fattore di transconduttanza ( $\frac{1}{2} \mu_n C_{ox}$  e  $\frac{1}{2} \mu_p C_{ox}$ ) e' pari a 100  $\mu\text{A/V}$  per gli n-MOS e 45  $\mu\text{A/V}$  per i p-MOS. (Si supponga che la porta logica debba pilotare una capacita' di carico C).

**Esercizio 3**

Si consideri il circuito mostrato in Fig. 2. Per il diodo si assuma una tensione di accensione pari a 0.7V.

- Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita quando in ingresso e' applicata un'onda quadra di ampiezza 1 V e valor medio +1.5 V con frequenza pari a 1kHz e duty-cycle 50%.**
- Come cambierebbe il diagramma tracciato al punto a) se il terminale n del diodo fosse collegato alla tensione di +1 V, invece che a massa? (Motivare la risposta).

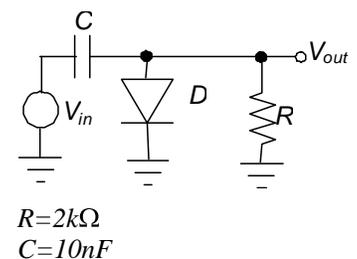


Fig. 2

This document was created with Win2PDF available at <http://www.win2pdf.com>.  
The unregistered version of Win2PDF is for evaluation or non-commercial use only.  
This page will not be added after purchasing Win2PDF.