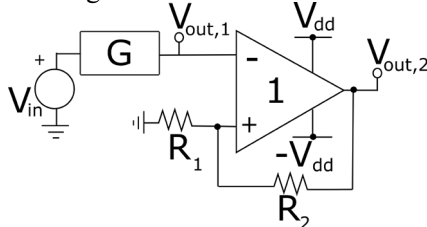


**Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25**  
**Seconda prova in itinere – 30 giugno 2025**

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “seconda prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

**Esercizio 1**

Si consideri il circuito riportato nella Fig. 1. Gli amplificatori operazionali saturano alle tensioni di alimentazione.  $V_{in}$  sia un generatore di tensione di segnale.



$$R_1 = 1 \text{ k}\Omega$$

$$R_2 = 19 \text{ k}\Omega$$

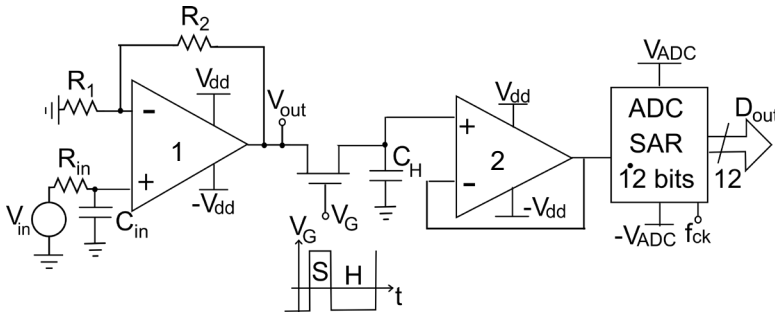
$$V_{dd} = 6 \text{ V}$$

Fig. 1

- a) **Determinare le soglie di scatto del trigger di Schmitt.**
- b) **Determinare il guadagno  $G$  necessario per poter correttamente discriminare segnali sinusoidali in ingresso ( $V_{in}$ ) di ampiezza minima pari a  $100 \text{ mV}$ . Con tale guadagno il circuito potrebbe essere usato in presenza di un rumore in ingresso pari a  $5 \text{ mV rms}$  (giustificare la risposta)?**
- c) Se l'amplificatore operazionale fosse caratterizzato da uno *slew-rate* pari a  $SR = 8 \text{ V}/\mu\text{s}$ , in quanto tempo avverrebbe la commutazione della tensione di uscita, in assenza di altre non idealità?
- d) Determinare la variazione delle soglie di commutazione causata da correnti di *bias* uscenti dall'amplificatore operazionale con valor medio pari a  $I_B = 6 \mu\text{A}$  e *offset* pari a  $300 \text{ nA}$ .

**Esercizio 2**

Si consideri la catena di acquisizione mostrata in Fig. 2. L'ADC sia del tipo ad approssimazioni successive con  $n = 12 \text{ bits}$ .  $V_{in}$  sia un generatore di tensione di segnale ad onda quadra, di valor medio nullo, ampiezza  $400 \text{ mV}$ , *duty cycle* 25% e periodo  $T = 1 \text{ ms}$ . Gli amplificatori operazionali saturano alle tensioni di alimentazione.



$$V_{Tn} = 1 \text{ V}$$

$$k_n = 6 \text{ mA}/\text{V}^2$$

$$R_{in} = 1 \text{ k}\Omega$$

$$V_{dd} = 6 \text{ V} = V_{ADC}$$

$$C_{in} = 10 \text{ nF}$$

$$f_{ck} = 2 \text{ MHz}$$

$$n = 12 \text{ bits}$$

$$R_1 = 0.5 \text{ k}\Omega$$

$$R_2 = 8 \text{ k}\Omega$$

$$C_H = 2 \text{ nF}$$

Fig. 2

- a) **Tracciare l'andamento nel tempo della tensione di ingresso  $V_{in}$ , della tensione al morsetto + ( $v^+$ ) del primo amplificatore operazionale e della tensione di uscita  $V_{out}$ , quotandone tutti i punti significativi, nelle ipotesi di amplificatore operazionale ideale.**
- b) **Determinare le tensioni di comando del *gate* del transistor *nMOS* che garantiscano una resistenza  $R_{ds,on}$  minore di  $40 \Omega$  in fase di *Sample* e l'*nMOS* spento con  $3 \text{ V}$  di margine in fase di *Hold*, in presenza di segnali di massima ampiezza per l'amplificatore operazionale 1.**
- c) **Determinare il minimo valore della resistenza di ingresso differenziale ( $R_{diff,2}$ ) dell'amplificatore operazionale 2, compatibile con il corretto funzionamento della catena di acquisizione, se l'amplificatore operazionale 2 è caratterizzato da un guadagno ad anello aperto  $A_{0,2} = 75 \text{ dB}$ .**
- d) Determinare la massima ampiezza del disturbo, supposto sinusoidale e sovrapposto alla sola tensione di alimentazione negativa,  $-V_{dd}$ , se il rapporto di reiezione della tensione di alimentazione è pari a  $PSRR = 55 \text{ dB}$ , per entrambi gli operazionali, che non causi ulteriori errori di conversione.
- e) Determinare il margine di fase del circuito amplificatore costituito dall'amplificatore operazionale 1, se quest'ultimo è caratterizzato da  $GBWP = 60 \text{ MHz}$  e resistenza di ingresso differenziale  $R_{diff,1} = 4 \text{ M}\Omega$ ,
- f) Determinare il minimo valore della corrente di uscita del primo operazionale che non comprometta il corretto funzionamento della catena di acquisizione, se si suppone che il transistor si comporti da interruttore ideale.

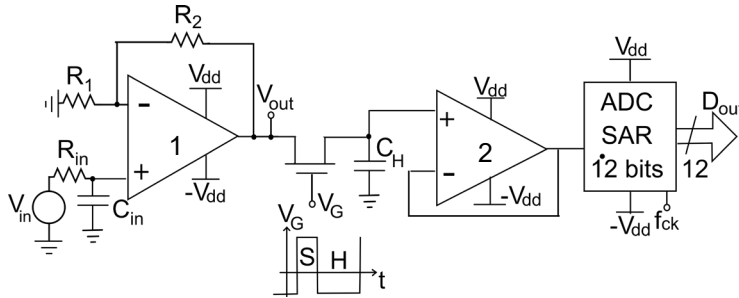
# Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

## Appello Zero – 30 giugno 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

### Esercizio 1

Si consideri la catena di acquisizione mostrata in Fig. 1. L'ADC sia del tipo ad approssimazioni successive con  $n = 12$  bits.  $V_{in}$  sia un generatore di tensione di segnale ad onda quadra, di valor medio nullo, ampiezza  $400$  mV, duty cycle 25% e periodo  $T = 1$  ms. Gli amplificatori operazionali saturano alle tensioni di alimentazione.



$$\begin{aligned}
 V_{Tn} &= 1V & R_{in} &= 1\text{ k}\Omega \\
 k_n &= 6\text{ mA/V}^2 & C_{in} &= 10\text{ nF} \\
 V_{dd} &= 6\text{ V} & R_1 &= 0.5\text{ k}\Omega \\
 f_{ck} &= 2\text{ MHz} & R_2 &= 8\text{ k}\Omega \\
 n &= 12\text{ bits} & C_H &= 2\text{ nF} \\
 C_H &= 2\text{ nF} & &
 \end{aligned}$$

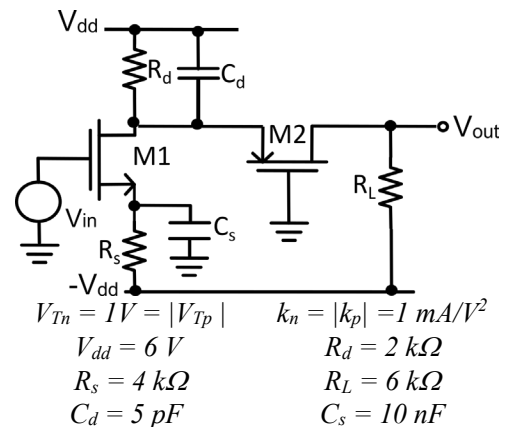
Fig. 1

- a) Tracciare l'andamento nel tempo della tensione di ingresso  $V_{in}$ , della tensione al morsetto + ( $v^+$ ) del primo amplificatore operazionale e della tensione di uscita  $V_{out}$ , quotandone tutti i punti significativi, nelle ipotesi di amplificatore operazionale ideale.
- b) Determinare le tensioni di comando del gate del transistor  $n$ MOS che garantiscano una resistenza  $R_{ds,on}$  minore di  $40\ \Omega$  in fase di *Sample* e l' $n$ MOS spento con  $3\text{ V}$  di margine in fase di *Hold*, in presenza di segnali di massima ampiezza per l'amplificatore operazionale 1.
- c) Determinare il minimo valore della resistenza di ingresso differenziale ( $R_{diff,2}$ ) dell'amplificatore operazionale 2, compatibile con il corretto funzionamento della catena di acquisizione, se l'amplificatore operazionale 2 è caratterizzato da un guadagno ad anello aperto  $A_{0,2} = 75\text{ dB}$ .
- d) Determinare il margine di fase del circuito amplificatore costituito dall'amplificatore operazionale 1, se quest'ultimo è caratterizzato da  $GBWP = 60\text{ MHz}$  e resistenza di ingresso differenziale  $R_{diff,1} = 4\text{ M}\Omega$ ,

### Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui  $v_{in}$  è un generatore di tensione di piccolo segnale.

- a) Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), verificando che  $V_{out} = 0\text{ V}$ .
- b) Determinare l'espressione ed il valore del guadagno di piccolo segnale  $v_{out}/v_{in}$  a bassa frequenza.
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale  $v_{out}/v_{in}$ , quotandone tutti i punti significativi.
- d) Determinare il massimo valore che può assumere la resistenza  $R_L$  per garantire comunque il corretto funzionamento del circuito.



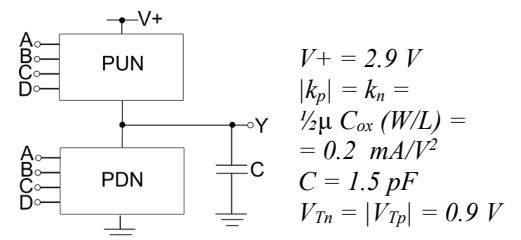
$$\begin{aligned}
 V_{Tn} &= 1\text{ V} = |V_{Tp}| & k_n &= |k_p| = 1\text{ mA/V}^2 \\
 V_{dd} &= 6\text{ V} & R_d &= 2\text{ k}\Omega \\
 R_s &= 4\text{ k}\Omega & R_L &= 6\text{ k}\Omega \\
 C_d &= 5\text{ pF} & C_s &= 10\text{ nF}
 \end{aligned}$$

Fig. 2

### Esercizio 3

Si consideri la porta logica in tecnologia CMOS, mostrata in Fig. 3 e che svolge la funzione logica  $Y = (A+B) \cdot A \cdot (C+D)$

- a) Disegnare la rete di pull-up e la rete di pull-down, giustificando le scelte effettuate, per ottenere la funzione logica con una porta in tecnologia CMOS in forma minima, motivando le scelte effettuate.
- b) Determinare la transizione meno gravosa e, in tale circostanza, calcolare per quanto tempo il transistor equivalente garantisce un andamento della tensione di uscita lineare.



$$\begin{aligned}
 V^+ &= 2.9\text{ V} \\
 |k_p| &= k_n = \\
 &= 0.2\text{ mA/V}^2 \\
 C &= 1.5\text{ pF} \\
 V_{Tn} &= |V_{Tp}| = 0.9\text{ V}
 \end{aligned}$$

Fig. 3