

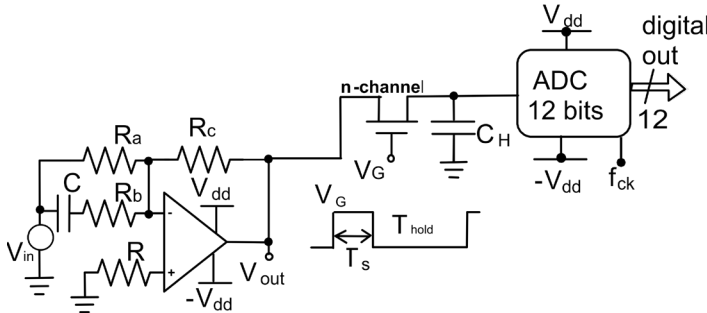
Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Secondo Appello – 8 settembre 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perche' ritenuti piu' facili. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri la catena riportata nella Fig. 1. L'amplificatore operazionale saturi alle tensioni di alimentazione. v_{in} sia un generatore ideale di tensione di segnale.



$$\begin{aligned}
 V_{dd} &= +15\text{ V} \\
 R &= 10/11\text{ k}\Omega \\
 R_a &= 1\text{ k}\Omega = R_b \\
 R_c &= 10\text{ k}\Omega \\
 C &= 100\text{ nF} \\
 C_H &= 4\text{ nF} \\
 V_{Tn} &= 1\text{ V} \\
 \frac{1}{2}\mu_n C_{ox} &= 0.1\text{ mA/V}^2
 \end{aligned}$$

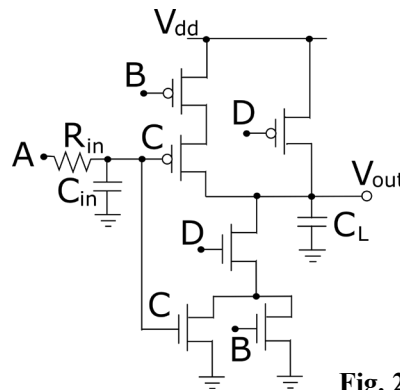
Fig. 1

- a) **Tracciare, in un diagramma temporale, quotandone tutti i punti significativi, la risposta nel tempo della tensione V_{out} , quando in ingresso e' applicato un gradino positivo ampio 100 mV , assumendo l'amplificatore operazionale ideale.**
- b) **Determinare il minimo valore che deve assumere il W/L del transistor del circuito di S&H per garantire un errore in fase di *Sample*, supposta di durata pari a 100 ns , inferiore a 0.3 LSB , assumendo una tensione di *overdrive* di almeno 10 V .**
- c) Determinare, motivando la scelta, il tipo di convertitore *ADC* pilotato da una frequenza di *clock* pari a 1 MHz piu' adatto per la catena di acquisizione in figura, tra *ADC* a gradinata, *ADC* a doppia rampa, *ADC flash* e *ADC* ad approssimazioni successive, se la resistenza di *off* del *MOSFET* del circuito di *S&H* e' pari a $80\text{ M}\Omega$.
- d) Determinare il margine di fase del circuito amplificatore, se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno – larghezza di banda, $GBWP = 30^\circ\text{ MHz}$.

Esercizio 2

Si consideri la rete logica, mostrata nella Fig. 2.

- a) **Determinare la funzione logica svolta, nella forma $Y=f(B, C, D)$ motivando la risposta.**
- b) Tracciare in tre diagrammi separati e quotandone tutti i punti significativi, l'andamento nel tempo delle tensioni ai nodi A , C e Y , quando gli ingressi A , B e D commutano tutti in maniera sincrona e alla stessa frequenza pari a $f = 1\text{ MHz}$, *duty cycle* 50% . Si facciano le dovute approssimazioni.
- c) Nelle condizioni del punto $b)$, la porta mostrata in Fig. 2 potrebbe funzionare regolarmente se la frequenza aumentasse a $f = 100\text{ MHz}$?



$$\begin{aligned}
 V_{dd} &= 3.3\text{ V} \\
 C_L &= 1\text{ pF} \\
 C_{in} &= 5\text{ pF} \\
 R_{in} &= 1\text{ k}\Omega \\
 V_{Tn} = |V_{Tp}| &= 0.7\text{ V} \\
 k_n = \frac{1}{2}\mu_n C_{ox}(W/L)_n &= 200\text{ }\mu\text{A/V}^2 \\
 k_p = -\frac{1}{2}\mu_p C_{ox}(W/L)_p &= 80\text{ }\mu\text{A/V}^2
 \end{aligned}$$

Fig. 2

Esercizio 3

Si consideri il circuito amplificatore, mostrato nella Fig. 3.

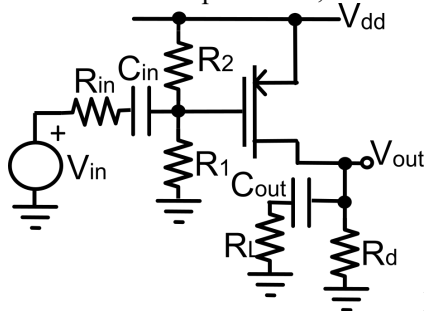


Fig. 3

$$\begin{aligned}
 V_{dd} &= +4\text{ V} \\
 |V_{Tp}| &= 0.7\text{ V} \\
 k_p = -\frac{1}{2}\mu_p C_{ox}(W/L)_p &= -0.5\text{ mA/V}^2 \\
 C_{out} &= 2.2\text{ nF} \\
 C_{in} &= 47\text{ nF} \\
 R_{in} &= 1\text{ k}\Omega \\
 R_1 &= 230\text{ k}\Omega \\
 R_2 &= 170\text{ k}\Omega \\
 R_d = R_L &= 5\text{ k}\Omega
 \end{aligned}$$

- a) **Calcolare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/v_{in} ad alta frequenza, se il transistor e' caratterizzato da una resistenza di uscita di valore finito, $r_o = 45\text{ k}\Omega$.**
- c) Tracciare il diagramma di Bode del modulo e della fase del trasferimento di piccolo segnale v_{out}/v_{in} e il transistor e' caratterizzato da una resistenza di uscita di valore finito, $r_o = 45\text{ k}\Omega$.