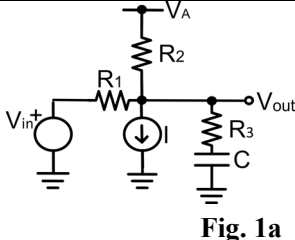


1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “1^a prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

ESERCIZIO 0 - DA RISOLVERE OBBLIGATORIAMENTE IN MANIERA ESATTA
(pena la non correzione dei restanti esercizi)

Si consideri il circuito riportato nella Fig. 1a. Determinare la costante di tempo del circuito ed il valore medio della tensione di uscita, quando in ingresso e' applicato il segnale (periodico) mostrato in Fig. 1b, se $f = 100 \text{ Hz}$.



- $R_1 = 10 \text{ k}\Omega$
- $R_2 = 20 \text{ k}\Omega$
- $R_3 = 5 \text{ k}\Omega$
- $C = 22 \text{ nF}$
- $V_A = +3 \text{ V}$
- $I = 100 \text{ }\mu\text{A}$

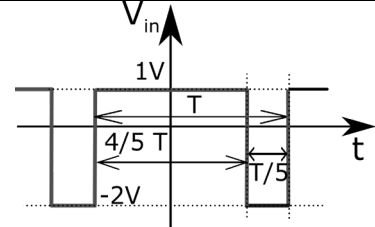


Fig. 1b

Esercizio 1

Si consideri nuovamente il circuito riportato nella Fig. 1a.

- a) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita, quando in ingresso e' applicato il segnale di Fig. 1b (periodico), se $f_{in} = 100 \text{ Hz}$. Si giustifichi la risposta.
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita $V_{out}(t)$, quando in ingresso e' applicato il segnale di Fig. 1b (periodico), se $f_{in} = 1 \text{ kHz}$. Si assuma il circuito a regime e si giustifichi la risposta.

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui i_{in} e' un generatore di corrente di piccolo segnale.

- a) Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).
- b) Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza (capacita' circuito aperto), assumendo che il transistor sia caratterizzato da una resistenza di uscita r_0 infinita.
- c) Determinare le singularita' introdotte dalle capacita' nel trasferimento di piccolo segnale v_{out}/i_{in} , assumendo $r_0 = \infty$.
- d) Determinare la massima dinamica positiva e negativa del nodo di uscita V_{out} .

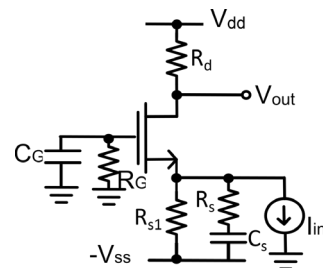


Fig. 2

- $k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 200 \text{ }\mu\text{A/V}^2$
- $V_{Tn} = 0.6 \text{ V}$
- $V_{dd} = 3 \text{ V}$
- $-V_{ss} = -4.2 \text{ V}$
- $C = 22 \text{ pF}$
- $C_G = 100 \text{ }\mu\text{F}$
- $R_{S1} = 2 \text{ k}\Omega$
- $R_S = 5 \text{ k}\Omega$
- $R_G = 10 \text{ k}\Omega$
- $R_D = 3 \text{ k}\Omega$

Esercizio 3

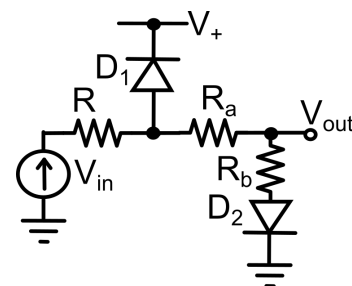
Si consideri il circuito logico in grado di implementare, in una tecnologia CMOS dai parametri indicati, la funzione logica $Y = A+B(C+D)+AB$ (NON NEGATA!). Il circuito pilota un carico capacitivo $C_L = 2 \text{ pF}$ sulla sua uscita Y .

- a) Disegnare il circuito logico completo in tecnologia CMOS, che svolga tale funzione logica in forma minima. Si giustifichino le scelte effettuate.
- b) Determinare il ritardo di propagazione del circuito logico, supponendo che tutti gli ingressi commutino istantaneamente, cortocircuitati tra loro.

- $V_{dd} = 2.1 \text{ V}$
- $\frac{1}{2} \mu_n C_{ox} = 90 \text{ }\mu\text{A/V}^2$
- $(W/L)_n = (W/L)_p = 6$
- $\frac{1}{2} \mu_p C_{ox} = 35 \text{ }\mu\text{A/V}^2$
- $|V_{Tp}| = V_{Tn} = 0.65 \text{ V}$

Esercizio 4

Si consideri il circuito riportato in Fig. 3. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a 0.7 V . V_{in} e' un segnale di tensione con andamento ad onda triangolare con escursione tra -12 V e $+12 \text{ V}$ e frequenza 1 kHz . Disegnare in un diagramma, quotandone tutti i punti significativi, la caratteristica di trasferimento tra tensione di uscita e tensione di ingresso. Si giustifichi la risposta.



- $R_1 = 1 \text{ k}\Omega$
- $R_2 = 2 \text{ k}\Omega$
- $R_3 = 7 \text{ k}\Omega$
- $V_A = +2 \text{ V}$

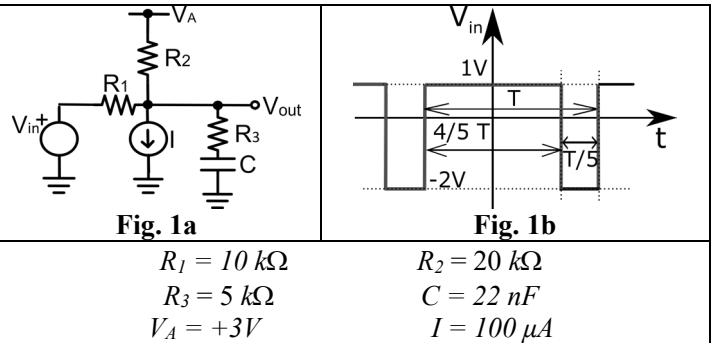
Fig. 3

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1a.

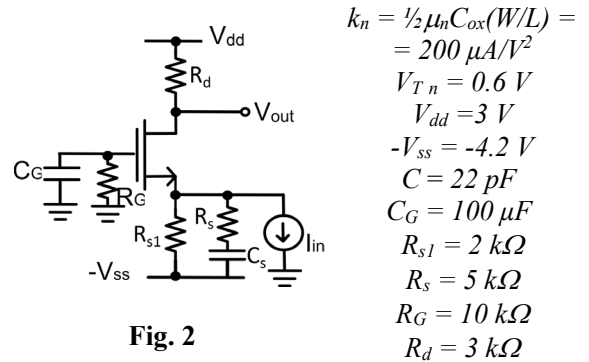
- a) **Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita, quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $f_{in} = 100\text{ Hz}$. Si giustifichi la risposta.**
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita $V_{out}(t)$, quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $f_{in} = 1\text{ kHz}$. Si assuma il circuito a regime e si giustifichi la risposta.



Esercizio 2

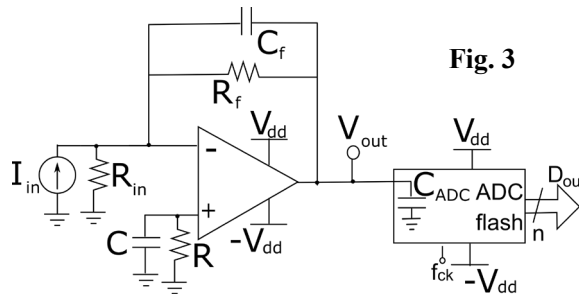
Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui i_{in} e' un generatore di corrente di piccolo segnale.

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza (capacita' circuito aperto), assumendo che il transistor sia caratterizzato da una resistenza di uscita r_0 infinita.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/i_{in} , assumendo $r_0 = \infty$.
- d) Determinare la massima dinamica positiva e negativa del nodo di uscita V_{out} .



Esercizio 3

Si consideri la catena di acquisizione riportata nella Fig. 3. L'amplificatore operazionale saturi alle tensioni di alimentazione, I_{in} sia un generatore di corrente di segnale ad onda quadra a media nulla, con ampiezza massima pari a $80\text{ }\mu\text{A}$. Il convertitore analogico digitale sia del tipo flash con un numero n di bits.



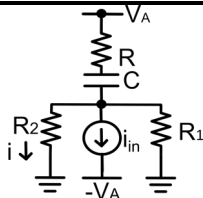
- | | |
|---------------|---|
| Fig. 3 | $R_f = R_{in} = 100\text{ k}\Omega$
$R = R_f // R_{in}$
$C_f = 1\text{ pF}$
$C = 47\text{ }\mu\text{F}$
$n = 11\text{ bits}$
$V_{dd} = 10\text{ V}$
$C_{ADC} = 100\text{ pF}$
$f_{ck} = 33\text{ MHz}$ |
|---------------|---|

- a) **Determinare l'espressione ed il valore del trasferimento ideale V_{out}/I_{in} a bassa frequenza ed il valore del guadagno ad anello aperto dell'amplificatore operazionale (A_0) che garantisca un errore statico di guadagno dello 0.03 %.** Si determini, quindi, la risoluzione in ingresso ottenibile, assumendo l'amplificatore operazionale ideale.
- b) **Determinare se possa essere impiegato per questa catena un amplificatore operazionale caratterizzato da una corrente di uscita massima pari a 35 mA , senza alterare le prestazioni complessive.**
- c) Determinare il margine di fase dello stadio amplificatore, se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno-larghezza di banda pari a 33 MHz (A_0 e f_0 non sono noti separatamente).
- d) Se l'ADC e' caratterizzato da un rapporto segnale rumore inferiore di 5 dB rispetto a quello che avrebbe se fosse ideale, determinare la minima variazione di ampiezza in ingresso alla catena, che provochi la commutazione di 1 LSB in uscita.

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “1^a prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

ESERCIZIO 0 - DA RISOLVERE OBBLIGATORIAMENTE IN MANIERA ESATTA
(pena la non correzione dei restanti esercizi)

Si consideri il circuito riportato nella Fig. 1a. Determinare la costante di tempo del circuito ed il valore medio della corrente in R_2 indicata, quando in ingresso e' applicato il segnale (periodico) mostrato in Fig. 1b, se $T = 1\text{ ms}$.



$$R_1 = R_2 = 5\text{ k}\Omega$$

$$R = 10\text{ k}\Omega$$

$$C = 100\text{ pF}$$

$$V_A = +5\text{ V}$$

Fig. 1a

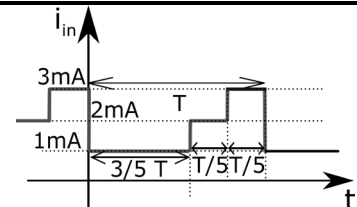


Fig. 1b

Esercizio 1

Si consideri nuovamente il circuito riportato nella Fig. 1a.

- a) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita, quando in ingresso e' applicato il segnale di Fig. 1b (periodico), se $T = 1\text{ ms}$. Si giustifichi la risposta.
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di uscita $V_{out}(t)$, quando in ingresso e' applicata una onda quadra di periodo $T = 25\text{ }\mu\text{s}$, duty-cycle 10% e ampiezza picco picco 2 mA (minimo 0 A , massimo 2 mA) Si assuma il circuito a regime e si giustifichi la risposta.

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui i_{in} e' un generatore di corrente di piccolo segnale.

- a) Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).
- b) Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza (capacita' circuito aperto), assumendo che il transistor sia caratterizzato da una resistenza di uscita r_0 infinita.
- c) Determinare le singularita' introdotte dalle capacita' nel trasferimento di piccolo segnale v_{out}/i_{in} , assumendo $r_0 = \infty$.
- d) Determinare la massima ampiezza di un segnale sinusoidale in uscita dall'amplificatore che consenta il funzionamento del transistor nella zona di funzionamento corretta.

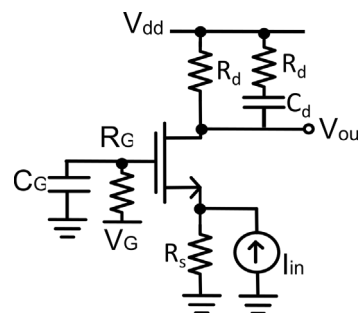


Fig. 2

$$k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 1\text{ mA/V}^2$$

$$V_{Tn} = 1\text{ V}$$

$$V_{dd} = 10\text{ V}$$

$$V_G = 3\text{ V}$$

$$C = 100\text{ nF}$$

$$C_G = 10\text{ }\mu\text{F}$$

$$R_s = 1\text{ k}\Omega$$

$$R_G = 100\text{ k}\Omega$$

$$R_d = 6\text{ k}\Omega$$

Esercizio 3

Si consideri la porta logica in grado di implementare, in una tecnologia CMOS dai parametri indicati, la funzione logica $Y = A + B(A + CB)$. La porta logica pilota un carico capacitivo $C_L = 2\text{ pF}$ sulla sua uscita Y .

$$V_{dd} = 3.3\text{ V}$$

$$k_n = \frac{1}{2} \mu_n C_{ox} (W/L)_n = 2\text{ mA/V}^2$$

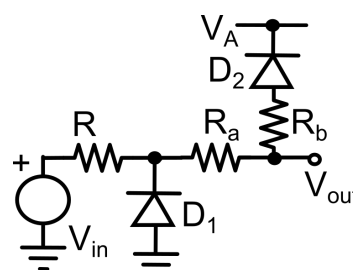
$$|k_p| = \frac{1}{2} \mu_p C_{ox} (W/L)_p = 2\text{ mA/V}^2$$

$$|V_{Tp}| = V_{Tn} = 1\text{ V}$$

- a) Disegnare la porta logica in tecnologia CMOS, che svolga tale funzione logica in forma minima. Si giustifichino le scelte effettuate.
- b) Determinare il minimo tempo di propagazione della porta logica, e calcolarne il valore.

Esercizio 4

Si consideri il circuito riportato in Fig. 3. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a 0.7 V . V_{in} e' un segnale di tensione con andamento sinusoidale di ampiezza 5 V e frequenza 50 Hz . Disegnare in un diagramma, quotandone tutti i punti significativi, l'andamento temporale della tensione di uscita, V_{out} . Si giustifichi la risposta.



$$R_a = R_b = 2\text{ k}\Omega$$

$$R = 4\text{ k}\Omega$$

$$V_A = +3\text{ V}$$

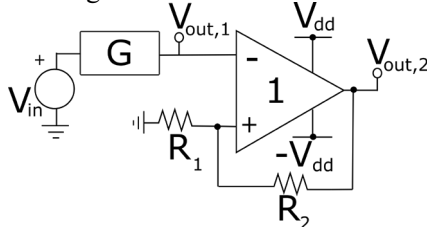
Fig. 3

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25
Seconda prova in itinere – 30 giugno 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “seconda prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1. Gli amplificatori operazionali saturano alle tensioni di alimentazione. V_{in} sia un generatore di tensione di segnale.



$$R_1 = 1 \text{ k}\Omega$$

$$R_2 = 19 \text{ k}\Omega$$

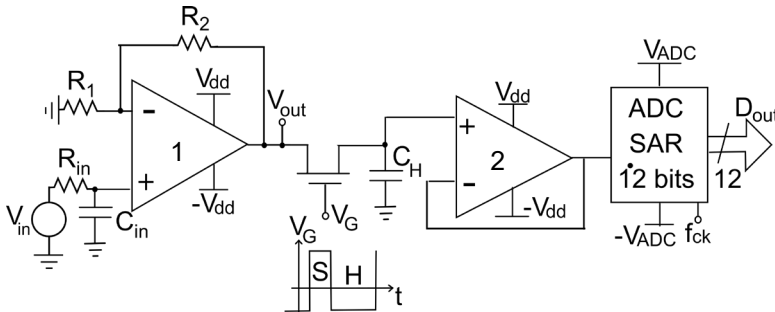
$$V_{dd} = 6 \text{ V}$$

Fig. 1

- a) **Determinare le soglie di scatto del trigger di Schmitt.**
- b) **Determinare il guadagno G necessario per poter correttamente discriminare segnali sinusoidali in ingresso (V_{in}) di ampiezza minima pari a 100 mV . Con tale guadagno il circuito potrebbe essere usato in presenza di un rumore in ingresso pari a 5 mV rms (giustificare la risposta)?**
- c) Se l'amplificatore operazionale fosse caratterizzato da uno *slew-rate* pari a $SR = 8 \text{ V}/\mu\text{s}$, in quanto tempo avverrebbe la commutazione della tensione di uscita, in assenza di altre non idealità?
- d) Determinare la variazione delle soglie di commutazione causata da correnti di *bias* uscenti dall'amplificatore operazionale con valor medio pari a $I_B = 6 \mu\text{A}$ e *offset* pari a 300 nA .

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. L'ADC sia del tipo ad approssimazioni successive con $n = 12 \text{ bits}$. V_{in} sia un generatore di tensione di segnale ad onda quadra, di valor medio nullo, ampiezza 400 mV , *duty cycle* 25% e periodo $T = 1 \text{ ms}$. Gli amplificatori operazionali saturano alle tensioni di alimentazione.



$$V_{Tn} = 1 \text{ V}$$

$$k_n = 6 \text{ mA}/\text{V}^2$$

$$R_{in} = 1 \text{ k}\Omega$$

$$C_{in} = 10 \text{ nF}$$

$$V_{dd} = 6 \text{ V} = V_{ADC}$$

$$f_{ck} = 2 \text{ MHz}$$

$$n = 12 \text{ bits}$$

$$R_1 = 0.5 \text{ k}\Omega$$

$$R_2 = 8 \text{ k}\Omega$$

$$C_H = 2 \text{ nF}$$

Fig. 2

- a) **Tracciare l'andamento nel tempo della tensione di ingresso V_{in} , della tensione al morsetto + (v^+) del primo amplificatore operazionale e della tensione di uscita V_{out} , quotandone tutti i punti significativi, nelle ipotesi di amplificatore operazionale ideale.**
- b) **Determinare le tensioni di comando del *gate* del transistore *nMOS* che garantiscano una resistenza $R_{ds,on}$ minore di 40Ω in fase di *Sample* e l'*nMOS* spento con 3 V di margine in fase di *Hold*, in presenza di segnali di massima ampiezza per l'amplificatore operazionale 1.**
- c) **Determinare il minimo valore della resistenza di ingresso differenziale ($R_{diff,2}$) dell'amplificatore operazionale 2, compatibile con il corretto funzionamento della catena di acquisizione, se l'amplificatore operazionale 2 è caratterizzato da un guadagno ad anello aperto $A_{0,2} = 75 \text{ dB}$.**
- d) Determinare la massima ampiezza del disturbo, supposto sinusoidale e sovrapposto alla sola tensione di alimentazione negativa, $-V_{dd}$, se il rapporto di reiezione della tensione di alimentazione è pari a $PSRR = 55 \text{ dB}$, per entrambi gli operazionali, che non causi ulteriori errori di conversione.
- e) Determinare il margine di fase del circuito amplificatore costituito dall'amplificatore operazionale 1, se quest'ultimo è caratterizzato da $GBWP = 60 \text{ MHz}$ e resistenza di ingresso differenziale $R_{diff,1} = 4 \text{ M}\Omega$,
- f) Determinare il minimo valore della corrente di uscita del primo operazionale che non comprometta il corretto funzionamento della catena di acquisizione, se si suppone che il transistore si comporti da interruttore ideale.

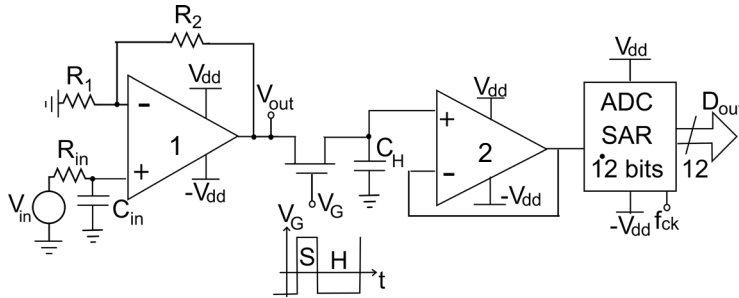
Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Appello Zero – 30 giugno 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri la catena di acquisizione mostrata in Fig. 1. L'ADC sia del tipo ad approssimazioni successive con $n = 12$ bits. V_{in} sia un generatore di tensione di segnale ad onda quadra, di valor medio nullo, ampiezza 400 mV, duty cycle 25% e periodo $T = 1$ ms. Gli amplificatori operazionali saturano alle tensioni di alimentazione.



$$\begin{aligned}
 V_{Tn} &= 1V & R_{in} &= 1\text{ k}\Omega \\
 k_n &= 6\text{ mA/V}^2 & C_{in} &= 10\text{ nF} \\
 V_{dd} &= 6\text{ V} & R_1 &= 0.5\text{ k}\Omega \\
 f_{ck} &= 2\text{ MHz} & R_2 &= 8\text{ k}\Omega \\
 n &= 12\text{ bits} & C_H &= 2\text{ nF} \\
 C_H &= 2\text{ nF} & &
 \end{aligned}$$

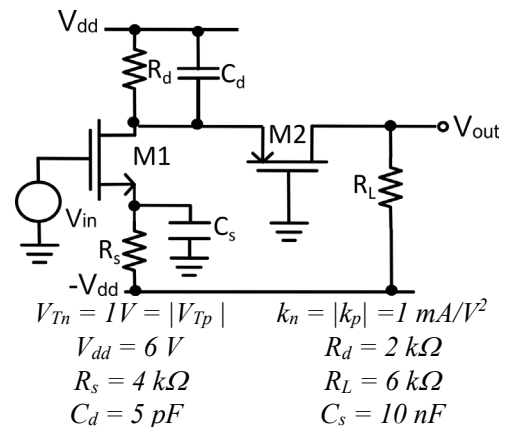
Fig. 1

- a) Tracciare l'andamento nel tempo della tensione di ingresso V_{in} , della tensione al morsetto + (v^+) del primo amplificatore operazionale e della tensione di uscita V_{out} , quotandone tutti i punti significativi, nelle ipotesi di amplificatore operazionale ideale.
- b) Determinare le tensioni di comando del gate del transistor $nMOS$ che garantiscano una resistenza $R_{ds,on}$ minore di $40\ \Omega$ in fase di *Sample* e l' $nMOS$ spento con 3 V di margine in fase di *Hold*, in presenza di segnali di massima ampiezza per l'amplificatore operazionale 1.
- c) Determinare il minimo valore della resistenza di ingresso differenziale ($R_{diff,2}$) dell'amplificatore operazionale 2, compatibile con il corretto funzionamento della catena di acquisizione, se l'amplificatore operazionale 2 è caratterizzato da un guadagno ad anello aperto $A_{0,2} = 75\text{ dB}$.
- d) Determinare il margine di fase del circuito amplificatore costituito dall'amplificatore operazionale 1, se quest'ultimo è caratterizzato da $GBWP = 60\text{ MHz}$ e resistenza di ingresso differenziale $R_{diff,1} = 4\text{ M}\Omega$,

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui v_{in} è un generatore di tensione di piccolo segnale.

- a) Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), verificando che $V_{out} = 0\text{ V}$.
- b) Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} a bassa frequenza.
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} , quotandone tutti i punti significativi.
- d) Determinare il massimo valore che può assumere la resistenza R_L per garantire comunque il corretto funzionamento del circuito.



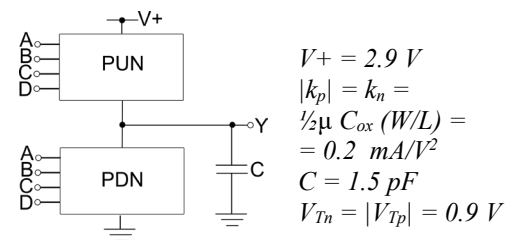
$$\begin{aligned}
 V_{Tn} &= 1V = |V_{Tp}| & k_n &= |k_p| = 1\text{ mA/V}^2 \\
 V_{dd} &= 6\text{ V} & R_d &= 2\text{ k}\Omega \\
 R_s &= 4\text{ k}\Omega & R_L &= 6\text{ k}\Omega \\
 C_d &= 5\text{ pF} & C_s &= 10\text{ nF}
 \end{aligned}$$

Fig. 2

Esercizio 3

Si consideri la porta logica in tecnologia CMOS, mostrata in Fig. 3 e che svolge la funzione logica $Y = (A+B) \cdot A \cdot (C+D)$

- a) Disegnare la rete di pull-up e la rete di pull-down, giustificando le scelte effettuate, per ottenere la funzione logica con una porta in tecnologia CMOS in forma minima, motivando le scelte effettuate.
- b) Determinare la transizione meno gravosa e, in tale circostanza, calcolare per quanto tempo il transistor equivalente garantisce un andamento della tensione di uscita lineare.



$$\begin{aligned}
 V^+ &= 2.9\text{ V} \\
 |k_p| &= k_n = \\
 \frac{1}{2}\mu C_{ox} (W/L) &= \\
 &= 0.2\text{ mA/V}^2 \\
 C &= 1.5\text{ pF} \\
 V_{Tn} &= |V_{Tp}| = 0.9\text{ V}
 \end{aligned}$$

Fig. 3

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Seconda prova in itinere bis– 11 luglio 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “seconda prova in itinere bis”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1. Gli amplificatori operazionali saturano alle tensioni di alimentazione. V_{in} sia un generatore ideale di tensione che eroga segnali ad onda quadra, con ampiezza $A = 100\text{ mV}$ e periodo $T = 1\text{ ms}$, duty cycle 50% e valor medio 50 mV . V_A e V_B siano generatori di tensione DC.

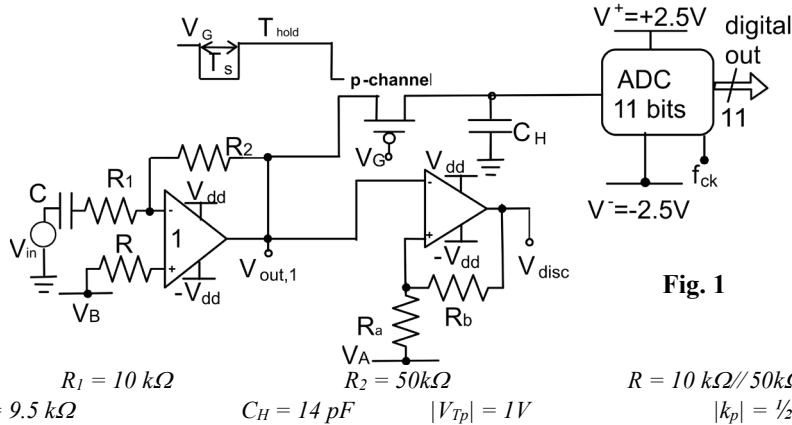


Fig. 1

$$\begin{array}{llll}
 V_{dd} = +2.5\text{ V} & R_1 = 10\text{ k}\Omega & R = 10\text{ k}\Omega // 50\text{ k}\Omega & C = 100\text{ pF} \\
 R_a = 0.5\text{ k}\Omega & R_b = 9.5\text{ k}\Omega & R_2 = 50\text{ k}\Omega & |k_p| = \frac{1}{2} \mu_p C_{ox} (W/L) = 8\text{ mA/V}^2 \\
 & & C_H = 14\text{ pF} & |V_{Tp}| = 1\text{ V}
 \end{array}$$

- a. **Tracciare il diagramma temporale dell'andamento della tensione di uscita ideale $V_{out,1}(t)$, quotandone tutti i punti significativi, assumendo $V_B = 0\text{ V}$.**
- b. **Determinare il valore ottimale della tensione V_B per sfruttare al meglio la dinamica dell'ADC.**
- c. **Determinare il valore che deve assumere la tensione V_A per poter discriminare il superamento di 300 mV in ingresso al trigger di Schmitt ed il massimo rumore che può essere sovrapposto al segnale in ingresso al trigger per evitare eccessive commutazioni spurie. Si facciano le dovute approssimazioni.**
- d. **Determinare i valori limite della tensione di comando che deve essere applicata all'elettrodo di gate del transistor $p\text{MOS}$ per garantire una resistenza $R_{ds,off}$ idealmente infinita nella fase di *Hold* e una resistenza $R_{ds,on}$ non superiore a $10\ \Omega$ nella fase di *Sample*, assumendo segnali di massima dinamica.**
- e. **Determinare il minimo valore dell'ampiezza del segnale in ingresso all'ADC che consenta di far commutare la parola digitale in uscita, se l'ADC ha un $SNR = SNR_{ideale} - 7\text{ dB}$.**
- f. **Determinare la frequenza di clock minima perché la catena di acquisizione sia in grado di digitalizzare correttamente segnali sinusoidali di frequenza compresa nell'intervallo $[10\text{ kHz} - 200\text{ kHz}]$, se l'ADC è ad approssimazioni successive. Si assuma il minimo tempo di *Sample* pari a un colpo di clock.**
- g. **Determinare il margine di fase del primo stadio, se l'amplificatore operazionale 1 è caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 90\text{ MHz}$.**
- h. **Determinare il massimo valore della tensione di offset dell'amplificatore operazionale 1, perché l'effetto sull'uscita sia minore di 1 LSB .**
- i. **Calcolare il massimo valore di capacità di *Hold* che consenta di avere un errore minore di 1 LSB se la minima resistenza che l'amplificatore operazionale 1 può pilotare, con segnali di massima dinamica, è $100\ \Omega$ e il tempo di *Sample* è pari a 200 ns .**
- j. **Determinare il minimo valore della resistenza di ingresso dell'ADC, supposto a gradinata, perché il sistema possa funzionare con una frequenza di clock non inferiore a 10 MHz .**

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Appello Zero bis– 11 luglio 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Appello Zero bis”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1. Gli amplificatori operazionali saturano alle tensioni di alimentazione. V_{in} sia un generatore ideale di tensione che eroga segnali ad onda quadra, con ampiezza $A = 100\text{ mV}$ e periodo $T = 1\text{ ms}$, duty cycle 50% e valor medio 50 mV . V_A e V_B siano generatori di tensione DC.

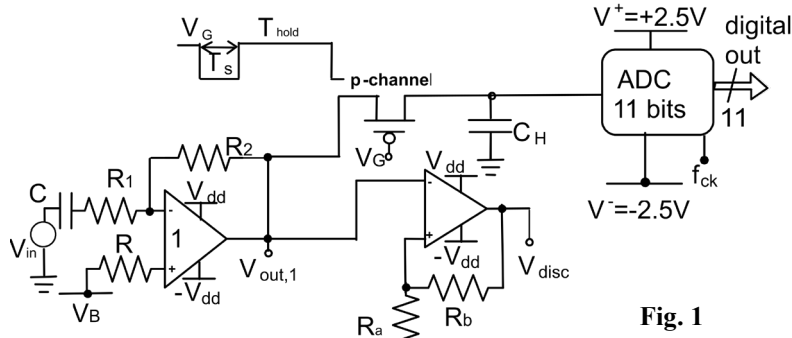


Fig. 1

$$V_{dd} = +2.5\text{ V} \quad R_1 = 10\text{ k}\Omega \quad R = 10\text{ k}\Omega // 50\text{ k}\Omega \quad C = 100\text{ pF}$$

$$R_a = 0.5\text{ k}\Omega \quad R_b = 9.5\text{ k}\Omega \quad C_H = 14\text{ pF} \quad |V_{Tp}| = 1\text{ V} \quad |k_p| = \frac{1}{2}\mu_p C_{ox}(W/L) = 8\text{ mA/V}^2$$

- a) **Tracciare il diagramma temporale dell'andamento della tensione di uscita ideale $V_{out,1}(t)$, quotandone tutti i punti significativi, assumendo $V_B = 0\text{ V}$.**
- b) **Determinare il valore ottimale della tensione V_B per sfruttare al meglio la dinamica dell'ADC.**
- c) Determinare il valore che deve assumere la tensione V_A per poter discriminare il superamento di 300 mV in ingresso al trigger di Schmitt ed il massimo rumore che può essere sovrapposto al segnale in ingresso al trigger per evitare eccessive commutazioni spurie. Si facciano le dovute approssimazioni.
- d) Determinare il margine di fase del primo stadio, se l'amplificatore operazionale 1 è caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 90\text{ MHz}$.
- e) Calcolare il massimo valore di capacità di Hold che consenta di avere un errore minore di 1 LSB se la minima resistenza che l'amplificatore operazionale 1 può pilotare, con segnali di massima dinamica, è $100\ \Omega$ e il tempo di Sample è pari a 200 ns .

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui i_{in} è un generatore di corrente di piccolo segnale.

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza, assumendo che il transistor sia caratterizzato da una resistenza di uscita r_0 infinita.**
- c) Tracciare il diagramma di Bode del trasferimento di piccolo segnale v_{out}/i_{in} , assumendo $r_0 = \infty$.
- d) Determinare la massima ampiezza di un segnale sinusoidale in uscita dall'amplificatore che ne consenta il corretto funzionamento.

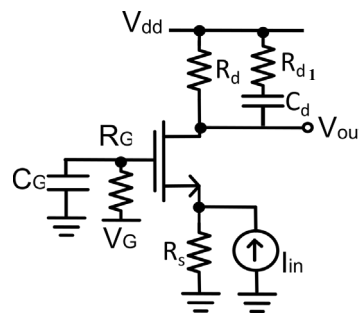


Fig. 2

$$k_n = \frac{1}{2}\mu_n C_{ox}(W/L) = 1\text{ mA/V}^2$$

$$V_{Tn} = 1\text{ V}$$

$$V_{dd} = 10\text{ V}$$

$$V_G = 3\text{ V}$$

$$C = 100\text{ nF}$$

$$C_G = 10\ \mu\text{F}$$

$$R_s = 1\text{ k}\Omega$$

$$R_G = 100\text{ k}\Omega$$

$$R_d = 6\text{ k}\Omega$$

$$R_{d1} = 4\text{ k}\Omega$$

Esercizio 3

Si consideri il circuito riportato in Fig. 3. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a 0.7 V e vanno in breakdown se la tensione inversa ai loro capi in modulo supera i 9 V . V_{in} è un segnale di tensione con andamento sinusoidale di ampiezza 8 V e frequenza 100 Hz . **Disegnare in un diagramma, quotandone tutti i punti significativi, l'andamento temporale della tensione di uscita, V_{out} .** Si giustifichi la risposta.

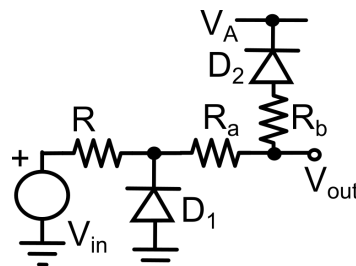


Fig. 3

$$R_a = R_b = 2\text{ k}\Omega$$

$$R = 4\text{ k}\Omega$$

$$V_A = +4\text{ V}$$

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Primo Appello – 25 luglio 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Primo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1. L'amplificatore operaionale saturi alle tensioni di alimentazione. i_{in} sia un generatore ideale di corrente di piccolo segnale e V_b sia un generatore di tensione DC.

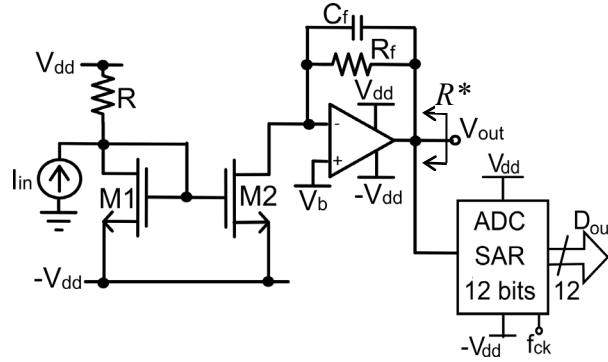


Fig. 1

$$\begin{array}{lllll}
 V_{dd} = +3 V & R = 4 k\Omega & R_f = 2 k\Omega & C_f = 2 pF & V_{Tn} = 1 V \\
 k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 1 mA/V^2 & & \mu_n = 1200 cm^2/(Vs) & & \mu_p = 450 cm^2/(Vs)
 \end{array}$$

- a) **Calcolare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), assumendo M2 saturo e $V_b = 0 V$.**
- b) **Determinare il minimo valore che può assumere la tensione V_b per mantenere il transistor M2 operante in zona di saturazione.**
- c) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} se i transistori sono caratterizzati da una resistenza di uscita di valore finito, $r_o = 70 k\Omega$.**
- d) Nelle ipotesi di disporre di diffusioni di Boro con una dose di $D = 1 \times 10^{13} cm^{-2}$, determinare, il numero di quadri necessario per realizzare la resistenza R.
- e) Determinare il margine di fase dello stadio a transimpedenza, se l'amplificatore operaionale è caratterizzato da un prodotto guadagno-larghezza di banda $GBWP = 20 MHz$, sempre assumendo che i transistori siano caratterizzati da una resistenza di uscita di valore finito, $r_o = 70 k\Omega$.
- f) Determinare l'espressione ed il valore della resistenza R^* , indicata in Fig. 1, se l'amplificatore operaionale è caratterizzato da una resistenza di uscita finita, $r_{out} = 30 \Omega$ e da un guadagno ad anello aperto finito, $A_0 = 75 dB$ ed i transistori sono caratterizzati da una resistenza di uscita di valore finito, $r_o = 70 k\Omega$.
- g) Assumendo che il convertitore analogico digitale sia del tipo ad approssimazioni successive a 12 bits, determinare la minima frequenza di clock necessaria per convertire correttamente segnali sinusoidali di frequenza $f = 300 Hz$ e ampiezza compatibile con il Full Scale Range del convertitore, con un errore massimo ammissibile pari a $LSB/2$.

Esercizio 2

Si consideri la rete logica, mostrata nella Fig. 2, che realizza la funzione logica $Y = (A+C) \cdot B + D + (A+B)$.

- a) **Disegnare la intera rete logica in logica CMOS in forma minima, giustificando le scelte effettuate.**
- b) **Determinare il massimo tempo di commutazione della intera rete logica. Si facciano le dovute approssimazioni.**
- c) Se si disponesse di un processo CMOS caratterizzato da uno spessore dell'ossido dimezzato, determinare come cambierebbe il tempo di commutazione della intera rete logica. Le capacità C_p e C_L rimangono invariate.

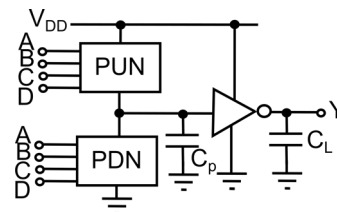


Fig. 2

$$\begin{array}{l}
 V_{dd} = 2.7 V \\
 C_p = 2 pF \\
 C_L = 4 pF \\
 V_{Tn} = |V_{Tp}| = 0.7 V \\
 \frac{1}{2} \mu_n C_{ox} = 70 \mu A/V^2 \\
 \frac{1}{2} \mu_p C_{ox} = 28 \mu A/V^2
 \end{array}$$

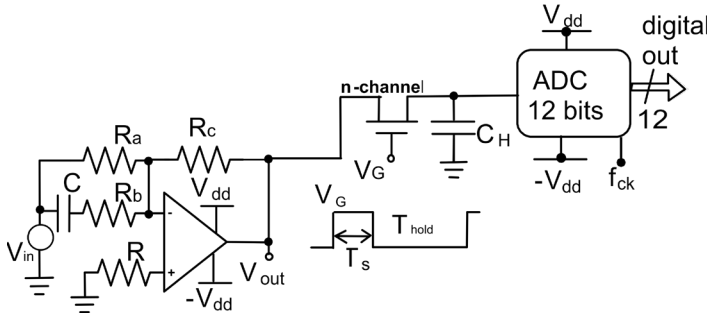
Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Secondo Appello – 8 settembre 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perche' ritenuti piu' facili. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri la catena riportata nella Fig. 1. L'amplificatore operazionale saturi alle tensioni di alimentazione. v_{in} sia un generatore ideale di tensione di segnale.



$$\begin{aligned}
 V_{dd} &= +15 \text{ V} \\
 R &= 10/11 \text{ k}\Omega \\
 R_a &= 1 \text{ k}\Omega = R_b \\
 R_c &= 10 \text{ k}\Omega \\
 C &= 100 \text{ nF} \\
 C_H &= 4 \text{ nF} \\
 V_{Tn} &= 1 \text{ V} \\
 \frac{1}{2}\mu_n C_{ox} &= 0.1 \text{ mA/V}^2
 \end{aligned}$$

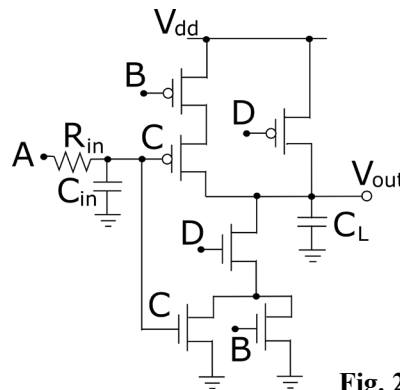
Fig. 1

- a) **Tracciare, in un diagramma temporale, quotandone tutti i punti significativi, la risposta nel tempo della tensione V_{out} , quando in ingresso e' applicato un gradino positivo ampio 100mV , assumendo l'amplificatore operazionale ideale.**
- b) **Determinare il minimo valore che deve assumere il W/L del transistore del circuito di S&H per garantire un errore in fase di *Sample*, supposta di durata pari a 100 ns , inferiore a 0.3 LSB , assumendo una tensione di *overdrive* di almeno 10 V .**
- c) Determinare, motivando la scelta, il tipo di convertitore *ADC* pilotato da una frequenza di *clock* pari a 1 MHz piu' adatto per la catena di acquisizione in figura, tra *ADC* a gradinata, *ADC* a doppia rampa, *ADC flash* e *ADC* ad approssimazioni successive, se la resistenza di *off* del *MOSFET* del circuito di *S&H* e' pari a $80 \text{ M}\Omega$.
- d) Determinare il margine di fase del circuito amplificatore, se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno – larghezza di banda, $GBWP = 30^\circ\text{MHz}$.

Esercizio 2

Si consideri la rete logica, mostrata nella Fig. 2.

- a) **Determinare la funzione logica svolta, nella forma $Y=f(B, C, D)$ motivando la risposta.**
- b) Tracciare in tre diagrammi separati e quotandone tutti i punti significativi, l'andamento nel tempo delle tensioni ai nodi A , C e Y , quando gli ingressi A , B e D commutano tutti in maniera sincrona e alla stessa frequenza pari a $f = 1 \text{ MHz}$, *duty cycle* 50% . Si facciano le dovute approssimazioni.
- c) Nelle condizioni del punto $b)$, la porta mostrata in Fig. 2 potrebbe funzionare regolarmente se la frequenza aumentasse a $f = 100 \text{ MHz}$?



$$\begin{aligned}
 V_{dd} &= 3.3 \text{ V} \\
 C_L &= 1 \text{ pF} \\
 C_{in} &= 5 \text{ pF} \\
 R_{in} &= 1 \text{ k}\Omega \\
 V_{Tn} &= |V_{Tp}| = 0.7 \text{ V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 200 \mu\text{A/V}^2 \\
 k_p &= -\frac{1}{2}\mu_p C_{ox}(W/L)_p = 80 \mu\text{A/V}^2
 \end{aligned}$$

Fig. 2

Esercizio 3

Si consideri il circuito amplificatore, mostrato nella Fig. 3.

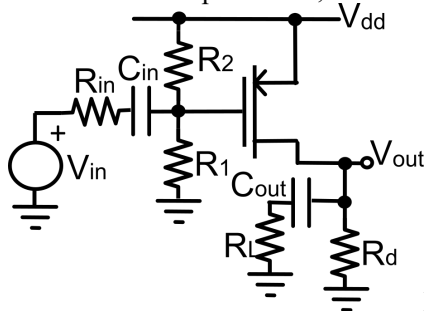


Fig. 3

$$\begin{aligned}
 V_{dd} &= +4 \text{ V} \\
 |V_{Tp}| &= 0.7 \text{ V} \\
 k_p &= -\frac{1}{2}\mu_p C_{ox}(W/L)_p = -0.5 \text{ mA/V}^2 \\
 C_{out} &= 2.2 \text{ nF} \\
 C_{in} &= 47 \text{ nF} \\
 R_{in} &= 1 \text{ k}\Omega \\
 R_1 &= 230 \text{ k}\Omega \\
 R_2 &= 170 \text{ k}\Omega \\
 R_d &= R_L = 5 \text{ k}\Omega
 \end{aligned}$$

- a) **Calcolare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/v_{in} ad alta frequenza, se il transistore e' caratterizzato da una resistenza di uscita di valore finito, $r_o = 45 \text{ k}\Omega$.**
- c) Tracciare il diagramma di Bode del modulo e della fase del trasferimento di piccolo segnale v_{out}/v_{in} e il transistore e' caratterizzato da una resistenza di uscita di valore finito, $r_o = 45 \text{ k}\Omega$.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Terzo Appello – 15 gennaio 2026

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, "Terzo Appello", numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito amplificatore, mostrato nella Fig. 1.

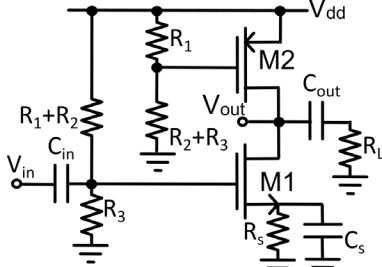


Fig. 1

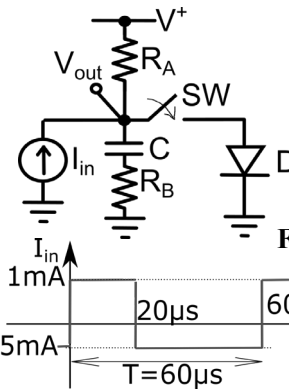
$$\begin{aligned}
 V_{dd} &= +9 \text{ V} \\
 V_{Tn} &= |V_{Tp}| = 1 \text{ V} \\
 k_p &= -\frac{1}{2}\mu_p C_{ox}(W/L)_p = -1 \text{ mA/V}^2 \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 1 \text{ mA/V}^2 \\
 C_{out} &= 1 \mu\text{F} & C_{in} &= 470 \mu\text{F} \\
 C_s &= 10 \text{ nF} & R_L &= 10 \text{ k}\Omega \\
 R_s &= 2 \text{ k}\Omega & R_1 &= 200 \text{ k}\Omega \\
 R_2 &= 300 \text{ k}\Omega & R_3 &= 400 \text{ k}\Omega
 \end{aligned}$$

- a) **Calcolare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), specificando l'intervallo di valori in DC ammesso per il nodo di uscita V_{out} , per garantire il corretto funzionamento del circuito.**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/v_{in} ad alta frequenza, se i transistori sono caratterizzati da una resistenza di uscita di valore infinito.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} se il solo transistore $M2$ è caratterizzato da una resistenza di uscita di valore finito, $r_o = 50 \text{ k}\Omega$.

Esercizio 2

Si consideri il circuito contenente un diodo, mostrato nella Fig. 2a. Il diodo conduce quando è polarizzato in diretta con una tensione ai suoi capi pari a 0.7 V . I_{in} è un segnale di corrente con andamento ad onda quadra, mostrato in Fig. 2b. SW sia un interruttore ideale.

- a) **Disegnare in un diagramma, quotandone tutti i punti significativi, l'andamento della tensione di uscita nel tempo, quando l'interruttore SW è aperto. Si giustifichi la risposta.**
- b) **Disegnare in un diagramma, quotandone tutti i punti significativi, l'andamento della tensione di uscita nel tempo, quando l'interruttore SW è chiuso. Si giustifichi la risposta.**



$$\begin{aligned}
 V^+ &= 2 \text{ V} \\
 C &= 1 \text{ nF} \\
 R_A &= R_B = 1 \text{ k}\Omega
 \end{aligned}$$

Fig. 2a

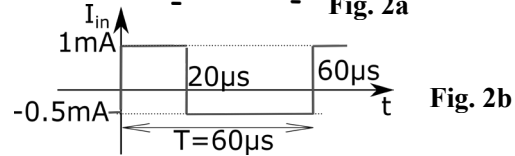


Fig. 2b

Esercizio 3

Si consideri la catena di acquisizione riportata nella Fig. 3. Gli amplificatori operazionali saturano alle tensioni di alimentazione. v_{in} sia un generatore ideale di tensione di segnale sinusoidale che eroga segnali con frequenza pari a $f = 500 \text{ Hz}$ e ampiezza A compresa nell'intervallo $20 \text{ mV} - 200 \text{ mV}$.

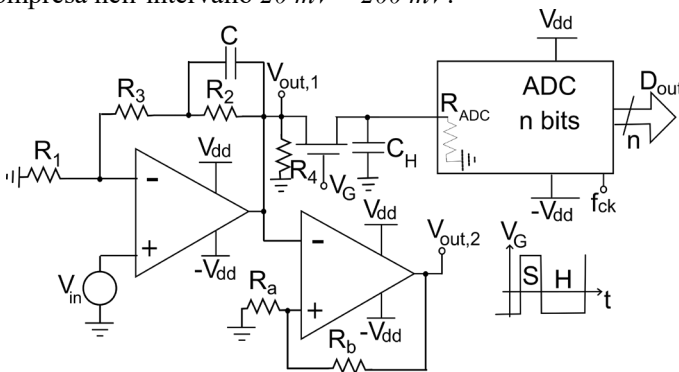


Fig. 3

$$\begin{aligned}
 V_{dd} &= +5 \text{ V} \\
 R_1 &= 1 \text{ k}\Omega \\
 R_2 &= 5 \text{ k}\Omega = R_3 \\
 R_a &= 1 \text{ k}\Omega \\
 R_b &= 99 \text{ k}\Omega \\
 R_4 &= 2 \text{ k}\Omega \\
 C &= 2 \text{ nF} \\
 C_H &= 2 \text{ nF} \\
 V_{Tn} &= 1 \text{ V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 10 \text{ mA/V}^2 \\
 n &= 12 \text{ bits}
 \end{aligned}$$

- a) **Tracciare, in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione di ingresso e della tensione in uscita dal primo stadio $V_{out,1}$, assumendo l'amplificatore operazionale ideale.**
- b) **Determinare il minimo valore che deve assumere la frequenza dell'ADC, supposto di tipo *tracking*, per garantire il corretto funzionamento della catena di acquisizione.**
- c) Determinare le soglie di scatto del *trigger di Schmitt*, presente in Fig. 3.
- d) Determinare il minimo errore commesso nella misura della ampiezza della sinusoide, se l'ADC fosse del tipo a gradinata, con $R_{ADC} = 100 \text{ M}\Omega$ e frequenza di *clock* pari a $f_{ck} = 10 \text{ MHz}$.
- e) Determinare il margine di fase del circuito amplificatore, se l'amplificatore operazionale è caratterizzato da un prodotto guadagno - larghezza di banda, $GBWP = 10 \text{ MHz}$.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Quarto Appello – 7 febbraio 2026

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Quarto Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perche' ritenuti piu' facili. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito amplificatore, mostrato nella Fig. 1.

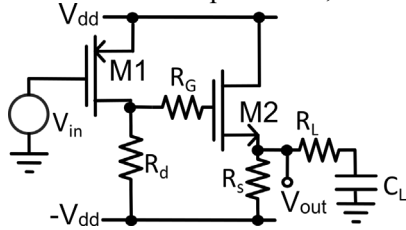


Fig. 1

$$\begin{aligned}
 V_{dd} &= +2.7 \text{ V} \\
 V_{Tn} &= |V_{Tp}| = 0.7 \text{ V} \\
 k_p &= -\frac{1}{2}\mu_p C_{ox}(W/L)_p = -0.5 \text{ mA/V}^2 \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 4 \text{ mA/V}^2 \\
 C_L &= 10 \text{ nF} \quad R_L = 2 \text{ k}\Omega \\
 R_d &= 1.6 \text{ k}\Omega \quad R_G = 100 \text{ k}\Omega
 \end{aligned}$$

- a) **Calcolare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), determinando il valore che deve assumere la resistenza R_s perche' la corrente nel transistorore $M2$ sia il doppio di quella in $M1$.**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/v_{in} a bassa frequenza, nelle ipotesi che tutti i transistorori siano caratterizzati da una resistenza di uscita di valore infinito.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} , nelle ipotesi che tutti i transistorori siano caratterizzati da una resistenza di uscita di valore infinito.

Esercizio 2

Si consideri il circuito logico, mostrato nella Fig. 2, costituito da porte logiche alimentate a 3.3V e caratterizzate da un ritardo di propagazione di 10 ns

- a) **Determinare la funzione logica svolta e disegnare la porta logica in tecnologia CMOS in forma minima che realizza la medesima funzione logica.**
- b) Tracciare in un diagramma temporale l'andamento della tensione di uscita della porta di Fig. 2, degli ingressi e della uscita della prima porta, quando a tutti gli ingressi (A, B e C) e' applicato il medesimo segnale logico, ad onda quadra, con duty cycle 50% e con frequenza 10 MHz, tenendo conto del ritardo di propagazione delle porte. Determinare, quindi, il *duty-cycle* della tensione di uscita.
- c) Determinare il tempo di commutazione piu' gravoso della corrispondente porta logica CMOS, disegnata al punto a).

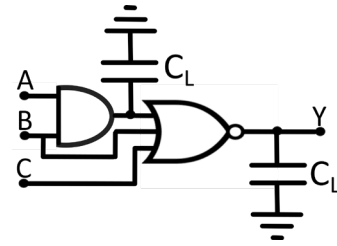


Fig. 2

$$\begin{aligned}
 V^+ &= 3.3 \text{ V} \quad C_L = 1.5 \text{ pF} \\
 V_{Tn} &= |V_{Tp}| = 0.7 \text{ V} \\
 k_p &= -\frac{1}{2}\mu_p C_{ox}(W/L)_p = -300 \mu\text{A/V}^2 \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 100 \mu\text{A/V}^2
 \end{aligned}$$

Esercizio 3

Si consideri la catena di acquisizione riportata nella Fig. 3. L'amplificatore operazionale saturi alle tensioni di alimentazione. v_{in} sia un generatore ideale di tensione di segnale.

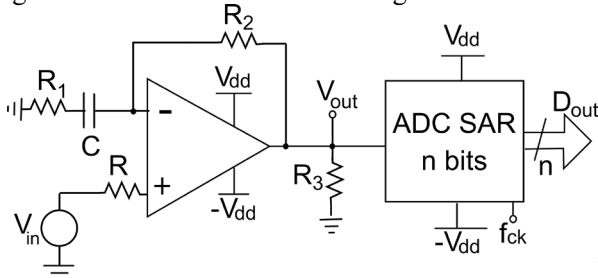


Fig. 3

$$\begin{aligned}
 V_{dd} &= +2.5 \text{ V} \\
 R &= 50 \Omega \\
 R_1 &= 0.5 \text{ k}\Omega \\
 R_2 &= 9 \text{ k}\Omega \\
 R_3 &= 100 \Omega \\
 C &= 2 \text{ nF} \\
 f_{ck} &= 9 \text{ MHz} \\
 n &= 11 \text{ bits}
 \end{aligned}$$

- a) **Determinare il trasferimento v_{out}/v_{in} , assumendo l'amplificatore operazionale ideale, a bassa e ad alta frequenza.**
- b) **Tracciare il diagramma temporale, quotandone tutti i punti significativi, dell'andamento nel tempo della tensione di uscita, quando in ingresso e' applicato un gradino positivo di ampiezza pari a 100 mV, nelle ipotesi di amplificatore operazionale ideale.**
- c) Determinare la risoluzione percentuale ottenibile, nel caso di una tensione DC di valore 40 mV, applicata in ingresso alla catena di acquisizione.
- d) Determinare il minimo valore necessario per il prodotto guadagno – larghezza di banda, $GBWP$, perche' vi siano almeno due decenni di guadagno costante a cento banda.