

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24

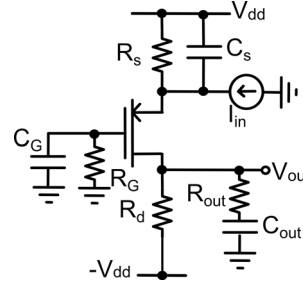
Secondo appello – 30 agosto 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui i_{in} è un generatore di corrente di piccolo segnale.

- a) **Determinare il valore della resistenza R_s , necessario perché la tensione di uscita in DC sia pari a 0 V. Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/i_{in} , quotandone tutti i punti significativi.



$$\begin{aligned}
 V_{dd} &= 6 \text{ V} \\
 V_{Tp} &= -0.7 \text{ V} \\
 |k_p| &= 0.5 \text{ mA/V}^2 \\
 R_G &= 100 \text{ k}\Omega \\
 C_G &= 47 \text{ }\mu\text{F} \\
 C_s &= 47 \text{ nF} \\
 R_d &= 3 \text{ k}\Omega \\
 R_{out} &= 1 \text{ k}\Omega \\
 C_{out} &= 1 \text{ }\mu\text{F}
 \end{aligned}$$

Fig. 1

Esercizio 2

Si consideri il circuito logico, in tecnologia CMOS, riportato nella Fig. 2.

- a) **Scrivere la tabella della verità riportando il valore logico della tensione di uscita Y per ogni combinazione dei segnali di ingresso A e B e del segnale di controllo EN . Disegnare la rete di pull-down in tecnologia CMOS. Si trascuri la rete dall'ingresso C all'ingresso B .**
- b) Determinare la potenza dissipata dalla porta nel caso di $EN = 1$ e di $EN = 0$, nel caso in cui gli ingressi A e B siano cortocircuitati tra loro e pilotati da un segnale logico a frequenza $f_{ck} = 6 \text{ MHz}$. L'ingresso C sia non connesso.
- c) Si consideri ora la rete dall'ingresso C all'ingresso B e si supponga di pilotare gli ingressi A e C cortocircuitati tra loro con un segnale logico a frequenza $f_{ck} = 6 \text{ MHz}$ e di fissare $EN = 1$. Tracciare in 4 diagrammi temporali allineati, quotandone tutti i punti significativi, l'andamento delle forme d'onda in A , C , B e Y . Si assuma la soglia logica pari a $V_{dd}/2$.

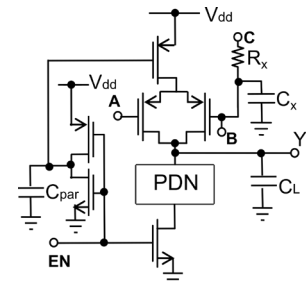
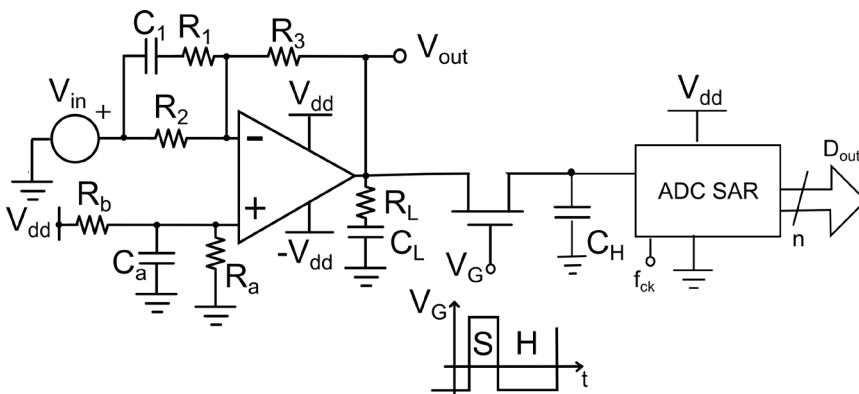


Fig. 2

$$\begin{aligned}
 V_{dd} &= 2.7 \text{ V} \\
 C_L &= 2 \text{ pF} & C_{par} &= 0.5 \text{ pF} \\
 k_n = |k_p| &= 75 \text{ }\mu\text{A/V}^2 & V_{Tn} = |V_{Tp}| &= 0.7 \text{ V} \\
 C_x &= 15 \text{ pF} & R_x &= 1 \text{ k}\Omega
 \end{aligned}$$

Esercizio 3

Si consideri la catena di acquisizione per segnali sinusoidali, mostrata in Fig. 3. L'ADC sia del tipo ad approssimazioni successive (SAR). Gli amplificatori operazionali saturino alle tensioni di alimentazione e V_{in} sia un generatore di tensione di segnale sinusoidale.



$$\begin{aligned}
 V_{dd} &= 6 \text{ V} & R_L &= 10 \text{ }\Omega \\
 k_n &= 8 \text{ mA/V}^2 & C_L &= 200 \text{ pF} \\
 V_{Tn} &= 1 \text{ V} & R_a &= 10 \text{ k}\Omega \\
 R_1 &= 4 \text{ k}\Omega & R_b &= 210 \text{ k}\Omega \\
 R_2 &= 2 \text{ k}\Omega & C_a &= 47 \text{ }\mu\text{F} \\
 R_3 &= 20 \text{ k}\Omega & n &= 12 \text{ bits} \\
 C_1 &= 470 \text{ pF} & f_{ck} &= 20 \text{ MHz} \\
 C_H &= 1 \text{ nF} & &
 \end{aligned}$$

Fig. 3

- a) **Determinare l'espressione ed il valore del trasferimento V_{out}/V_{in} a bassa frequenza ed il valore in DC della tensione di uscita, assumendo l'amplificatore operazionale ideale.**
- b) **Determinare il minimo valore che deve possedere il guadagno ad anello aperto (A_0) dell'amplificatore operazionale, per garantire un errore statico di guadagno minore di 10^{-4} .**
- c) Determinare la tensione di comando necessaria per il Gate del nMOS in fase di Sample che sia compatibile con un errore massimo di $LSB/4$ e con una durata del tempo di Sample $T_{Sample} = 50 \text{ ns}$.
- d) Determinare il margine di fase del circuito amplificatore, se l'amplificatore operazionale fosse caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 70 \text{ MHz}$.